

メモリ・インターフェースの基板設計と シミュレーション事例

第Ⅰ部 SI/PIシミュレーションの活用事例

1. SI対応

1-1. AC/DC対策について

1-2. シミュレーションの流れ

1-3. RreSIM対応事例

1-4. PostSIM対応事例

2. PI対応

2-1. 電源ノイズの種類

2-2. DC電圧ドロップ対策事例

2-3. スイッチングノイズ対策事例

2-4. 電源インピーダンス解析事例

第Ⅱ部 チップパワーモデルを使用した電源解析事例

3. チップパワーモデル (CPM) について

4. DDR3の動作モードと電源ノイズ

4-1. 動作波形の確認

4-2. 電源ノイズ波形の比較

4-3. 電源ノイズとEMI

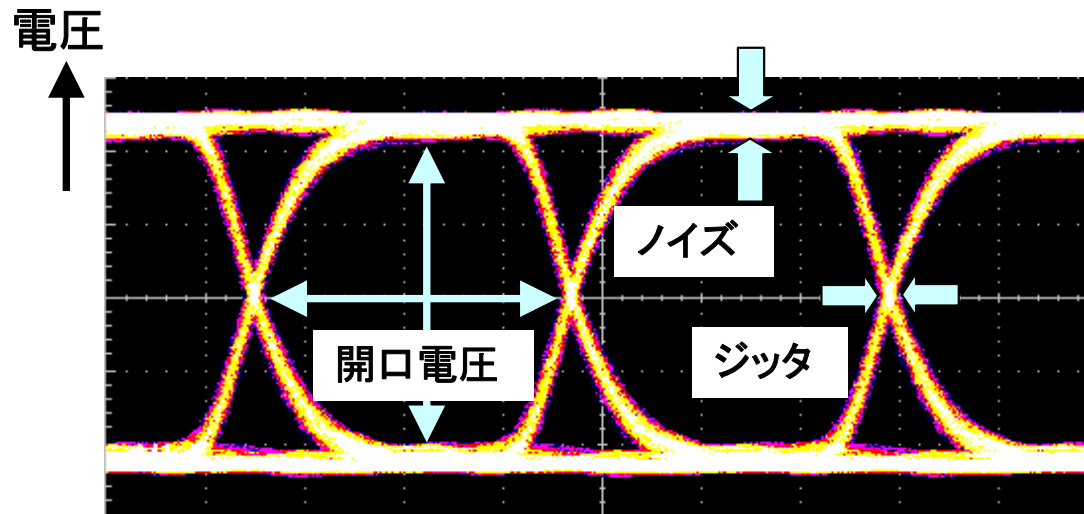
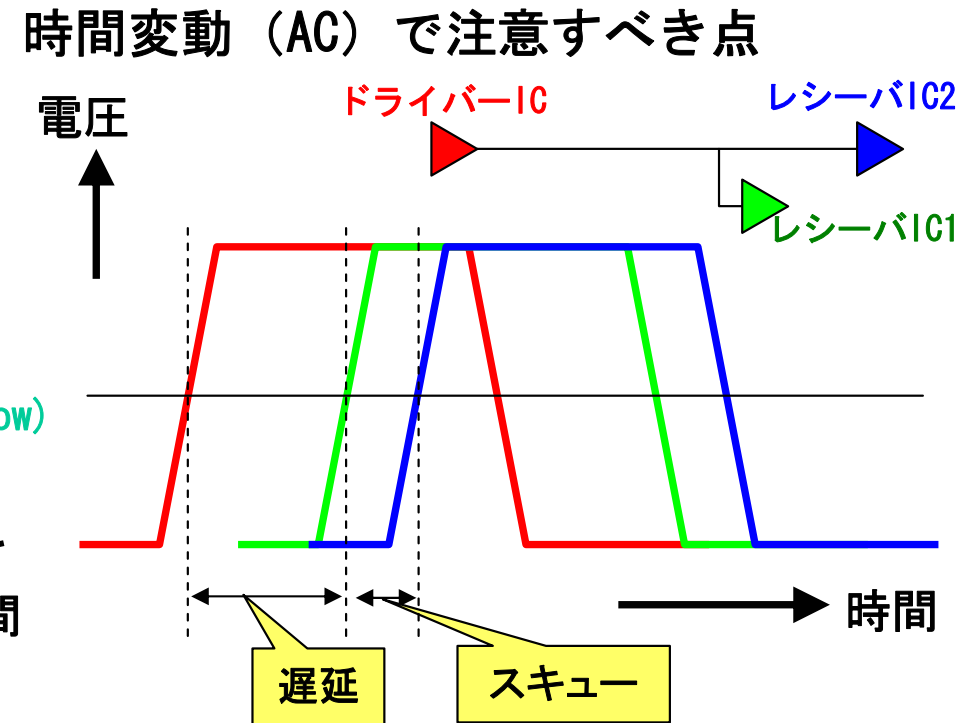
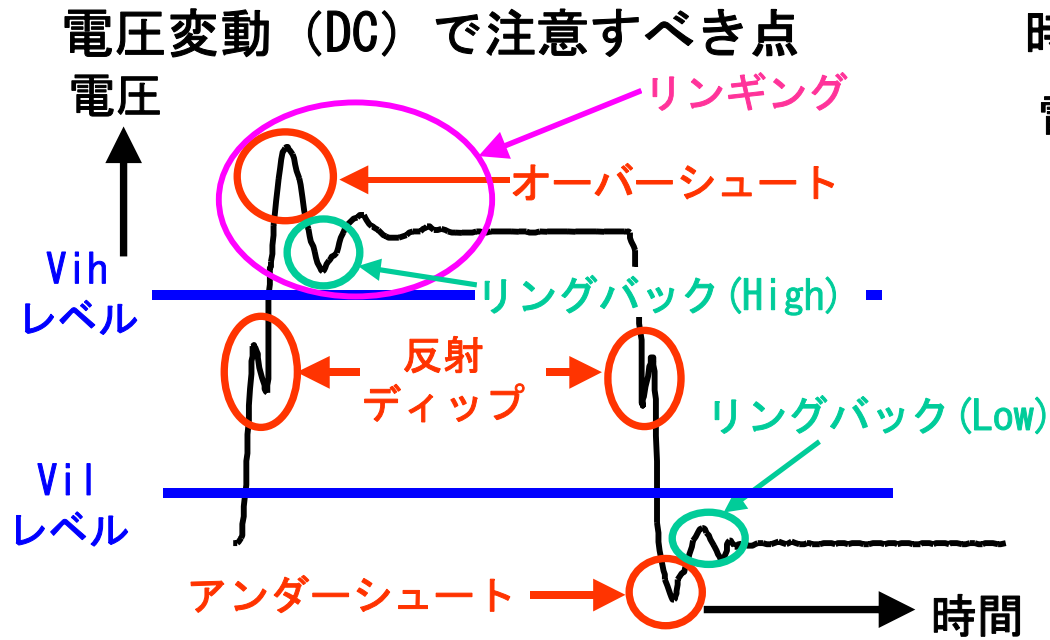
4-4. 電源インピーダンス

4-5. EMIシミュレーション結果

2011年 9月 6日

株式会社トッパンNECサーキットソリューションズ

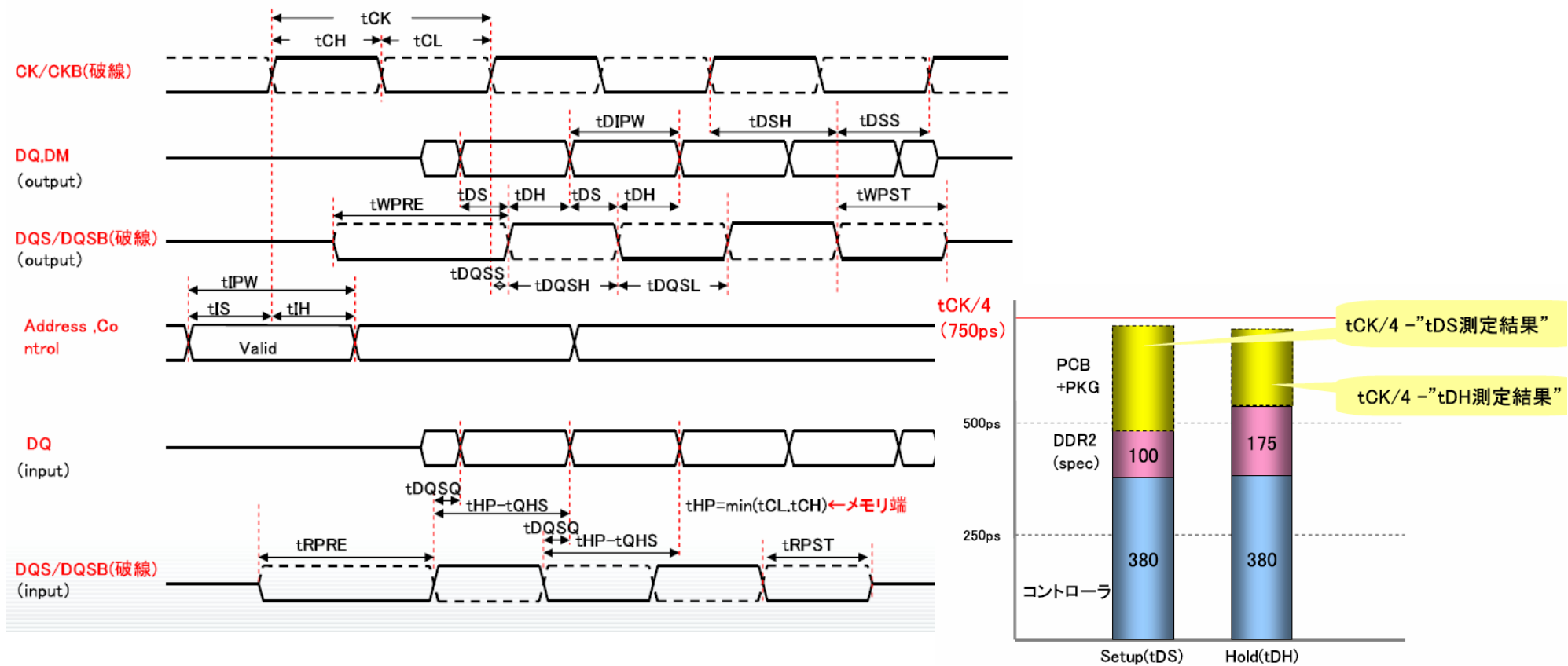
✚ 伝送線路ノイズについて



✚ DC対策事例（1例です。）

現象	原因部品	原因	対策例
オーバーシュート・アンダーシュート	LSI	LSIのバッファ能力が強い	バッファ能力の最適化、基板にダンピング抵抗追加
	パッケージ、マザー	基板のインピーダンスミスマッチ	インピーダンスコントロール
遅延、スキュー	パッケージ、マザー	基板上で遅延時間が異なる	等遅延配線
段つき（ディップ）、リングング	マザー	分岐後の配線バランスが悪い	分岐配線の最適化
クロストーク	LSI	LSIのバッファ能力が強い	バッファ能力の最適化、基板にダンピング抵抗追加
	パッケージ、マザー	基板上で電圧が誘起されやすい	ガードリング、ノイズ源とのアイソレーション
電源GNDの電位変化	LSI	LSIの貫通電流	基板にバイパスコンデンサ追加
	パッケージ、マザー	基板上で電圧が誘起されやすい	ノイズ源とのアイソレーション

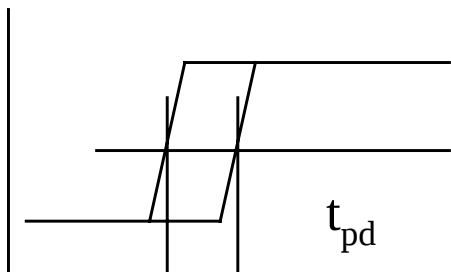
DDR II / III のタイミングチャート例



- メモリI/Fの場合、各信号が上記タイミングダイアグラムのように関連しあうため、マージンコントロールが必要となる。

AC対策事例

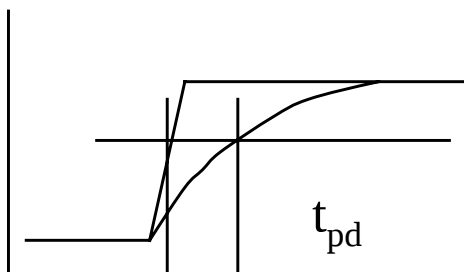
1. 配線長に起因する伝搬遅延



対象ネット: 全般

対策: 内外層の遅延時間を考慮した等遅延配線

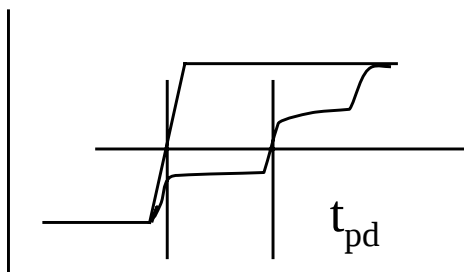
2. RC成分による伝搬遅延



対象ネット: データ・ストロブ・クロック

対策: **ダンピング抵抗の位置変更**
ダンピング抵抗値の最適化
ドライバICのバッファ能力提案
Z0コントロール設計

3. 反射による伝搬遅延



対象ネット: アドレス・制御系

対策: **分岐配線方法、分岐後の配線バランス**
終端抵抗の最適化
ドライバICのバッファ能力提案
Z0コントロール設計

伝送線路SIM
により解析



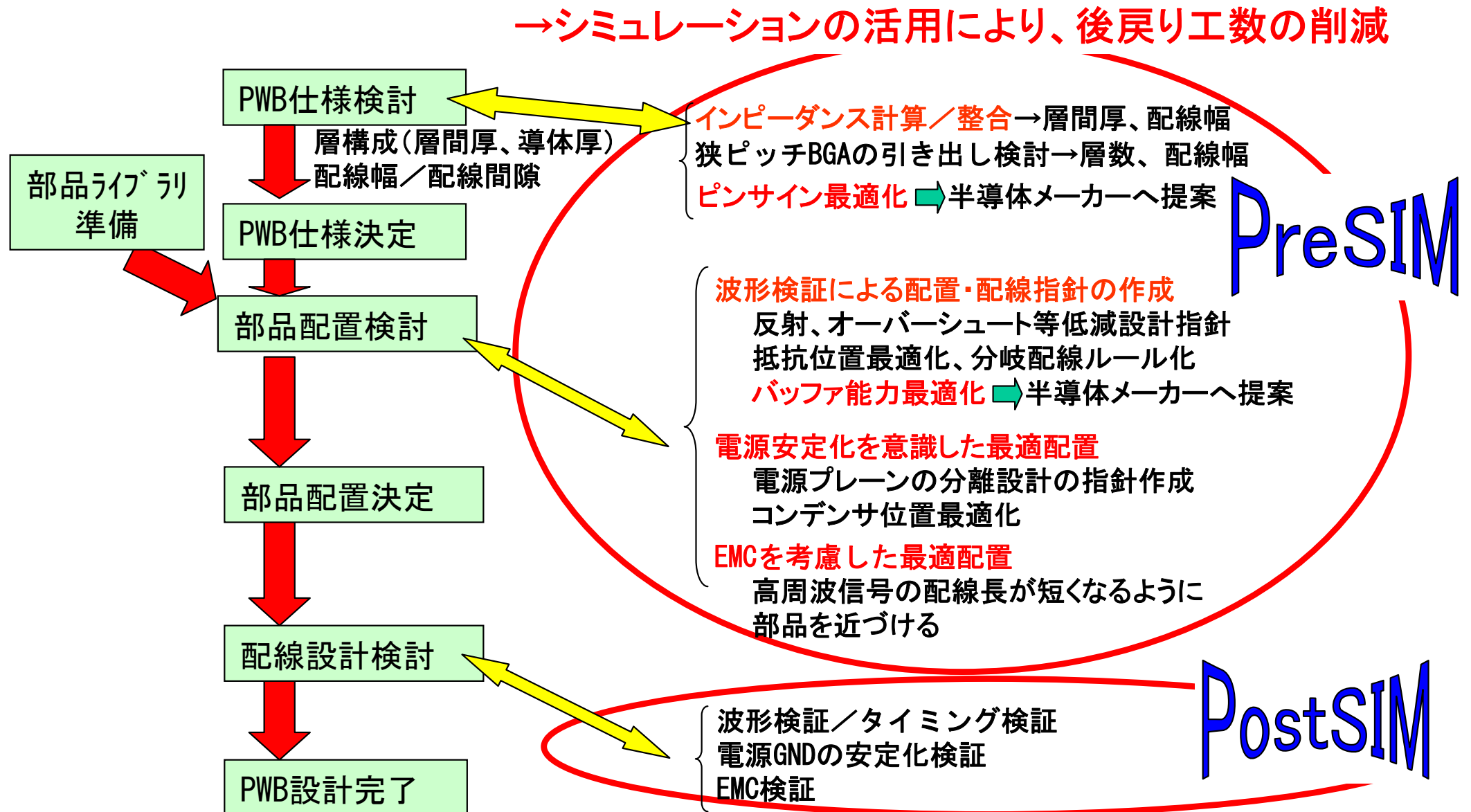
スキュー
(オーバーシュート、
アンダーシュート、
リングングを含む)

対策！



設計へ反映

✚ ボード設計フロー概要



+ DDRのSI対応の流れ

1. PreSIM（基板設計：部品配置完了後）

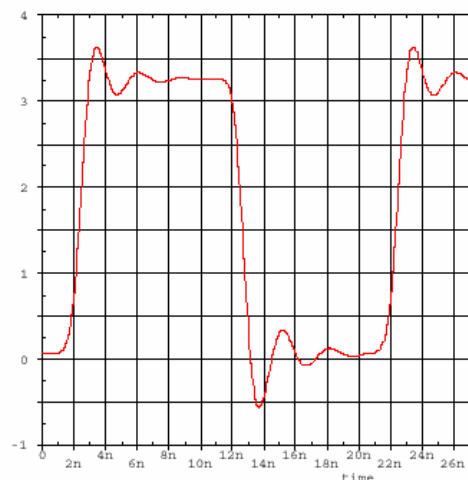
- 1) クロストーク影響の検証
ライン/スペースなどの設計ルールの検証・最適化
- 2) デバイス設定の検証
ドライバICのバッファ能力最適化
ODT機能の検証・最適化
- 3) 配線トポロジーの検証
配線ルールの検証・最適化
ダンピング抵抗有無、終端抵抗有無の検証

2. PostSIM（基板設計：配線完了後）

- 1) DC/ACスเปック検証
電圧/タイミング検証により最適化
- 2) クロストークの検証
電圧/タイミング検証により最適化
- 3) デバイス/基板等のばらつき検証
デバイスのMIN/MAX条件、基板のZ0ばらつき考慮等

+ 特性インピーダンスと電圧波形

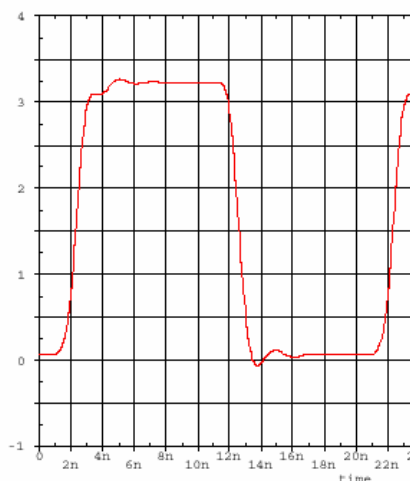
Legend : d003#ic3_2:R:L



$Z_0=75\Omega$

Z_0 高い=L成分が大きい
→オーバー/アンダーシュートが
発生しやすい

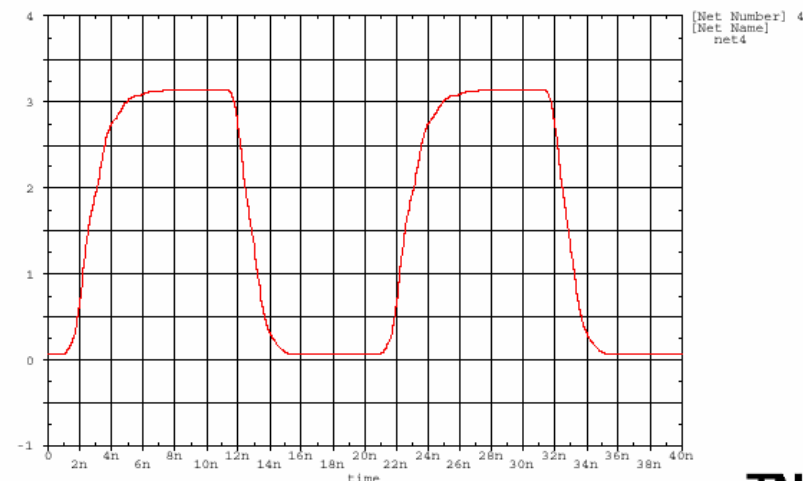
Legend : d002#ic2_2:R:L



$Z_0=50\Omega$

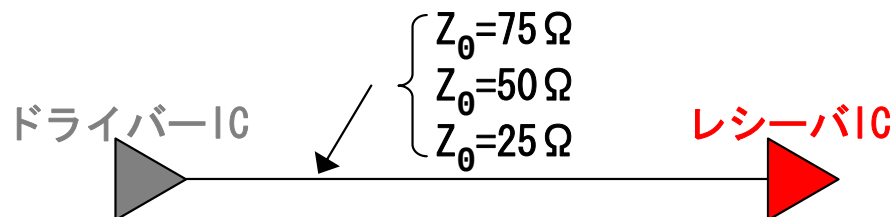
Z_0 マッチング
→綺麗な矩形波となる

Legend : d004#ic4_2:R:L



$Z_0=25\Omega$

Z_0 低い=C成分が大きい
→波形が鈍る

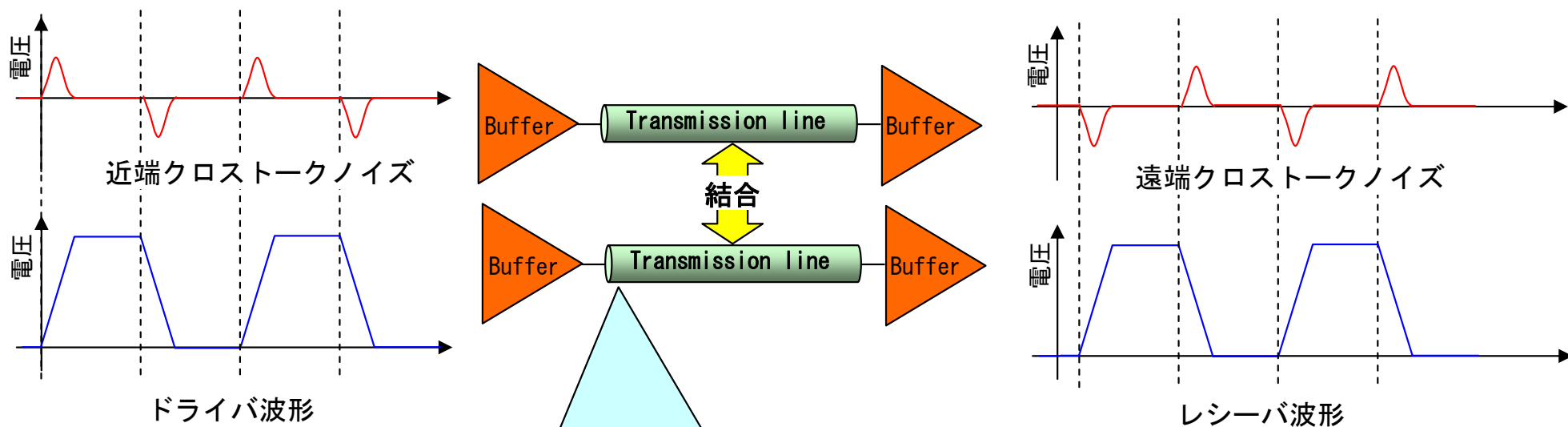


→プリント基板のインピーダンスによって、電圧変動が異なる。

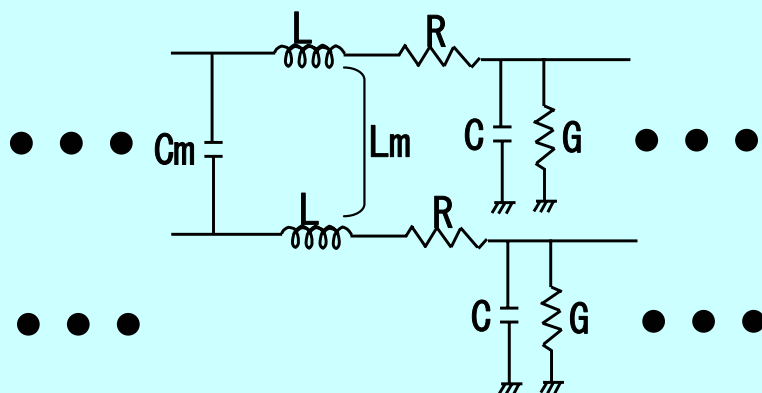
1-3. PreSIM対応事例

+ 近端/遠端クロストーク

電圧が誘起される



伝送線路の等価回路モデル



RLGCラダー回路

$$K_f (\text{遠端クロストーク係数}) = -\frac{1}{2} \left[\frac{L_m}{Z_0} - C_m Z_0 \right]$$

$$K_b (\text{近端クロストーク係数}) = \frac{L}{4 T_d} \left[\frac{L_m}{Z_0} + C_m Z_0 \right]$$

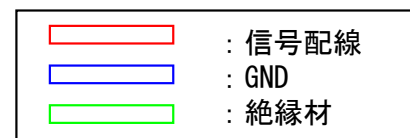
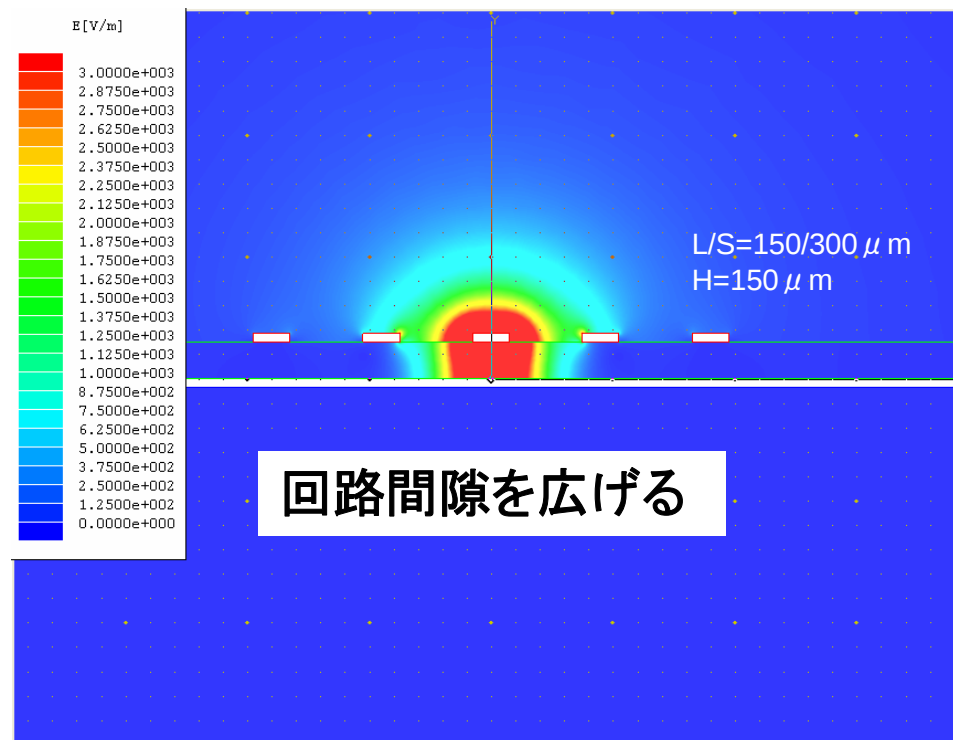
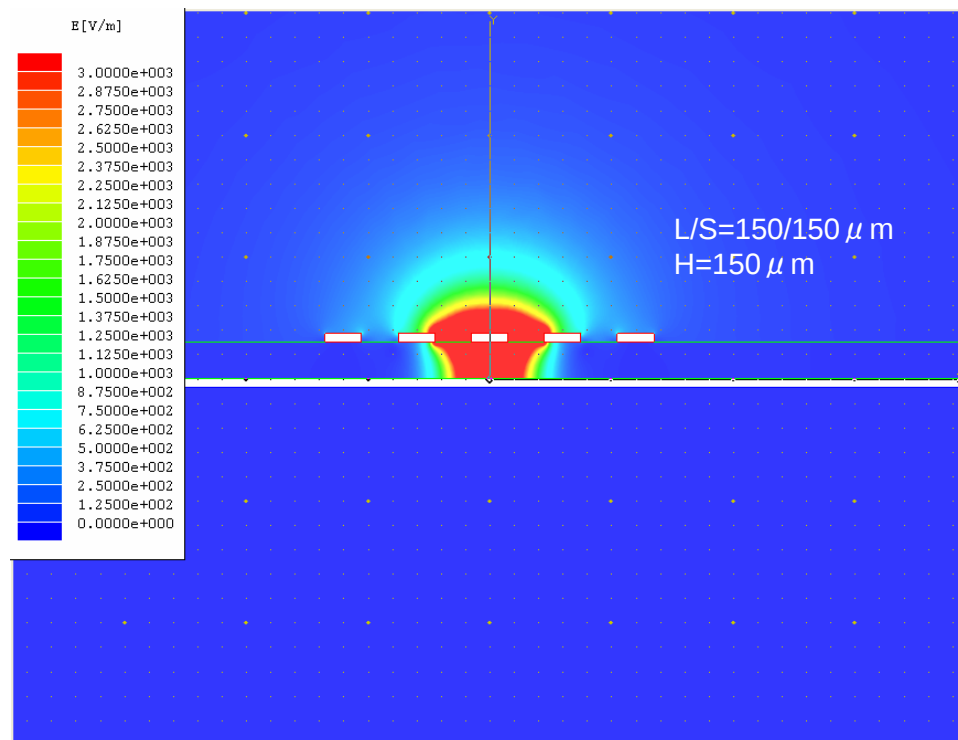
Z_0 : 各配線の特徴的インピーダンス[Ω]

L : 平行する配線長

T_d : 平行する配線Lにおける遅延時間

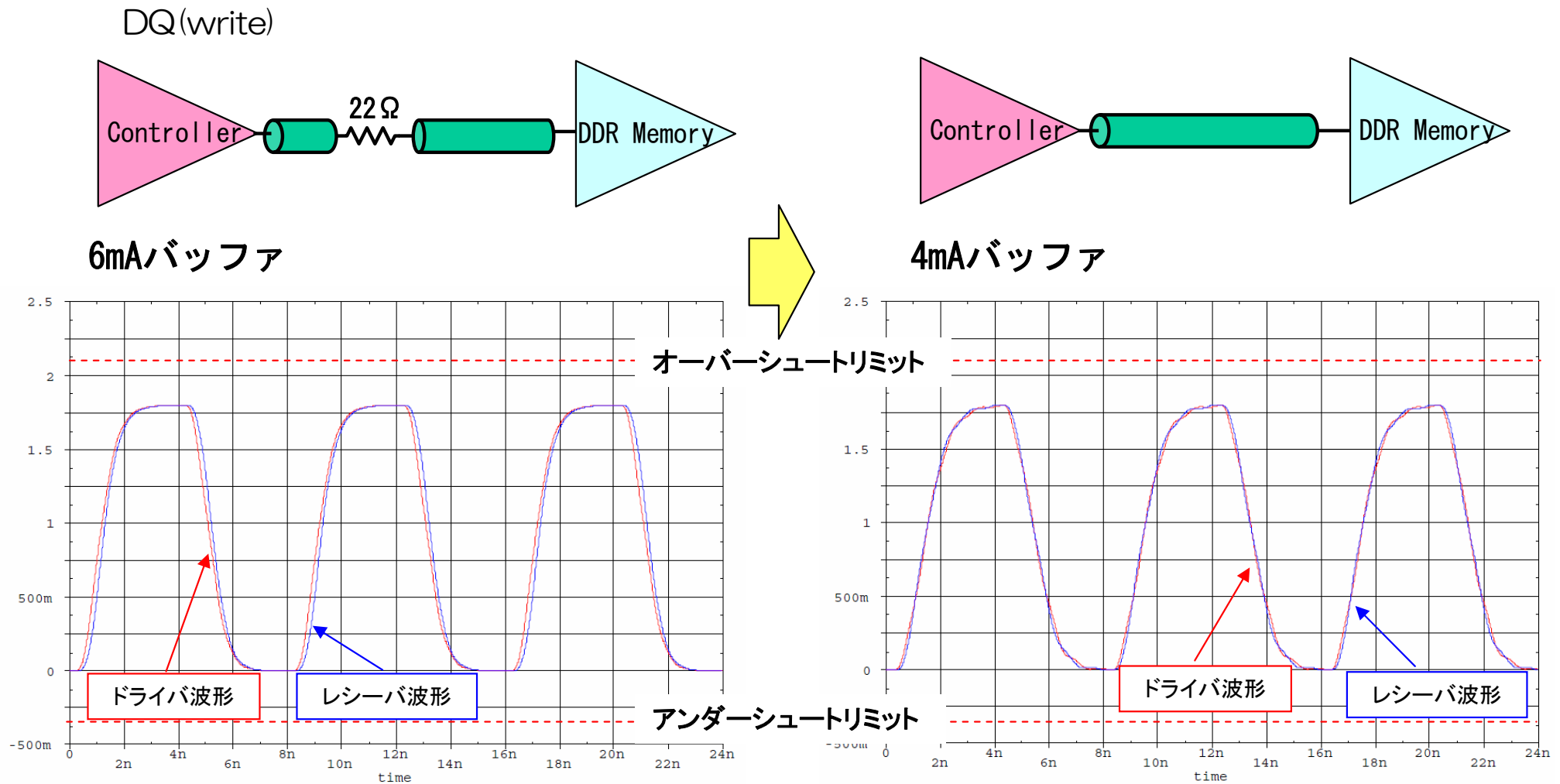
- ・ 電圧変動
- ・ 遅延時間変動

クロストーク解析事例 1



1-3. PreSIM対応事例

+ PreSIM解析事例(ドライブ能力最適化事例)



ドライバICのバッファ能力を最適化しダンピング抵抗を削除

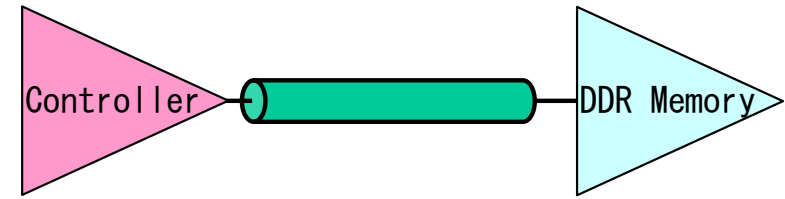
1-3. PreSIM対応事例

PreSIM解析事例(ODT設定最適化事例)

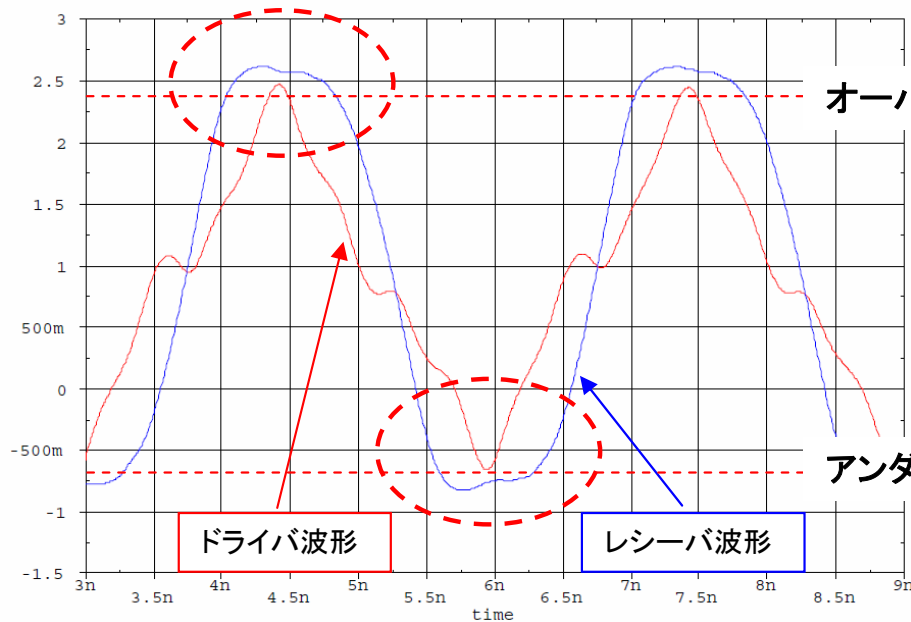
DQ(write)



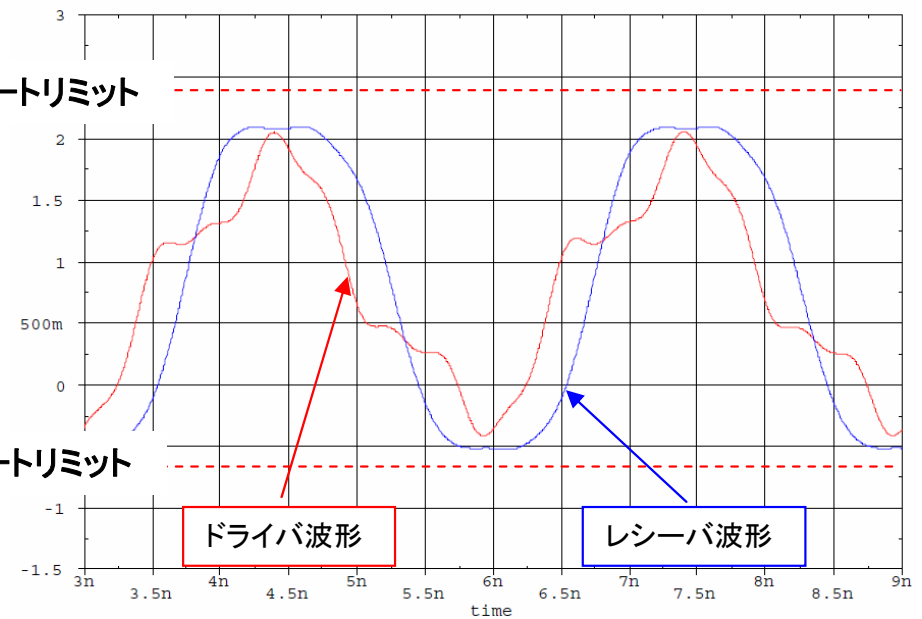
ODT OFF



ODT 75Ω

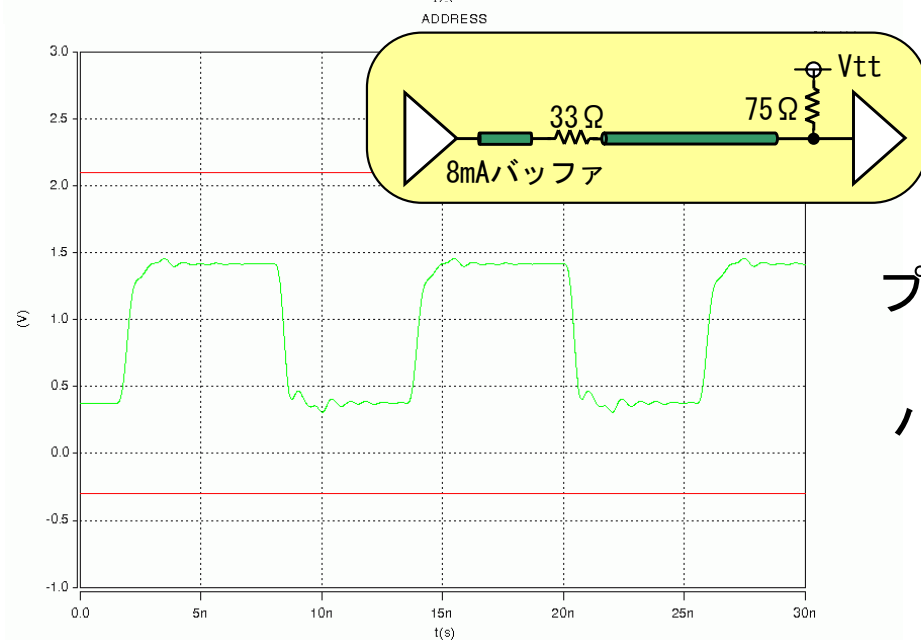
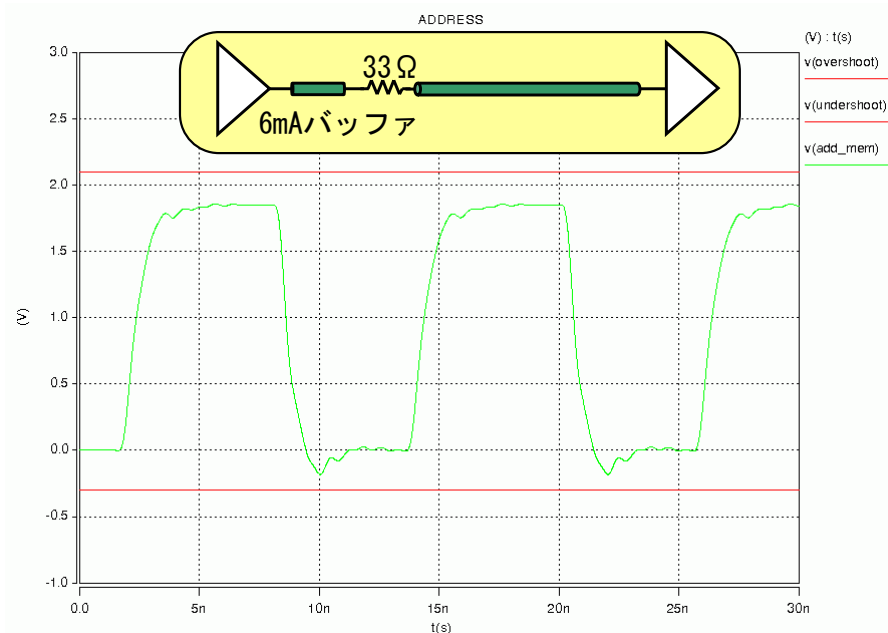
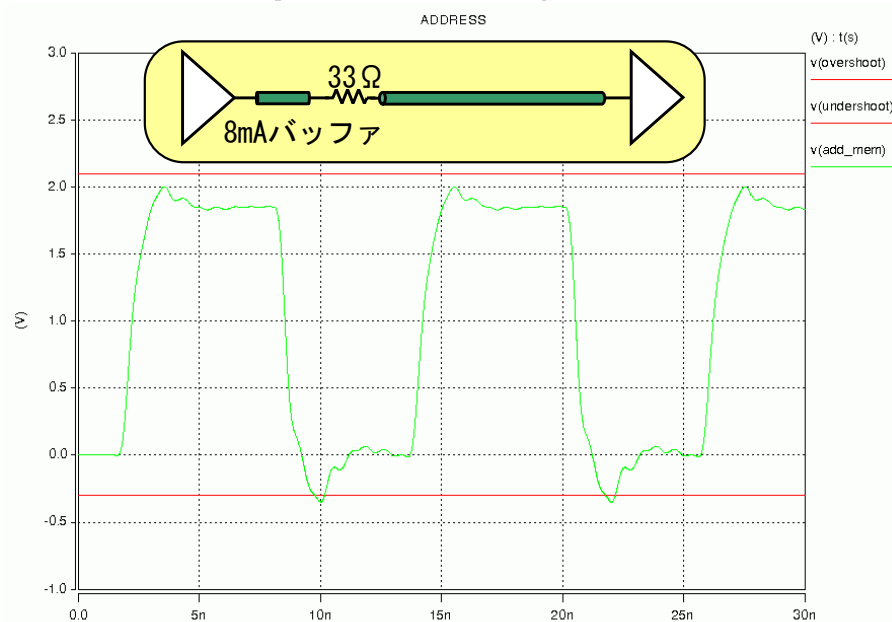


電圧スイングレベルが大きくスペックNG



ODT設定によりスペックOK

PreSIM解析事例(最適化事例)



プルアップ終端を使うと電源の消費電流が上がる

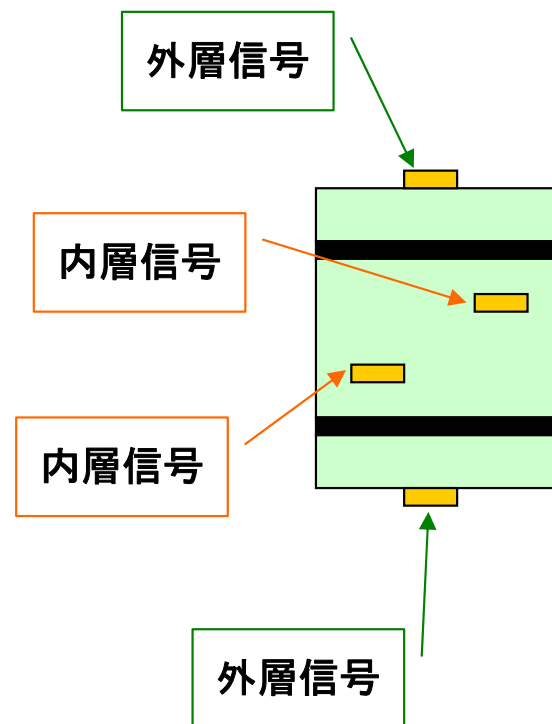
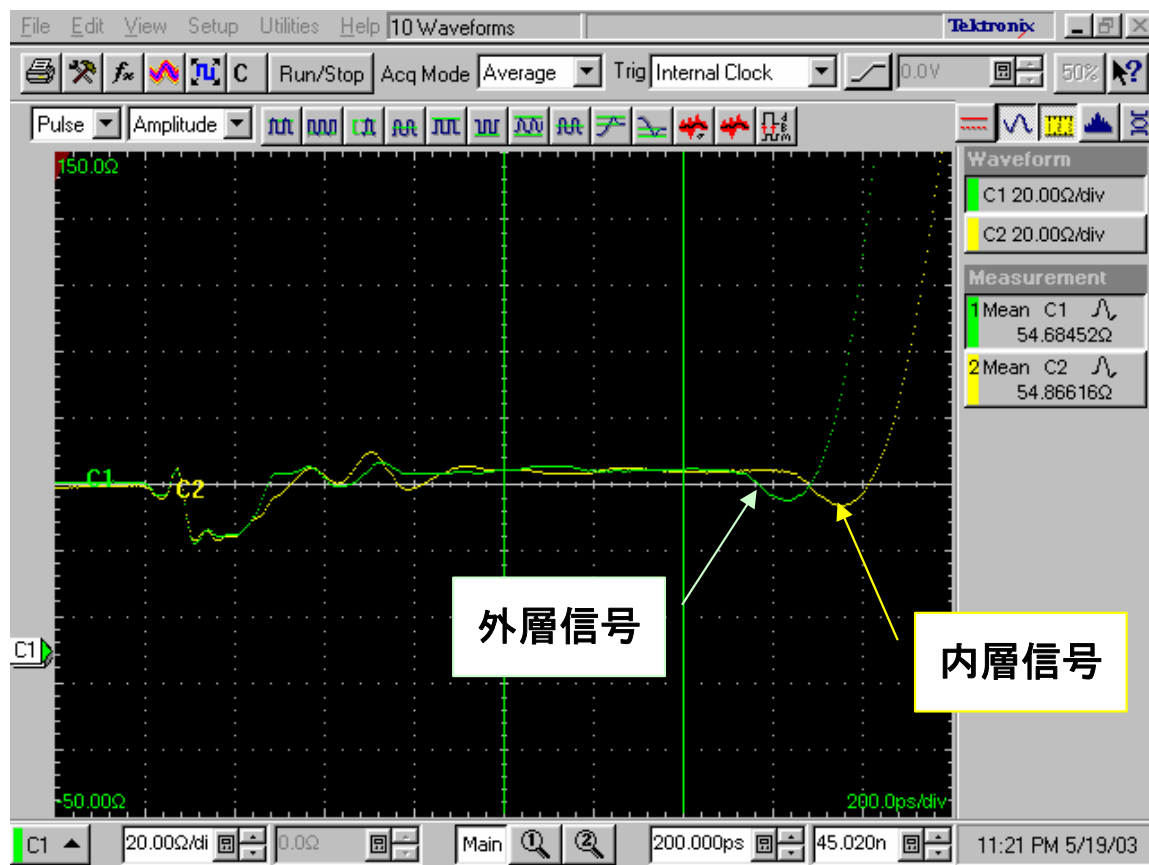


バッファ能力の調整が可能であれば最適化可能

+ 遅延/スキュー管理の注意点

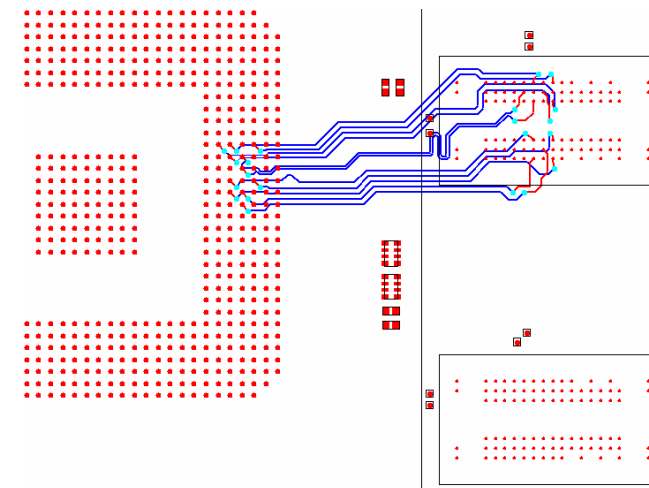
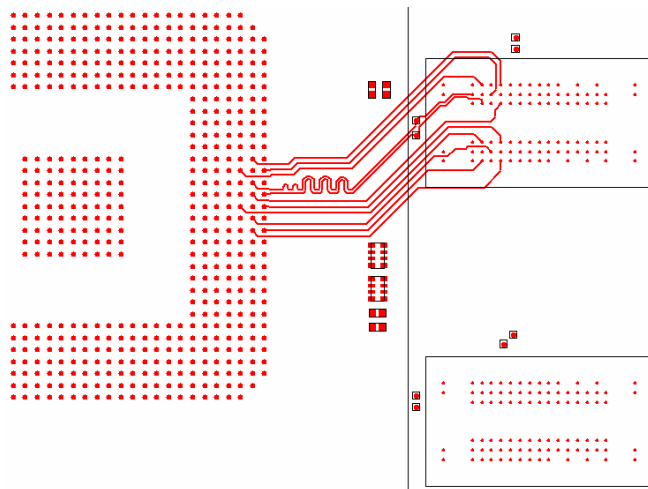
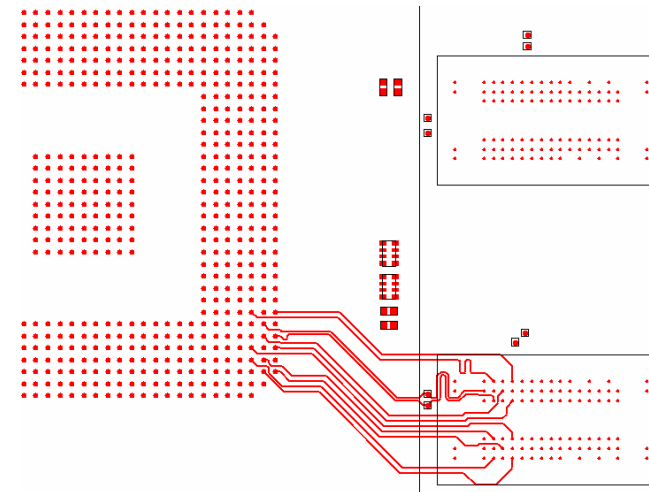
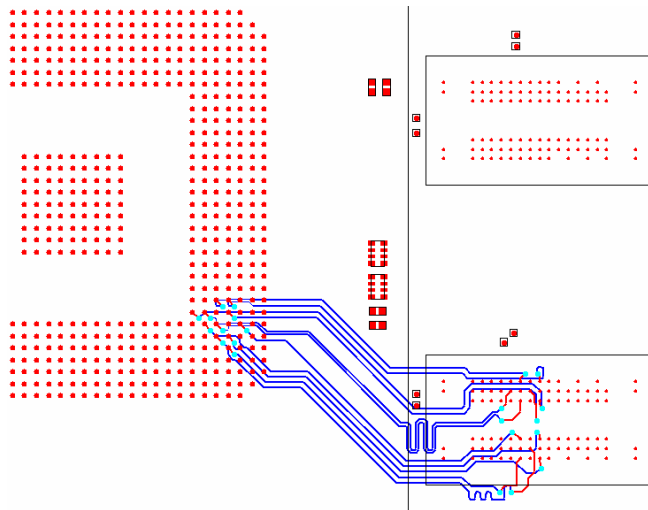
伝搬時間は、基板の内層信号、外層信号によって異なる

同一配線長、終端オープン時の特性インピーダンス (Z_0) 波形



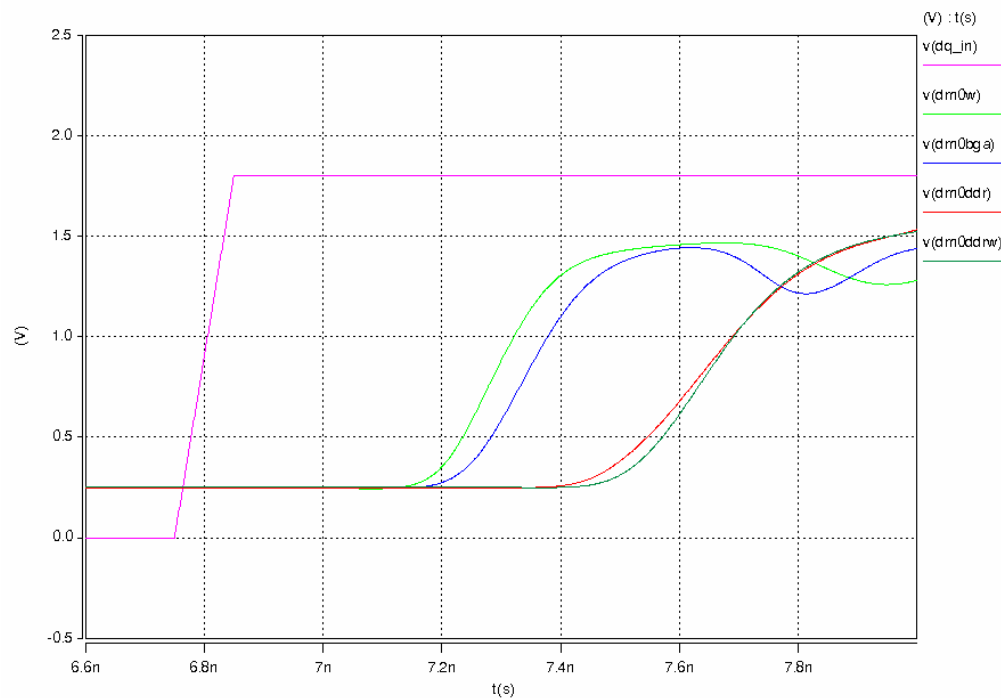
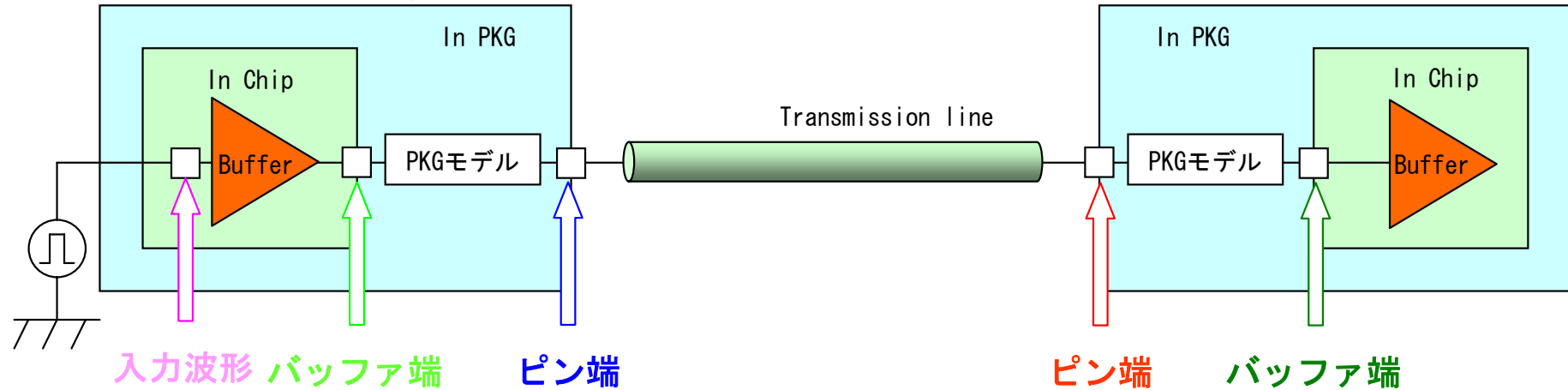
→配線の長さだけ合わせてもだめ！伝搬時間を考慮した設計が必要

+ DDR II / III 設計例 (バイトレーンごと)



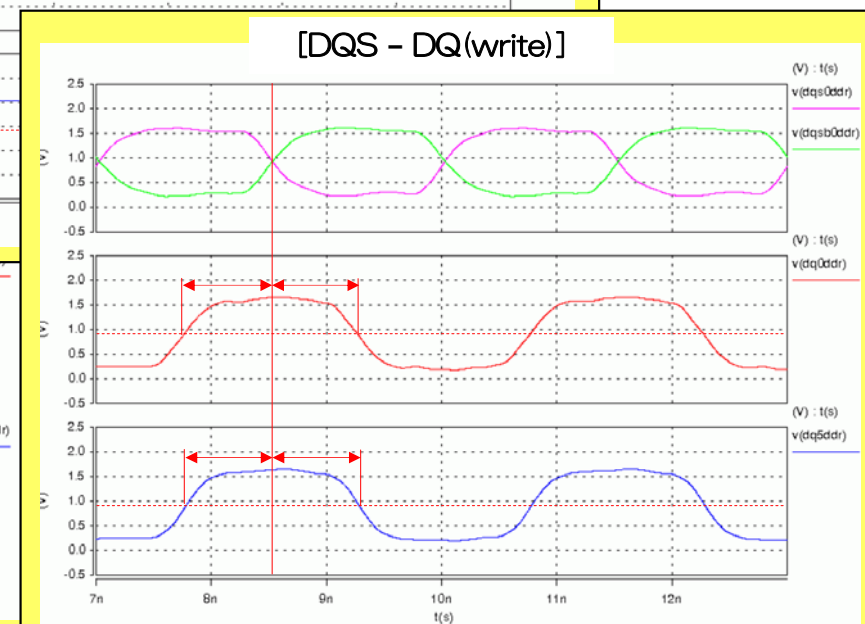
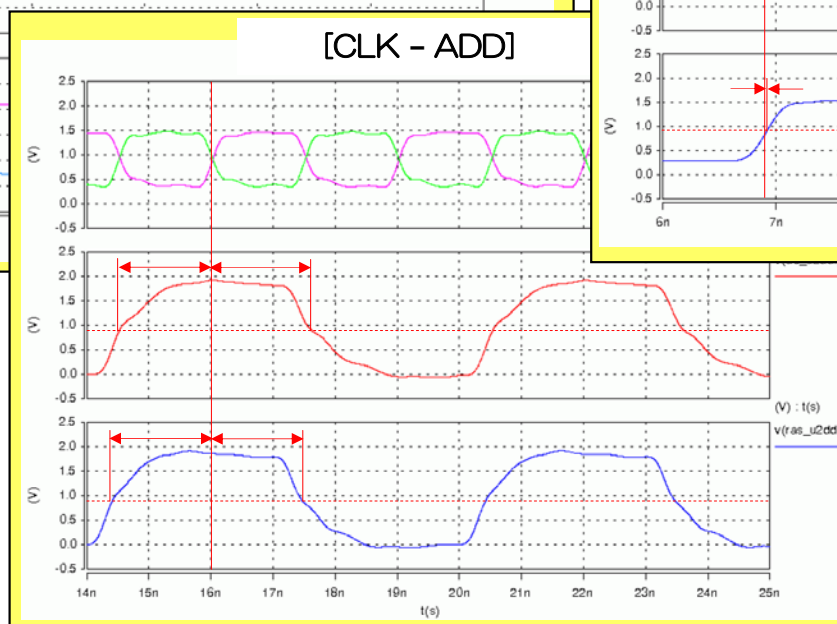
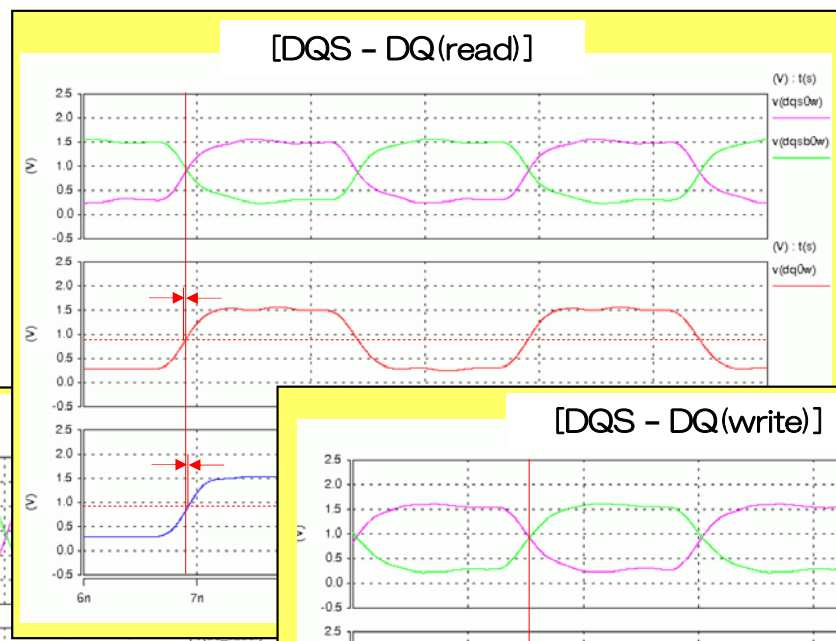
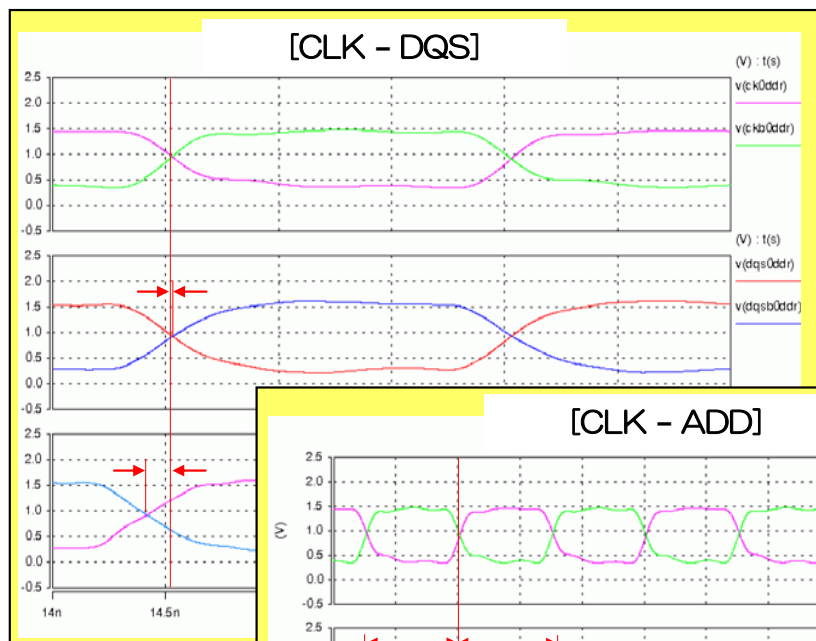
DQS, DQ, DM信号間はバイトレーンごとに等遅延
viaの位置や抵抗の位置や配線層ごとの線長をそろえる

DDRの遅延計測について コントローラIC



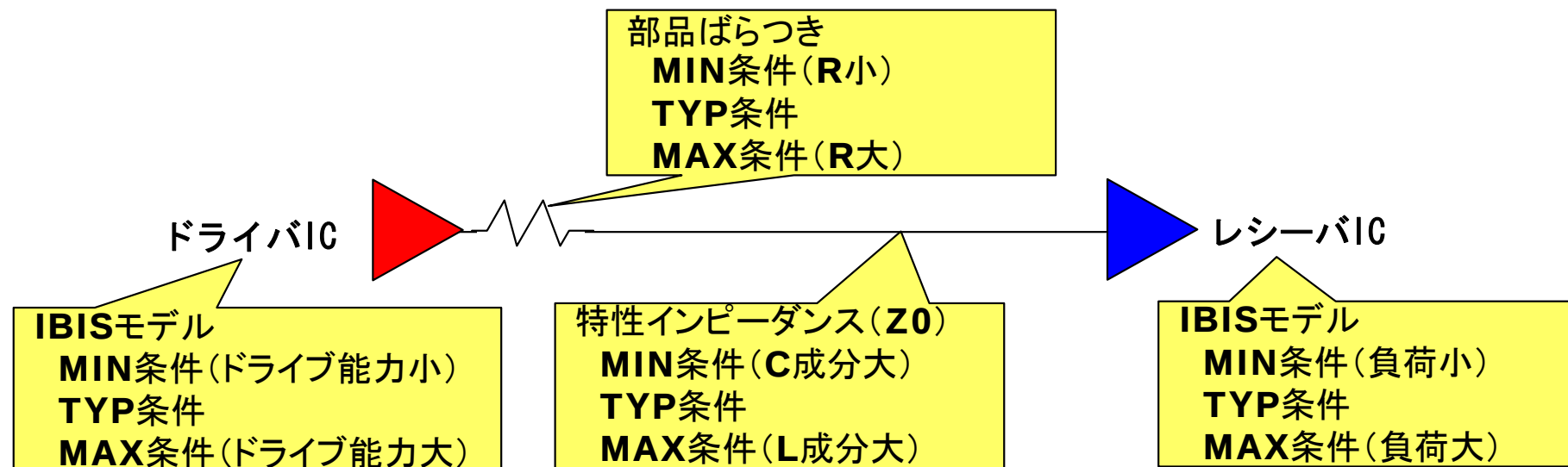
コントローラICのPKG遅延は
無視できない

DDRのスキュー計測事例



基準信号と各信号間のタイミングマーヅンを管理

PostSIM解析 (MIN/MAX条件)



MIN デレイ条件

オーバーシュート・アンダーシュート・リングングが出やすく、伝搬時間が最も速いケース

ドライバIC : MAX条件
レシーバIC : MIN条件

プリント配線板 (Z0) : MAX条件
部品ばらつき : MIN条件

MAX デレイ条件

波形が鈍りやすく、伝搬時間が最も遅いケース

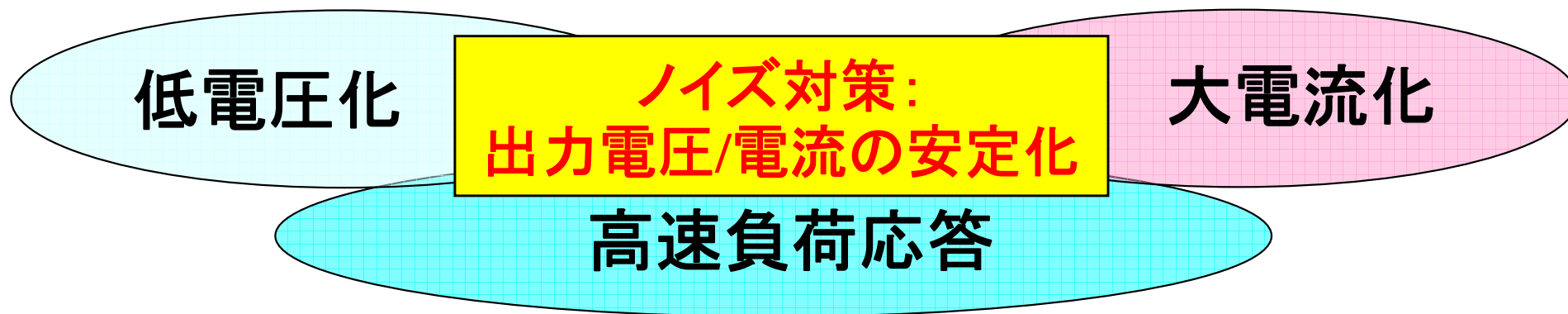
ドライバIC : MIN条件
レシーバIC : MAX条件

プリント配線板 (Z0) : MIN条件
部品ばらつき : MAX条件

1. SI対応 まとめ

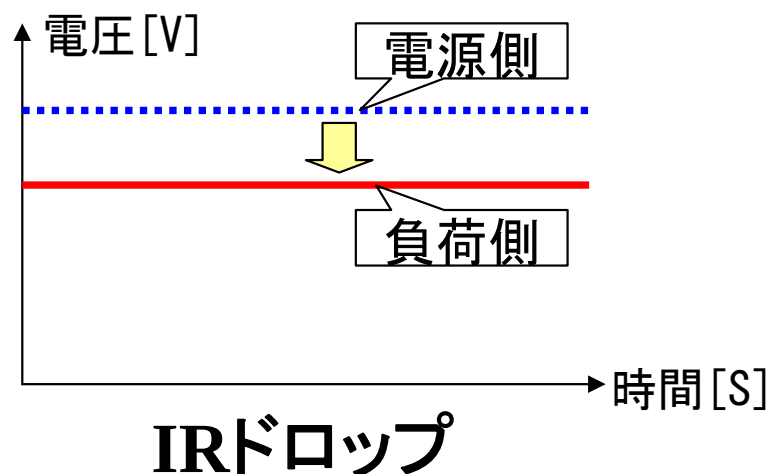
1. AC/DCノイズの発生原因に応じた最適な対策を検討する。
特にタイミングマージン、ノイズマージンに関して、チップ開発者とよく相談する。
2. 戻り作業をなくすため、適切なタイミングでシミュレーションを活用し基板設計の最適化を図る。
3. 製品の信頼性を高めるためには、ばらつきを考慮したシミュレーションを事前に実施することが有効。

電源への要求

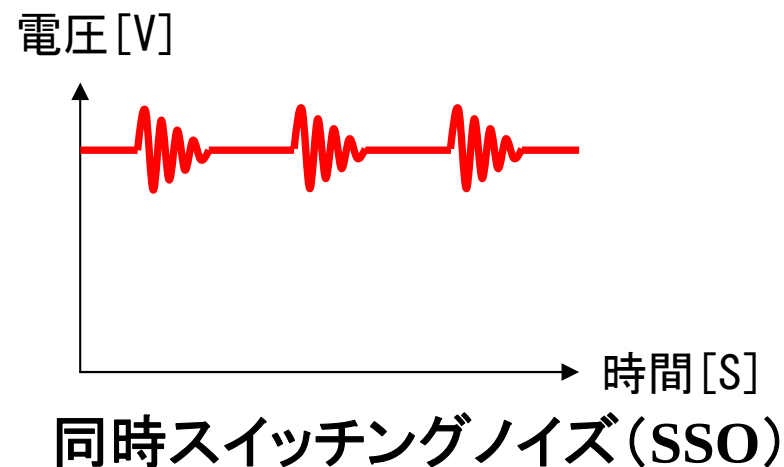


電源で問題となるノイズ現象

負荷側で電圧が降下してしまう



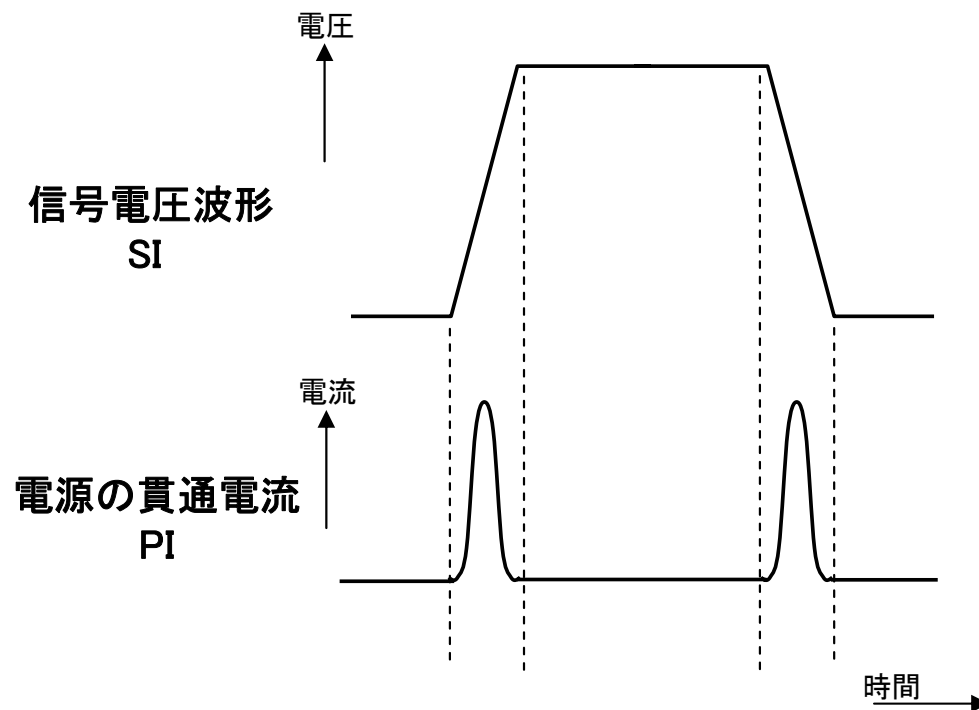
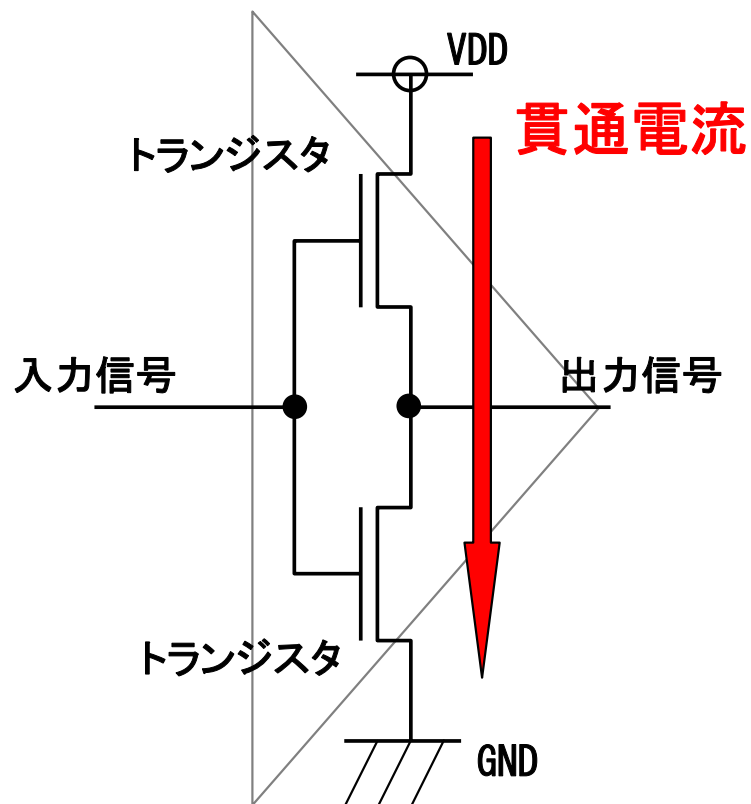
電圧が安定しない



2-1. 電源ノイズの種類

✦ LSIによる同時スイッチングノイズ

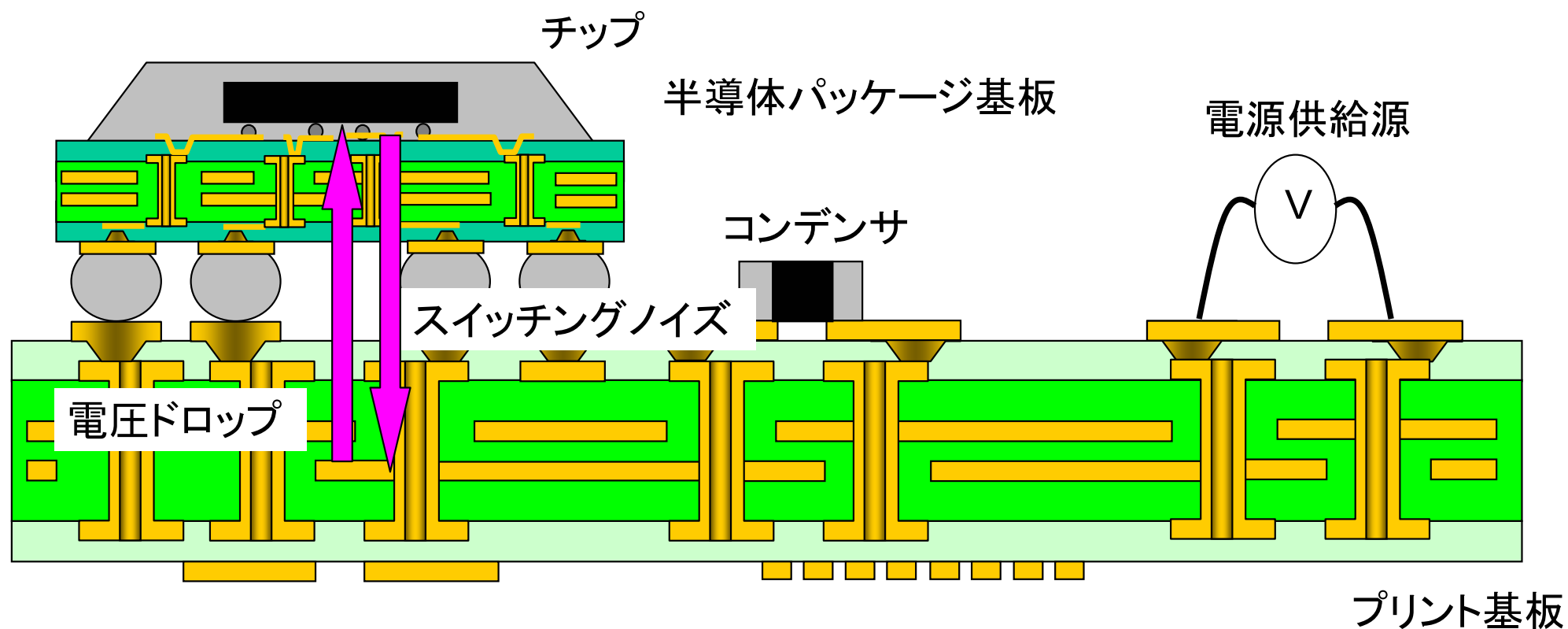
SI ⇒ PI への影響



CMOSトランジスタにおいて信号の立上り、立下りのときに各トランジスタが同時にONとなり、貫通電流が流れることがあります。

2-1. 電源ノイズの種類

IRドロップ (DC電圧ドロップ) とスイッチングノイズ



電源ノイズ	ノイズ現象	協調設計による対策
DC電圧ドロップ	チップ端子で電圧が降下	電源経路の最適化 (DC的に低インピーダンスにする)
スイッチングノイズ	チップの動作にあわせて電圧変動が発生	キャパシタンスの最適化による電圧変動の低減 (電源インピーダンスの低減と安定化)

■ DDRインターフェースの規格

電源電圧 (V_{ref}) の波形例

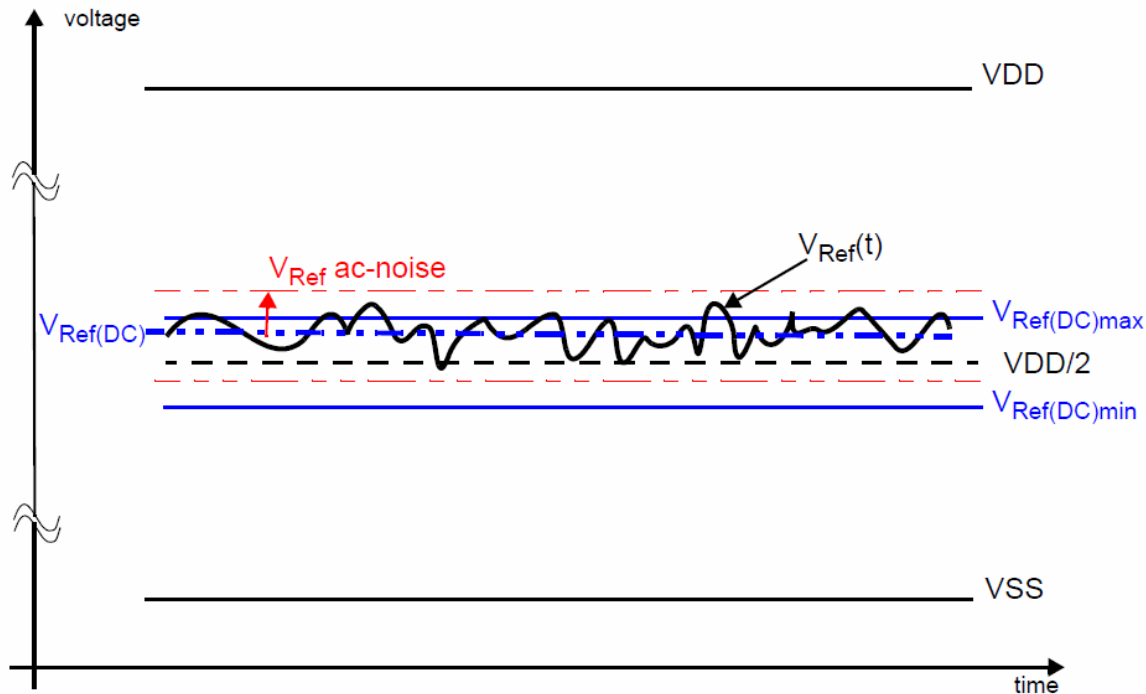
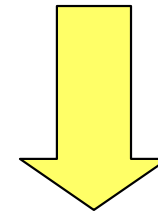


Figure 79 — Illustration of $V_{Ref}(DC)$ tolerance and $V_{Ref} ac-noise$ limits

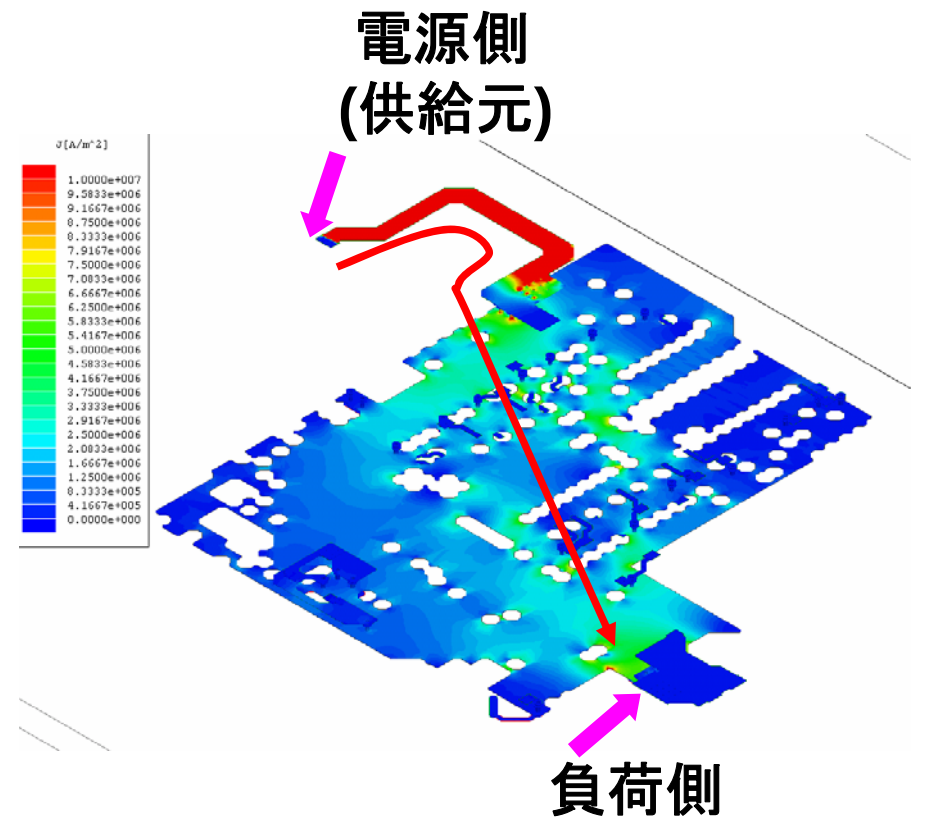
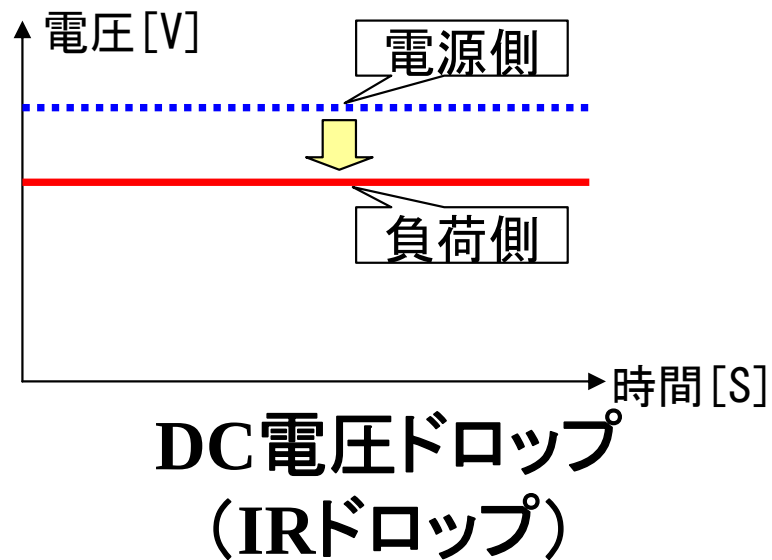
出展：JEDEC Standard

低電圧化に伴う
電源の電圧変動



- ・ DCスペック未達
- ・ ジッタの増加による
タイミングマージン減少

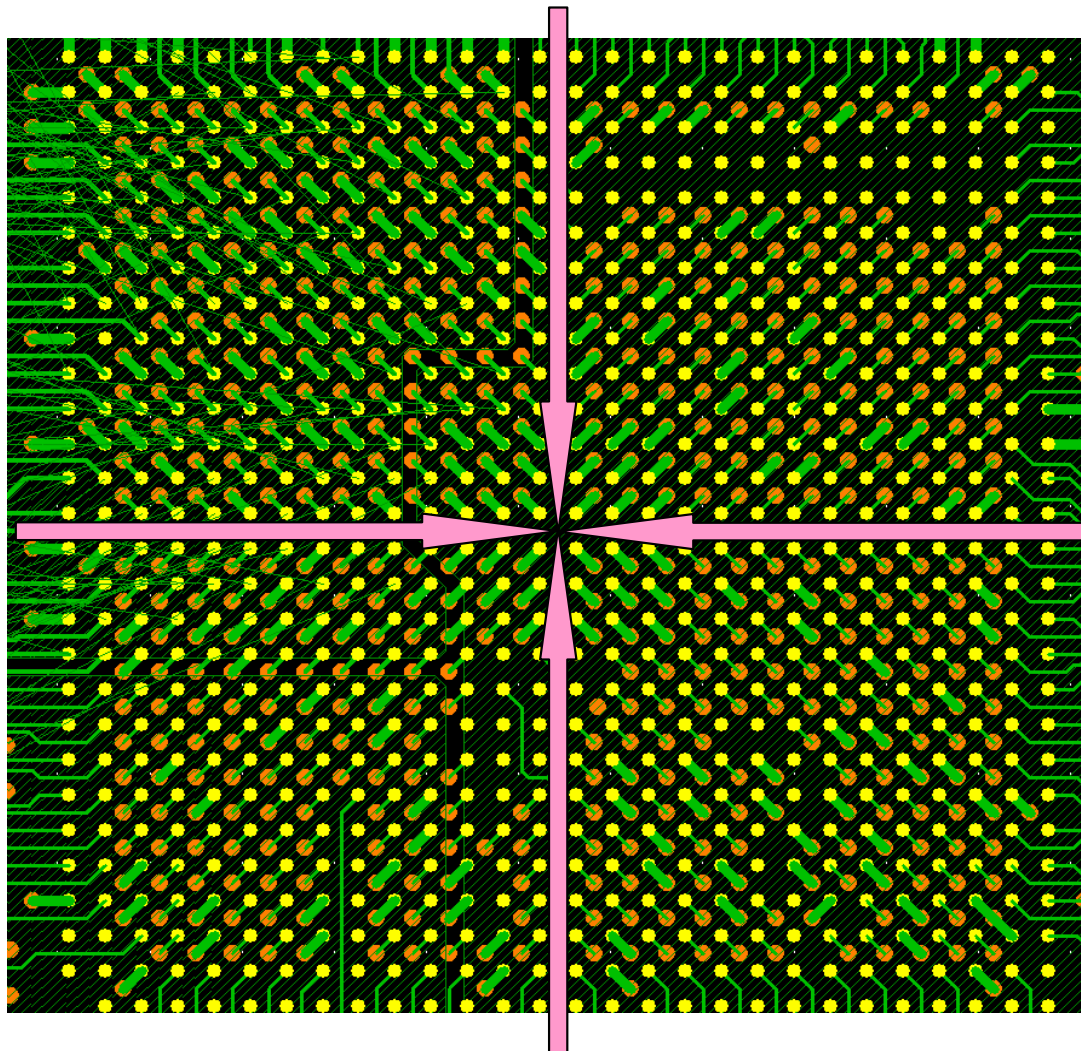
DC電圧ドロップ



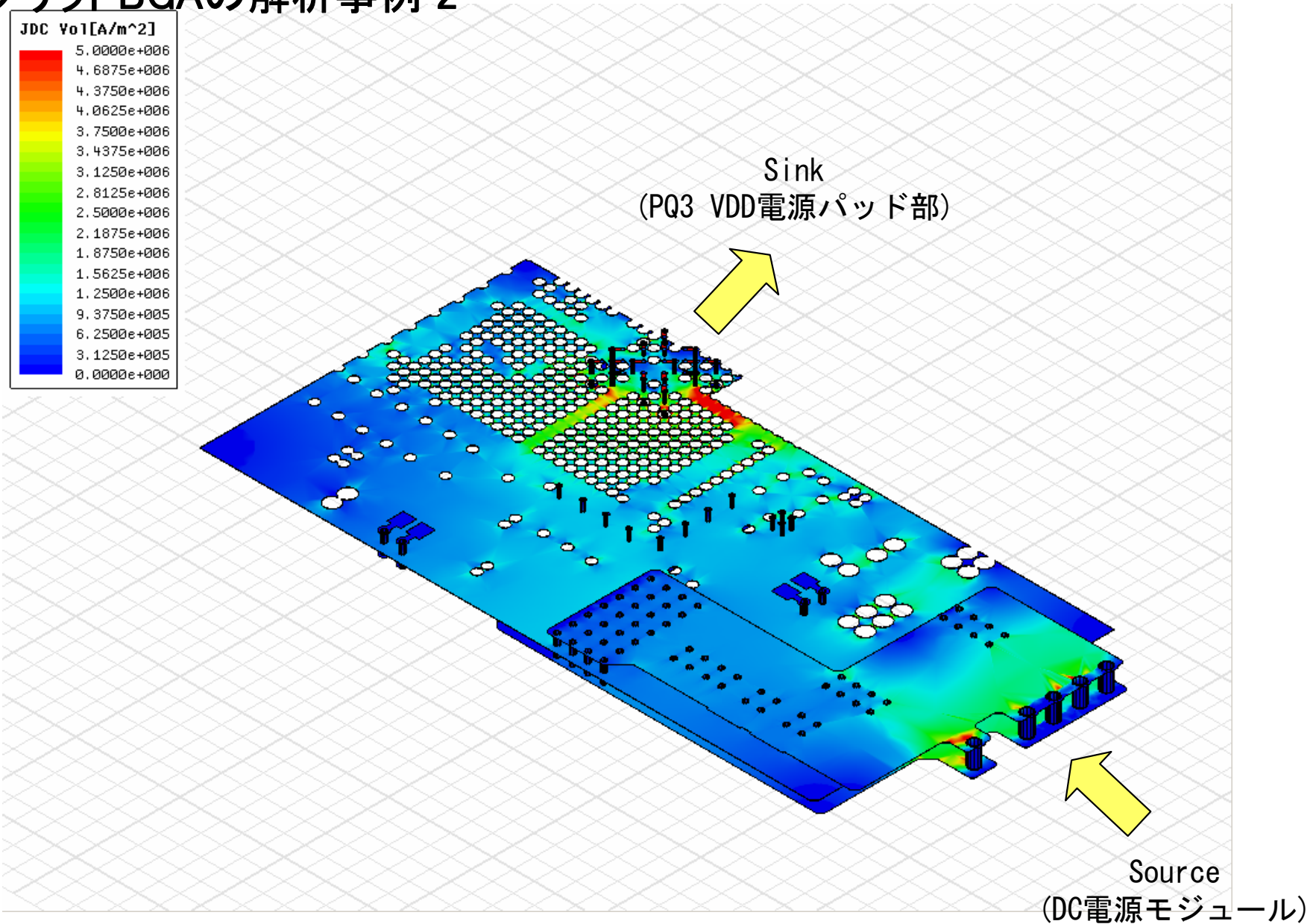
$$\text{DC電圧ドロップ値} = (\text{電源側} \sim \text{負荷経路のDC抵抗}) * \text{電流値}$$

フルグリッドBGAの解析事例 1

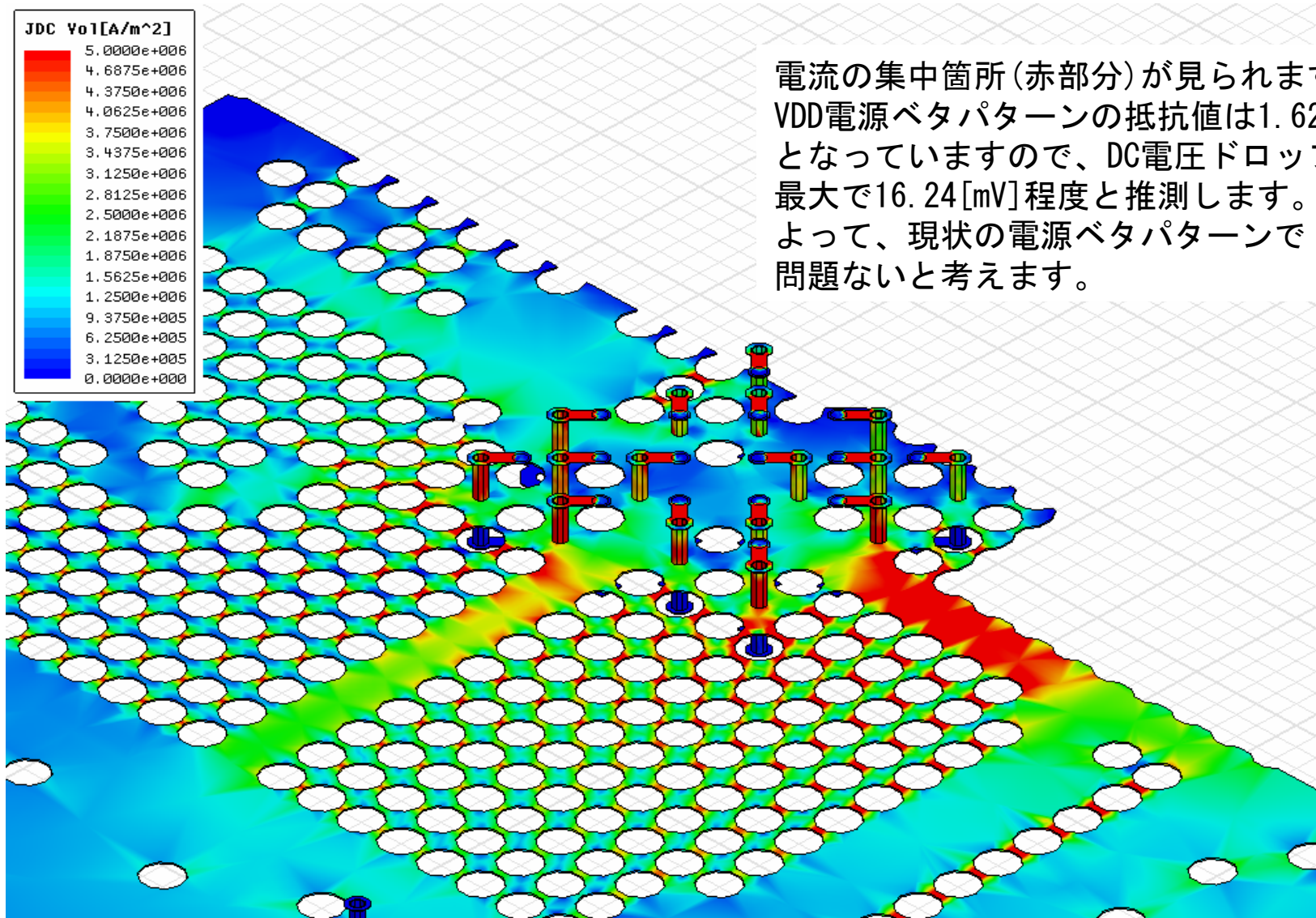
電流経路の確保



フルグリッドBGAの解析事例 2

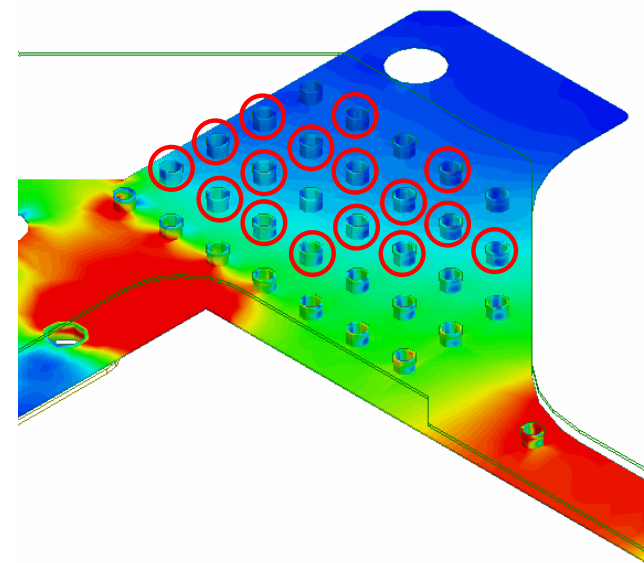
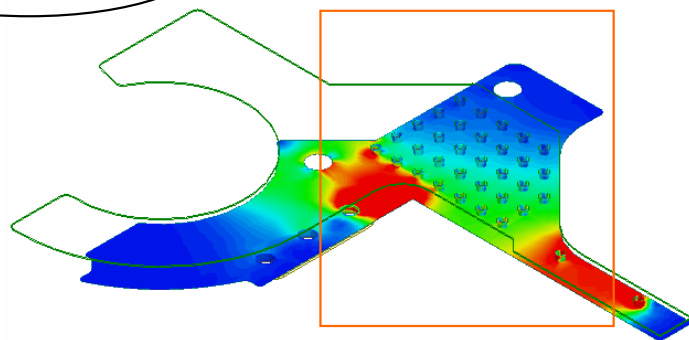


フルグリッドBGAの解析事例 3

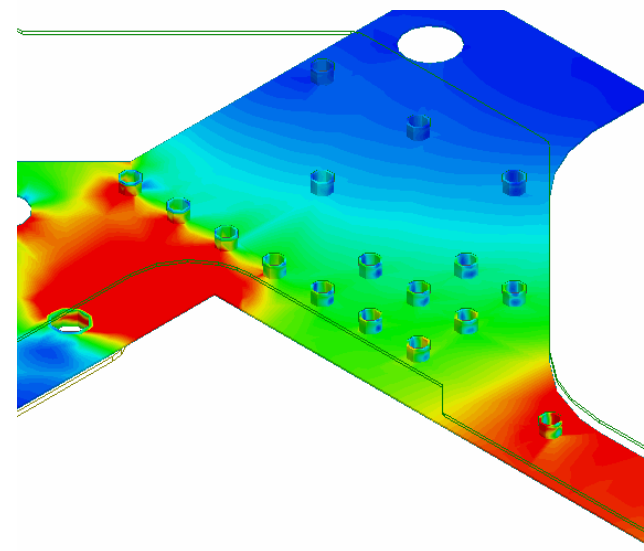
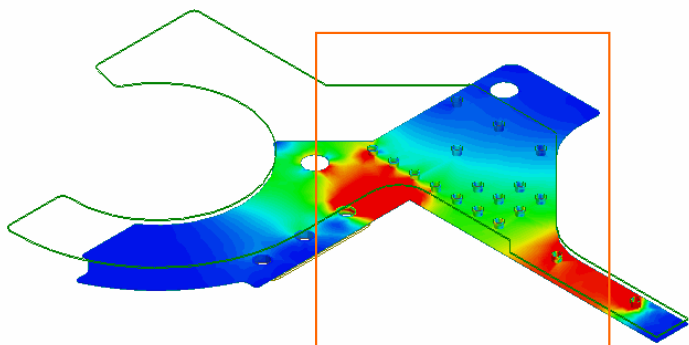


✚ GNDビアの最適化事例

GNDビア削減前



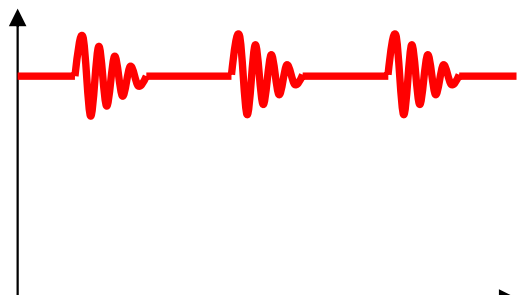
GNDビア削減後



GNDビア数を削減し、基板製造工数／基板コストダウン提案

スイッチングノイズの解析

電圧 [V]

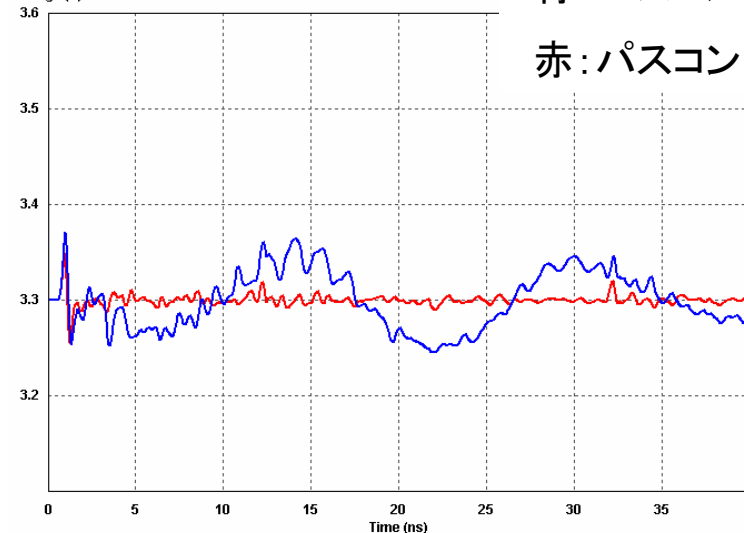


時間 [S]

同時スイッチングノイズ (SSO)

電圧

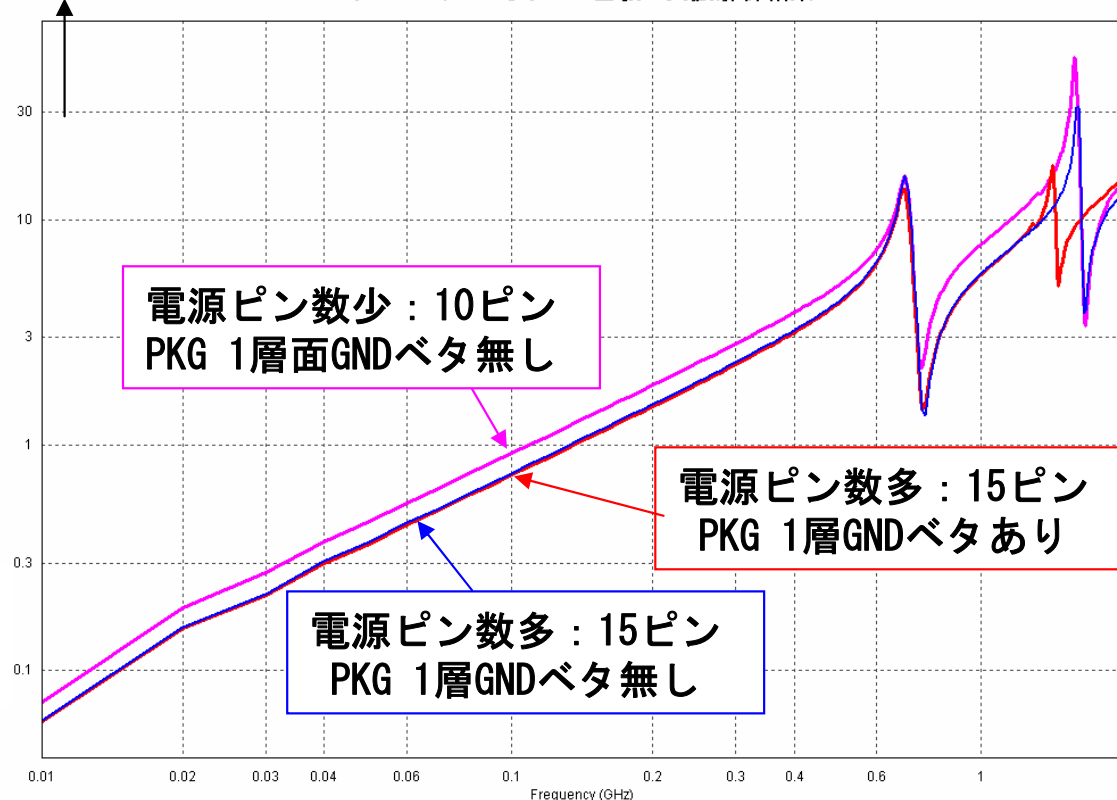
Voltage (V)



青: パスコンなし
赤: パスコンあり

インピーダンス

マザーボード+パッケージ基板の共振解析結果



— L1層ベタあり・GVピン多い
— L1層ベタ無し・GVピン多い
— L1層ベタ無し・GVピン少ない

マザーボードに実装したコンデンサー

1608タイプ・0.1uF (0.58nH, 0.28Ω) を実装

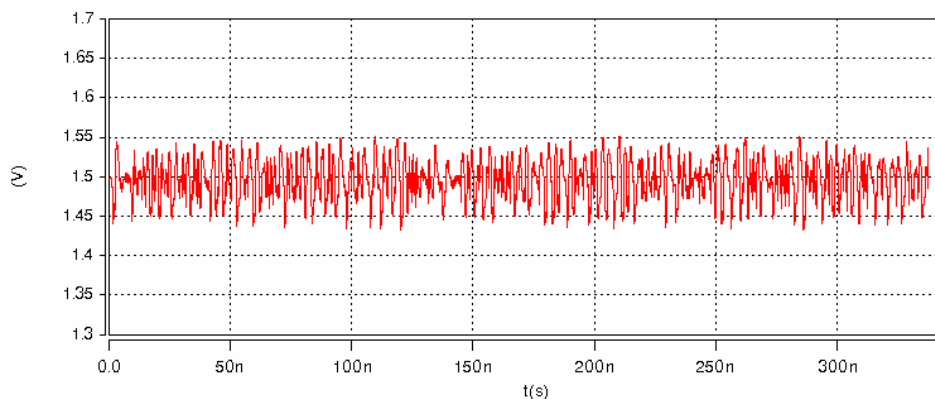
周波数

周波数軸でPKG、PWBの特性把握

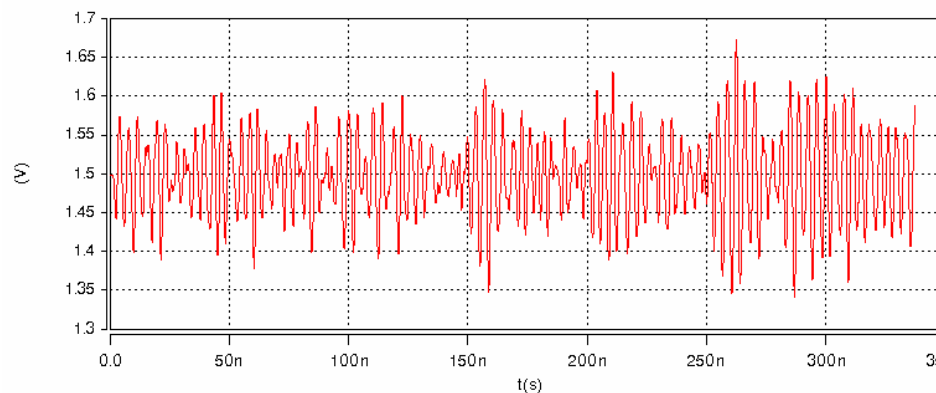
時間軸で電源ノイズの絶対量として解析

電源変動とジッタについて

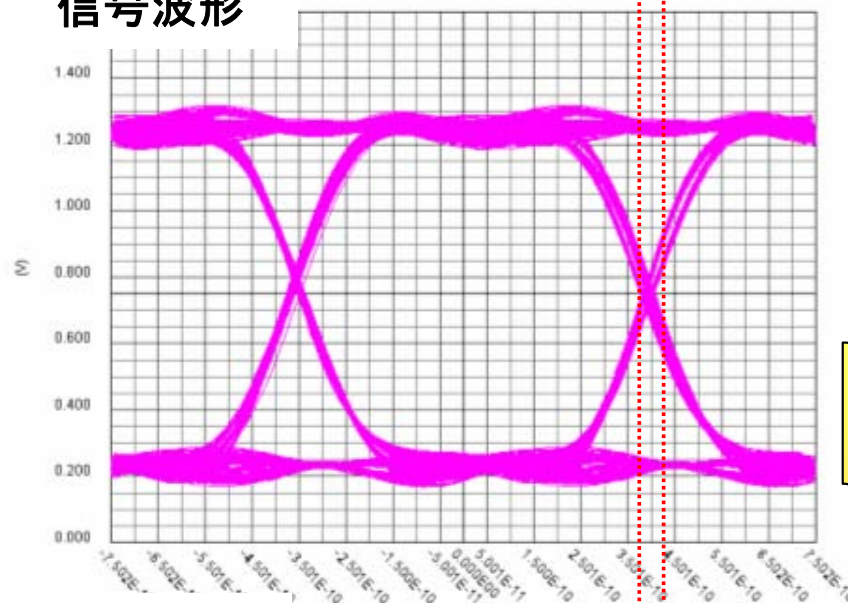
電源変動 130mVpp



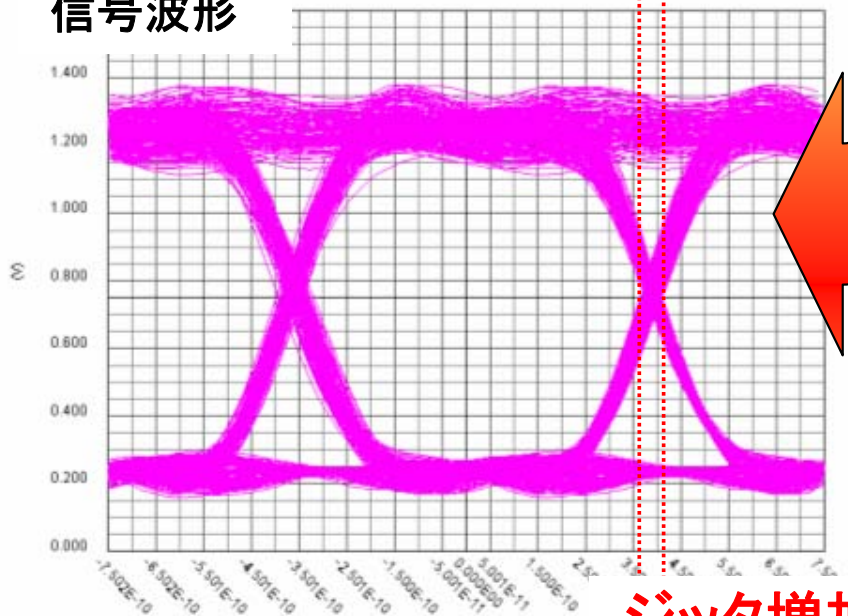
電源変動 330mVpp



信号波形

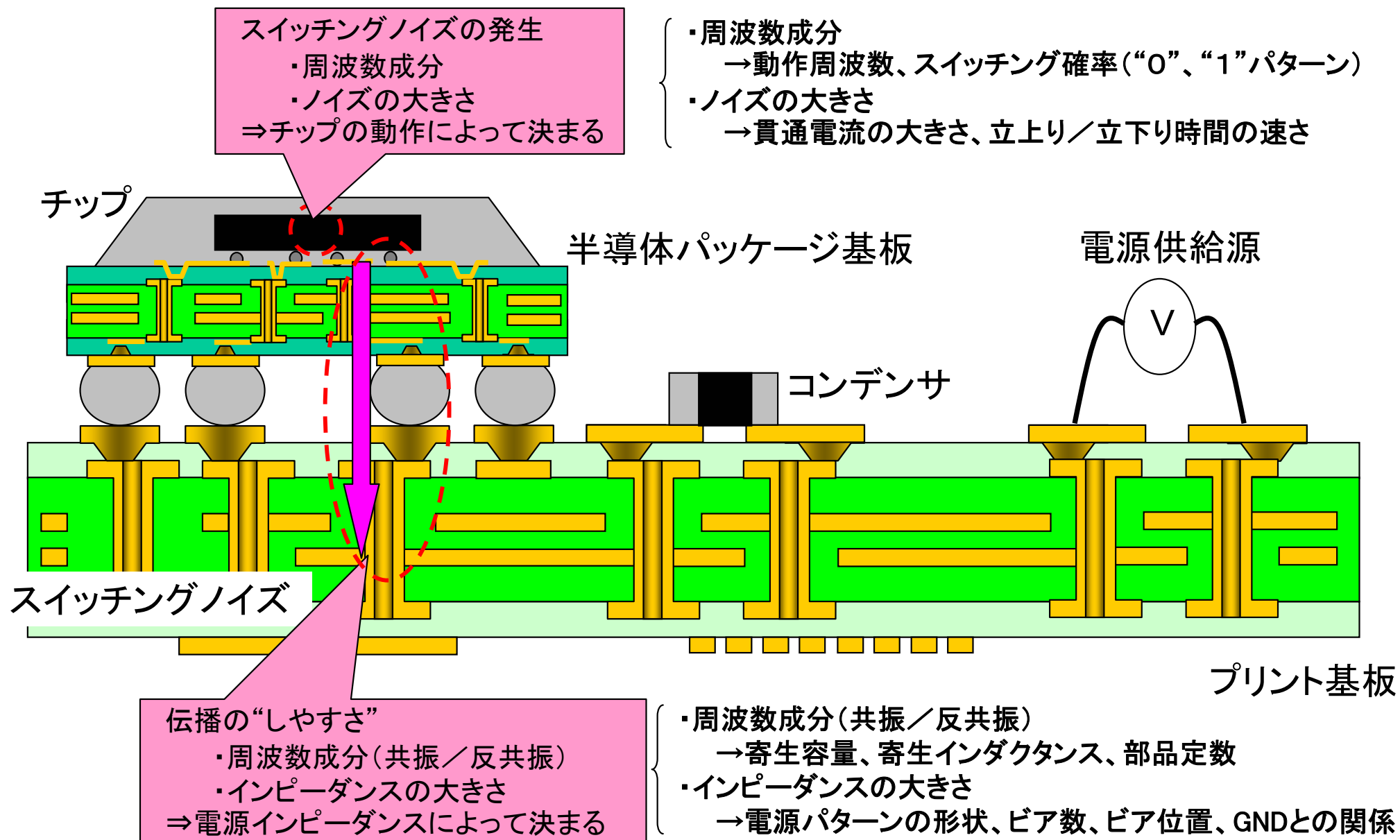


信号波形

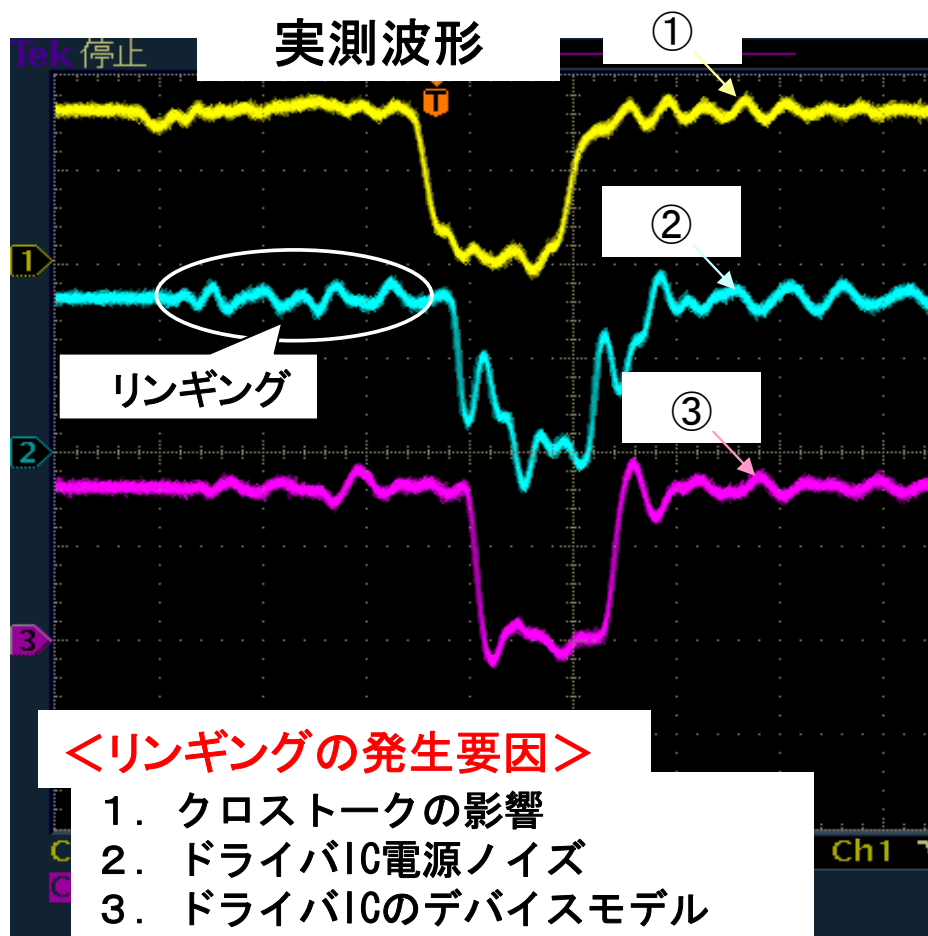


ジッタ増加

同時スイッチングノイズの原因

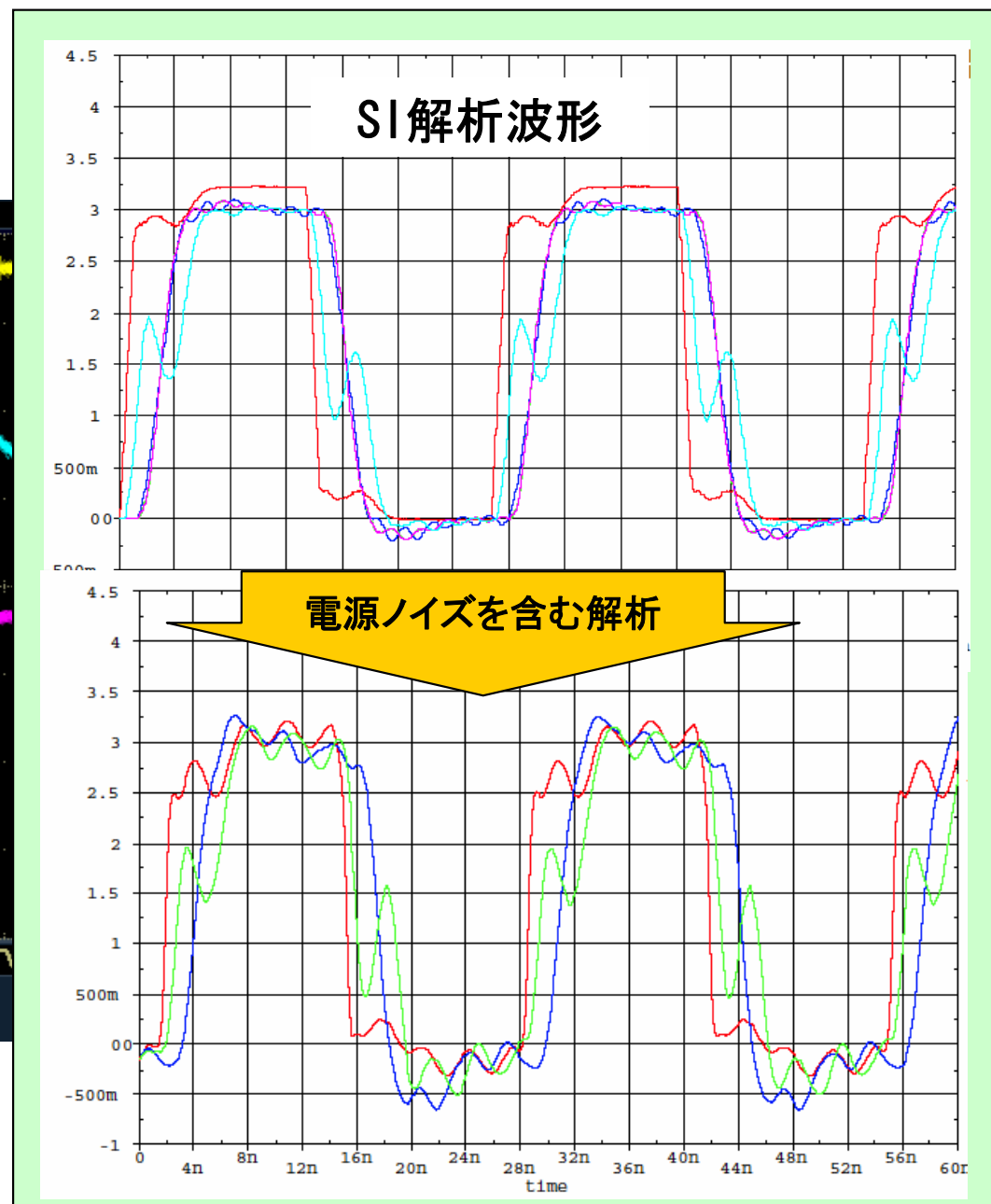


電源ノイズ→信号波形の解析事例

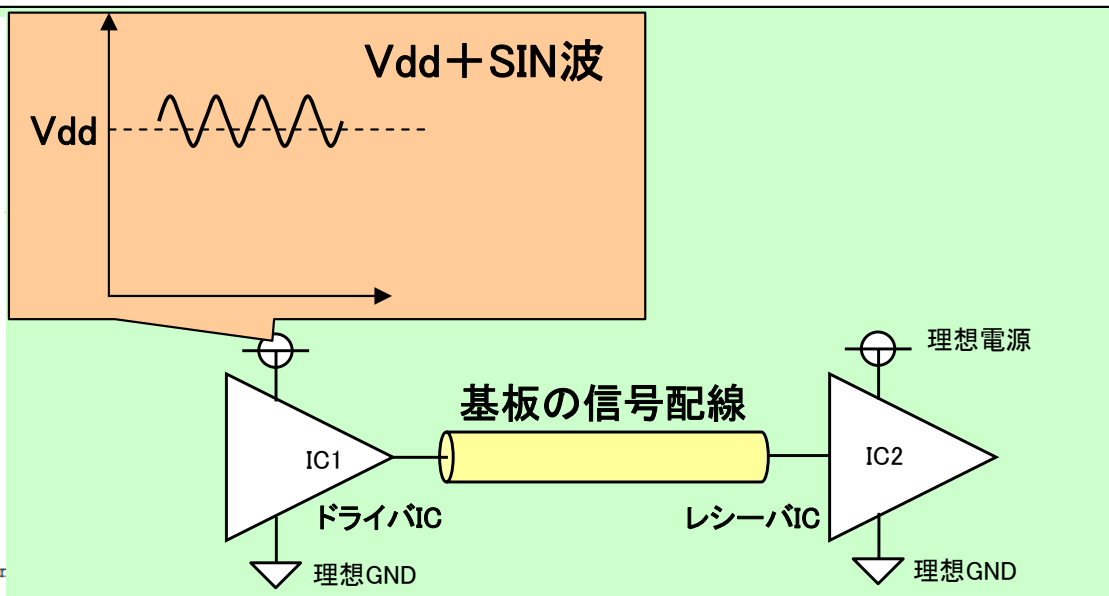
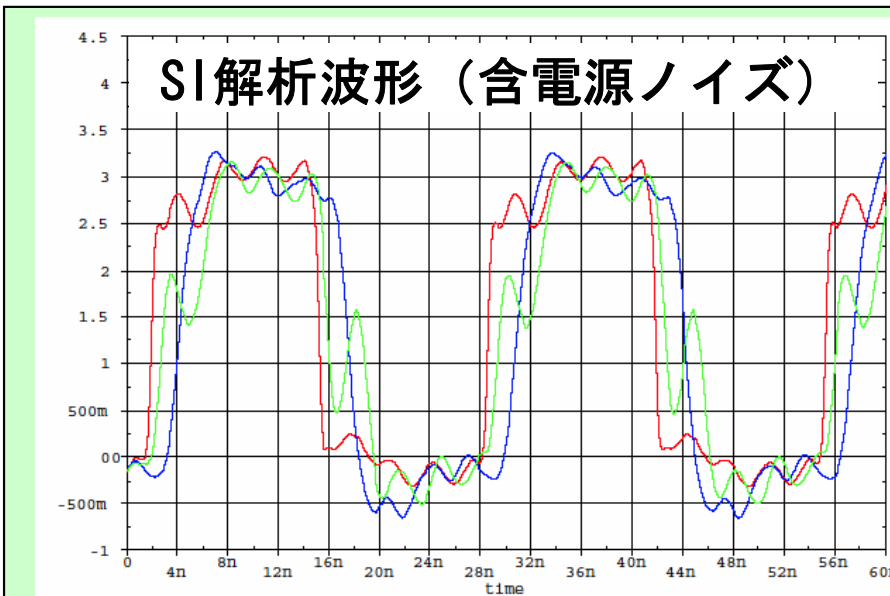
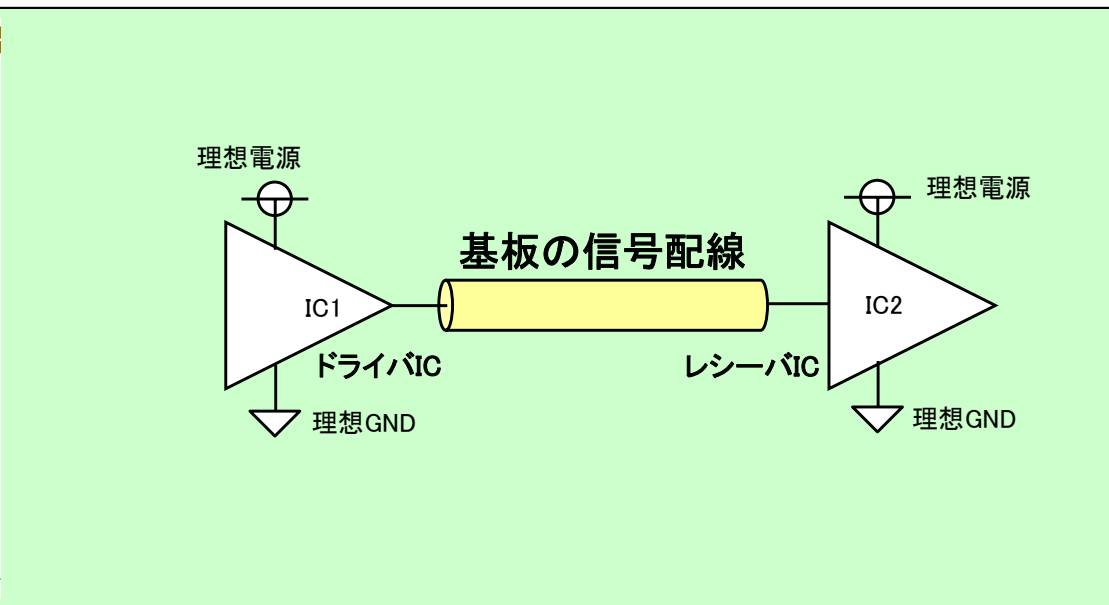
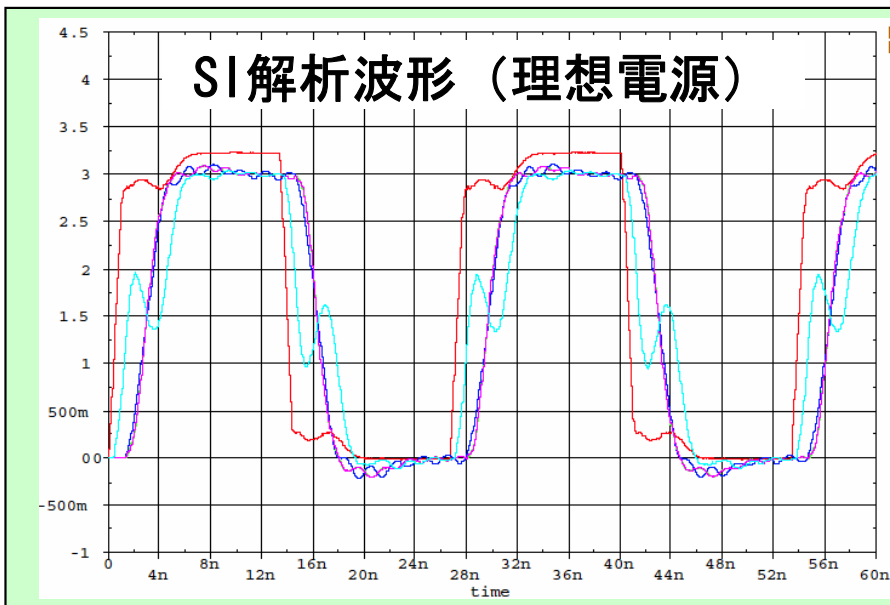


<リングングの発生要因>

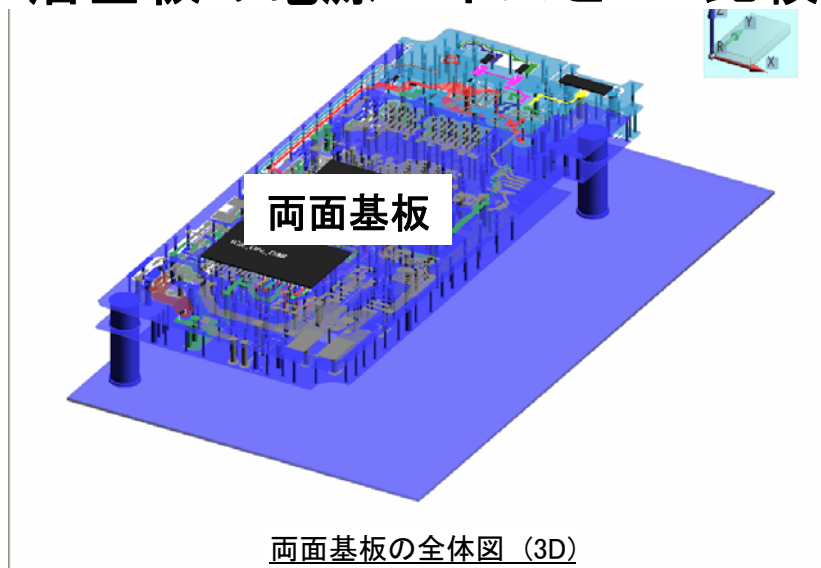
1. クロストークの影響
2. ドライバIC電源ノイズ
3. ドライバICのデバイスモデル
→実際のバッファ能力と相違



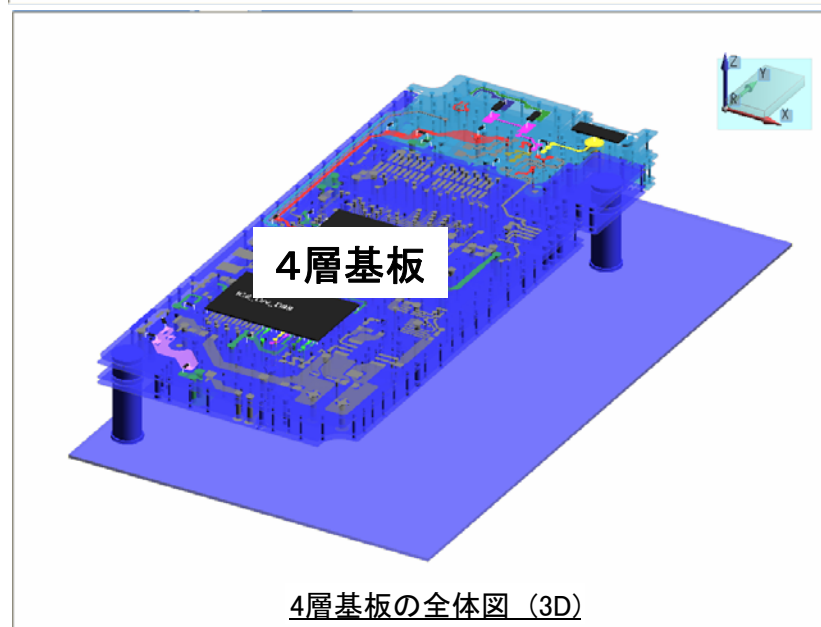
電源ノイズを含む等価回路例



両面基板と4層基板の電源ノイズとEMI比較事例



1層 : 信号/電源/GND
2層 : 信号/電源/GND
空気層
筐体 (シールド)

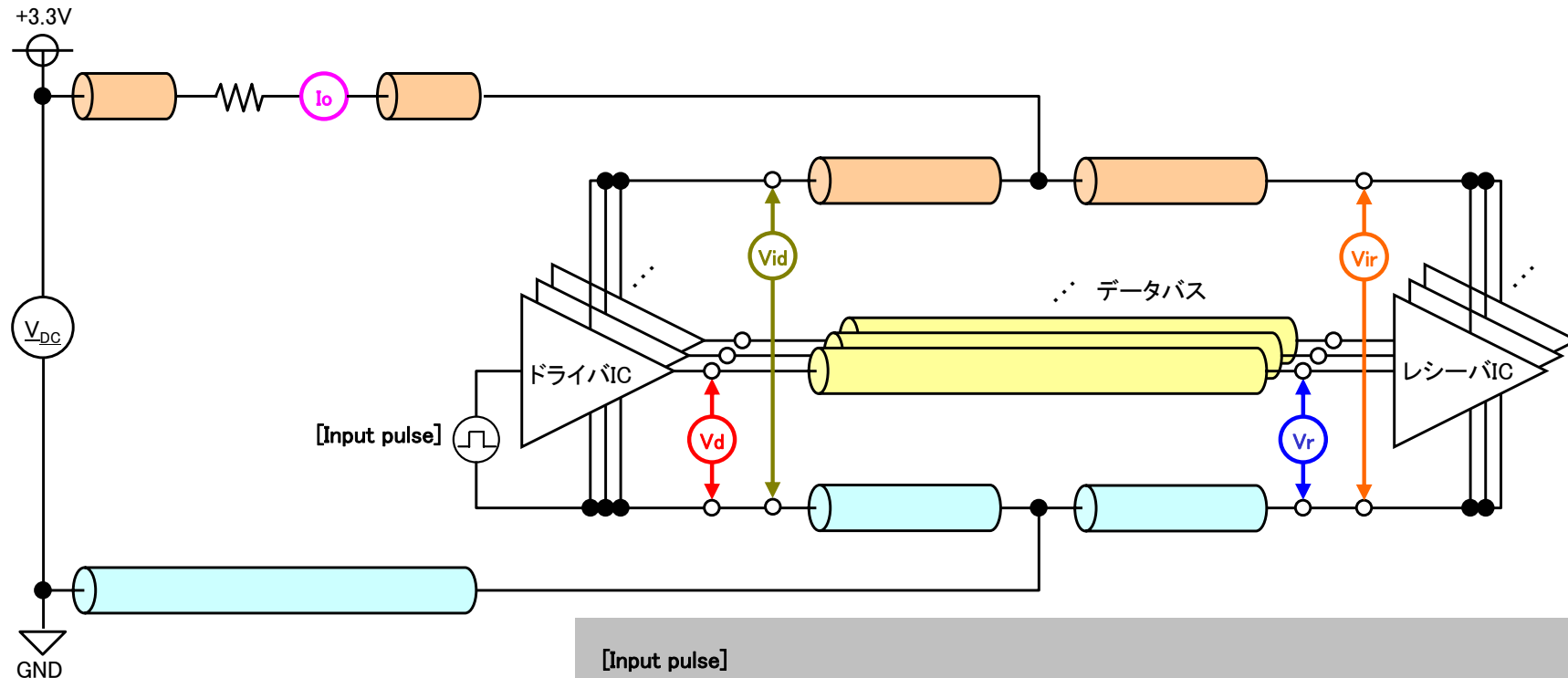


1層 : 信号/電源/GND
2層 : GND
3層 : GND
4層 : 信号/電源/GND
空気層
筐体 (シールド)

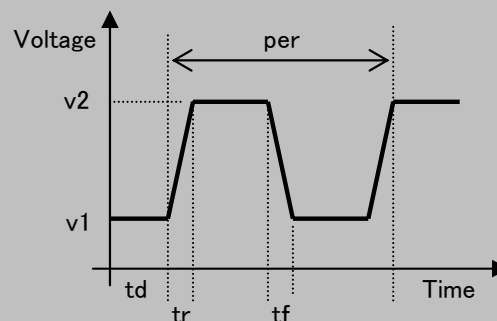
Note: 図はZ軸のみ4倍設定とする。

両面基板と4層基板の伝送線路波形解析条件

両面/4層（共通）

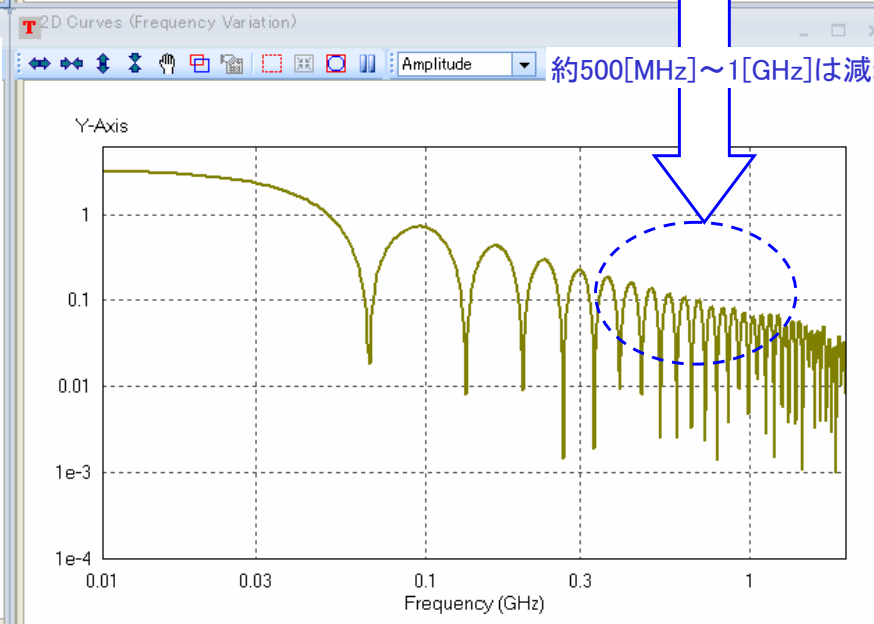
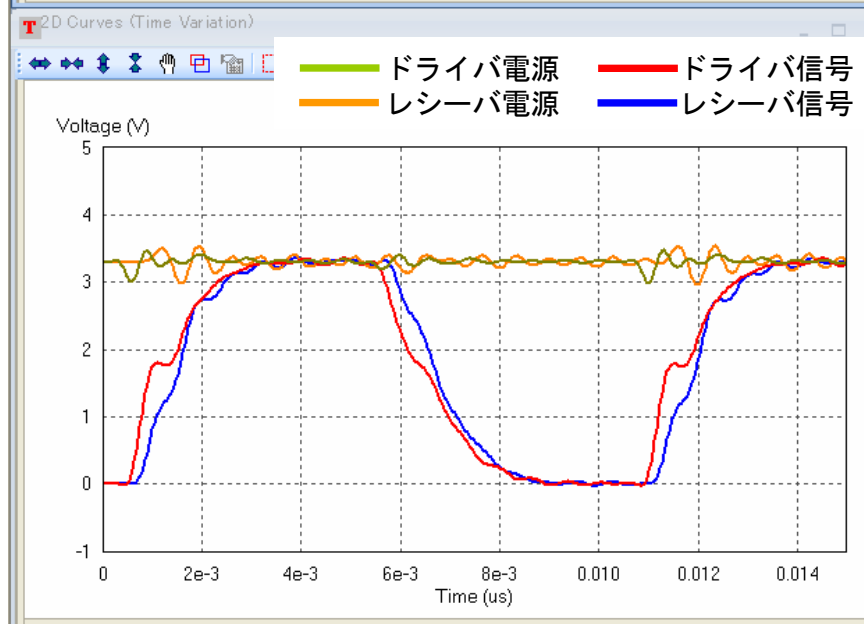
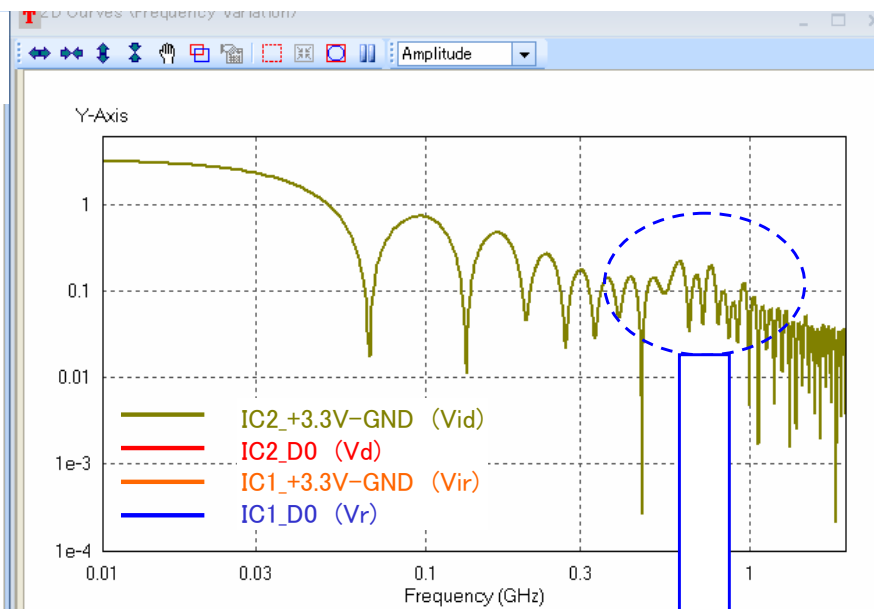
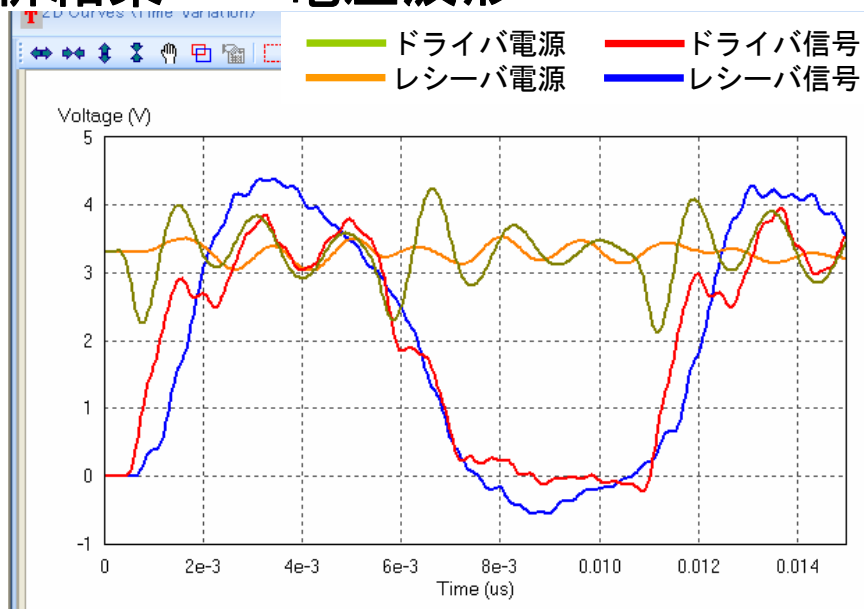


[Input pulse]



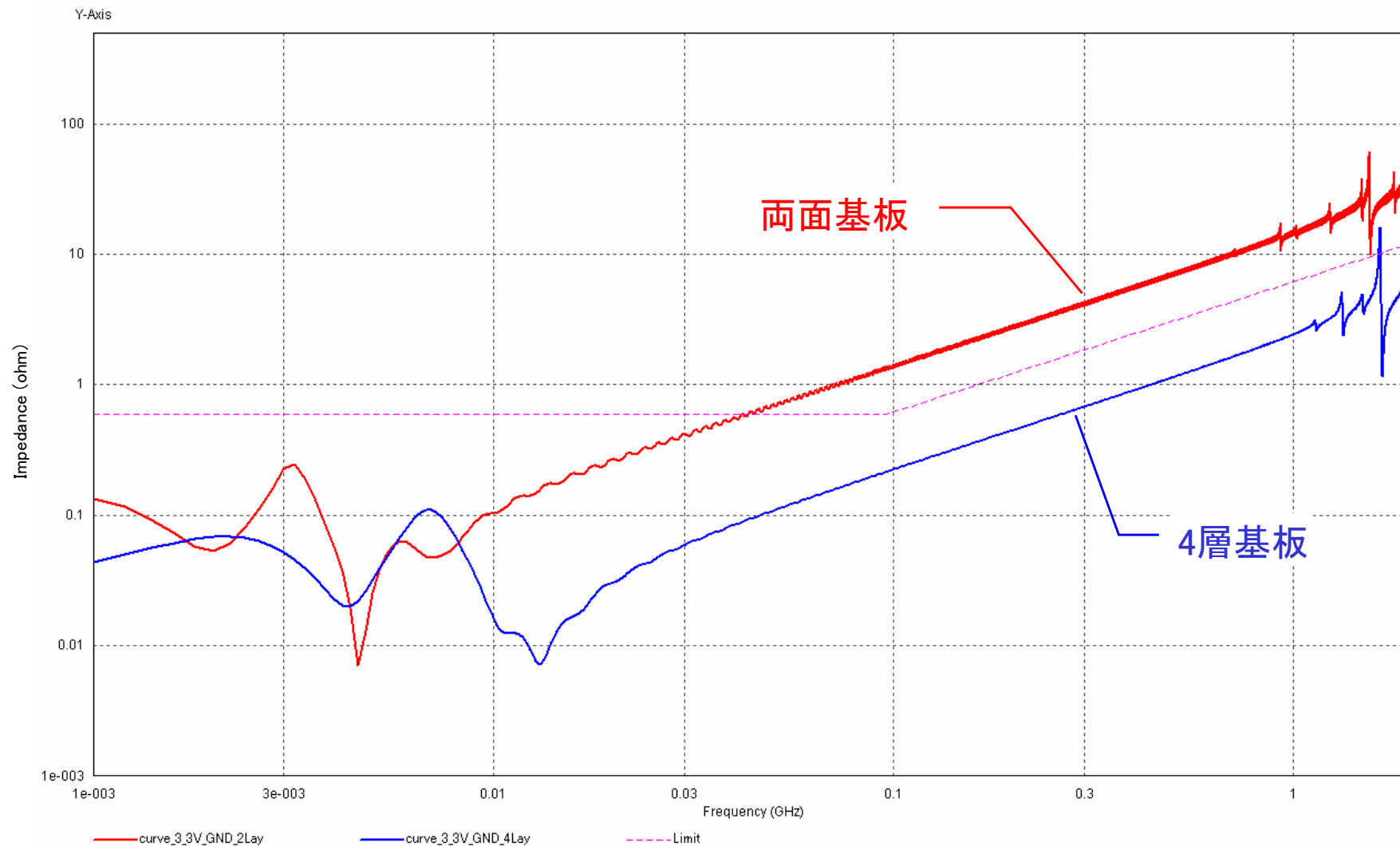
v1:初期電圧[V]	0.0
v2:パルス電圧[V]	1.0
tr:立ち上がり時間[ns]	0.1
tf:立ち下がり時間[ns]	0.1
td:遅延時間[ns]	0.0
per:周期	1/動作周波数
duty cycle:パルス幅/周期[%]	50

解析結果 ~ 電圧波形

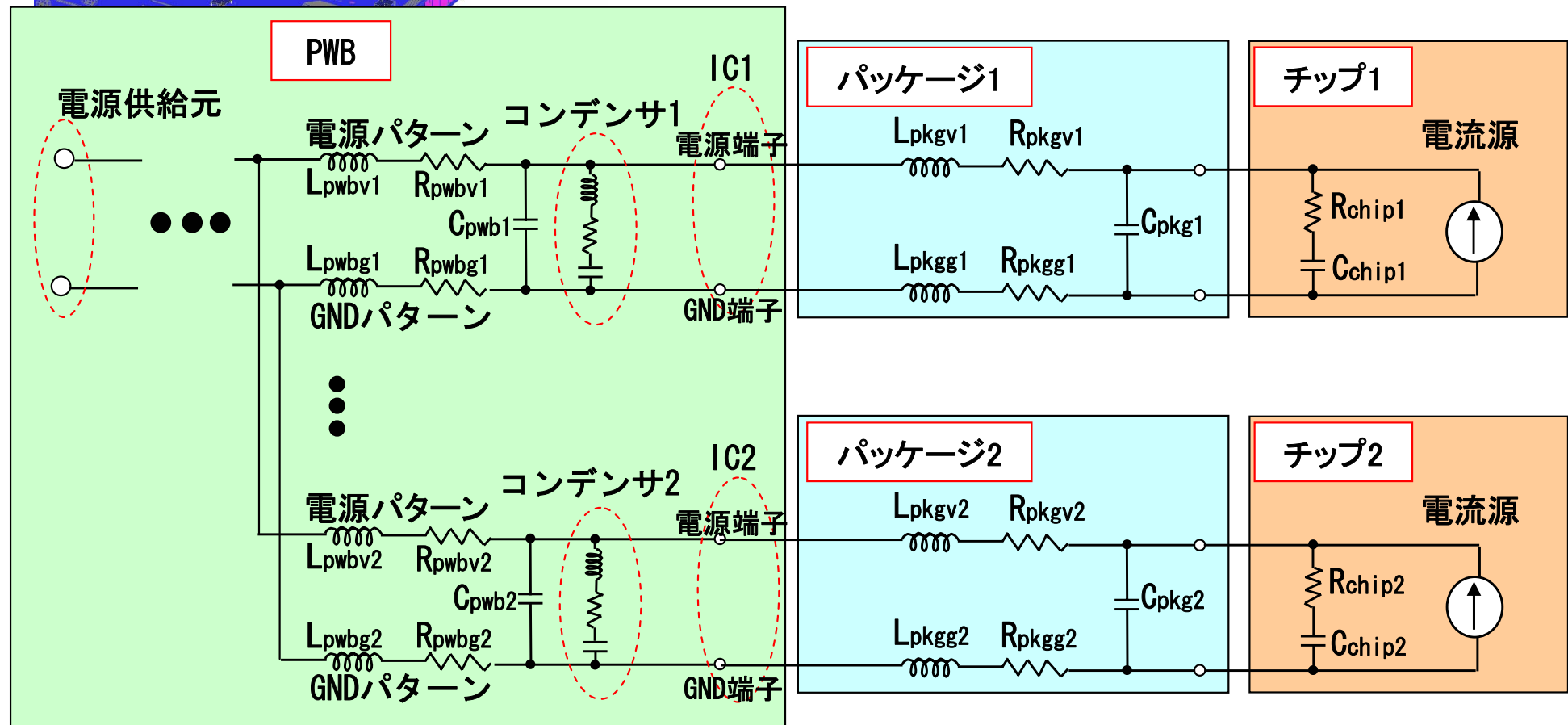
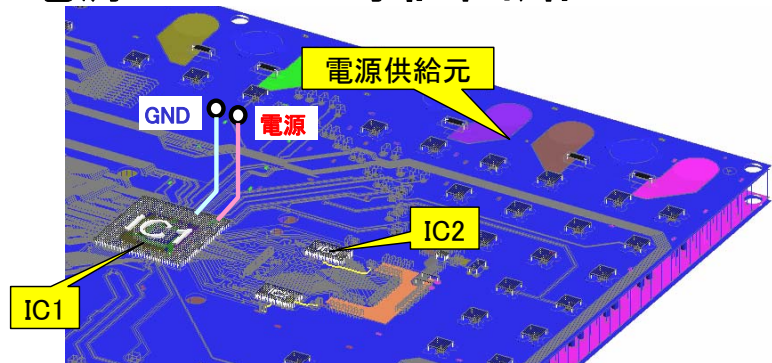


約500[MHz]~1[GHz]は減衰傾向

両面板と4層板の電源インピーダンス比較

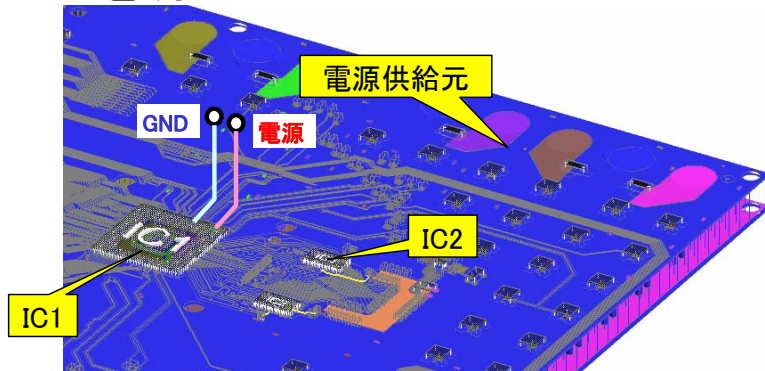


+ 電源/GNDの等価回路



2-4. 電源インピーダンス解析事例

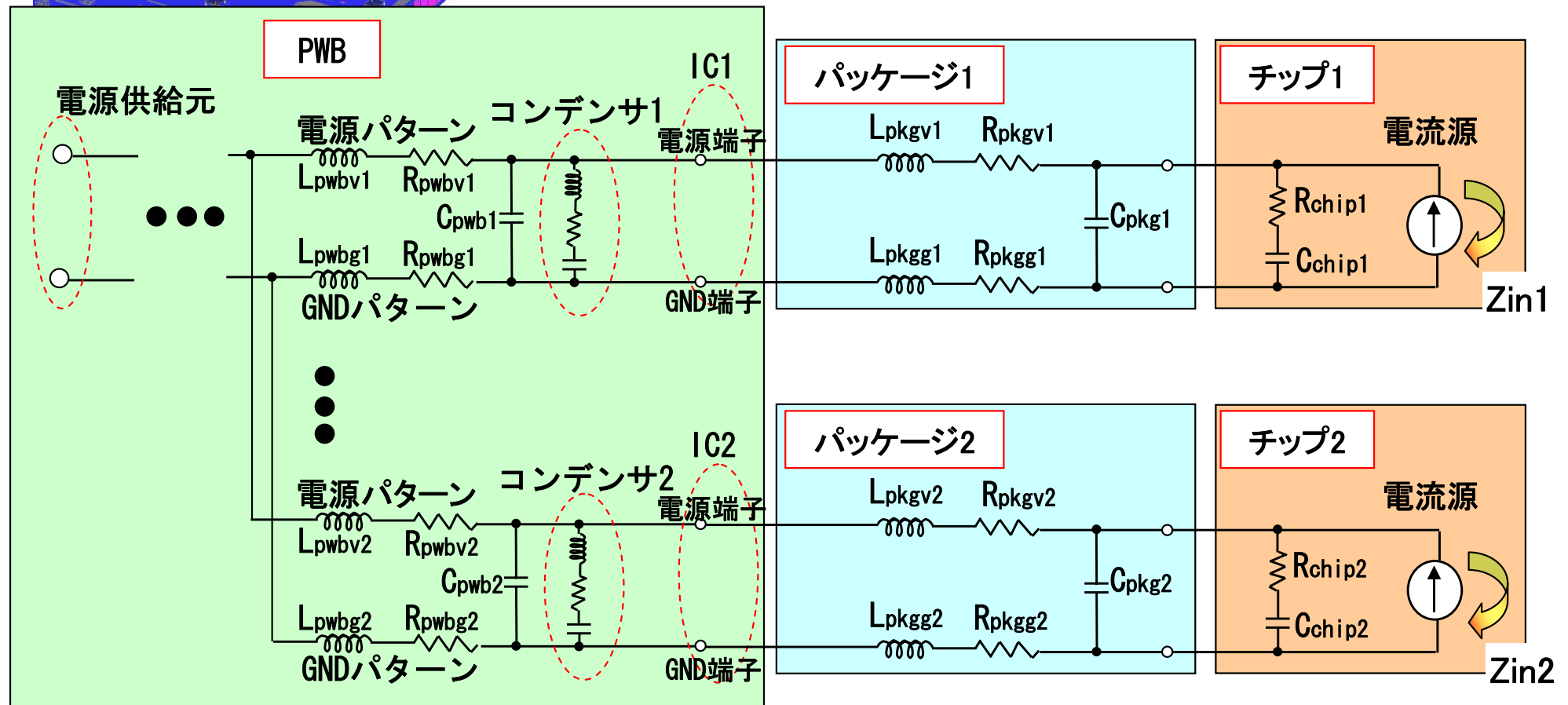
電源インピーダンス: インпутインピーダンス(理想)



チップの動作に必要な電流(I_{in})が供給された場合、
電源の電圧変動は許容リップル電圧(V_r)範囲内になっているか？

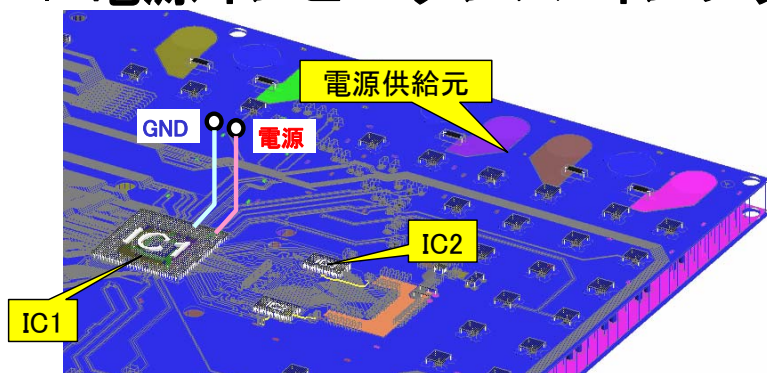
$$\Rightarrow V_r > I_{in} * Z_{in}$$

$$\Rightarrow Z_{in} < V_r / I_{in}$$



2-4. 電源インピーダンス解析事例

電源インピーダンス: インпутインピーダンス(実際には・・・)

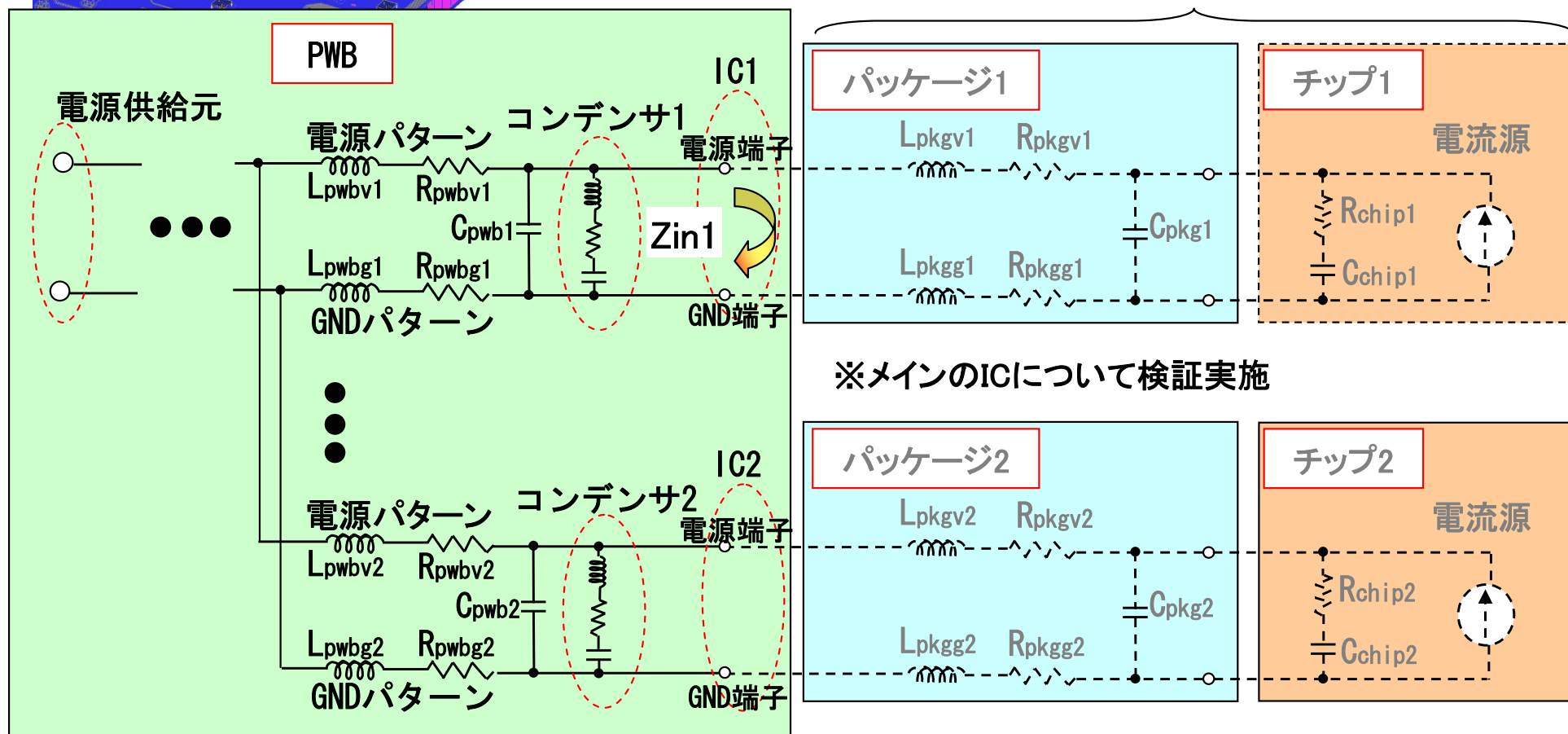


チップの動作に必要な電流(I_{in})が供給された場合、
電源の電圧変動は許容リップル電圧(V_r)範囲内になっているか？

$$\Rightarrow V_r > I_{in} * Z_{in}$$

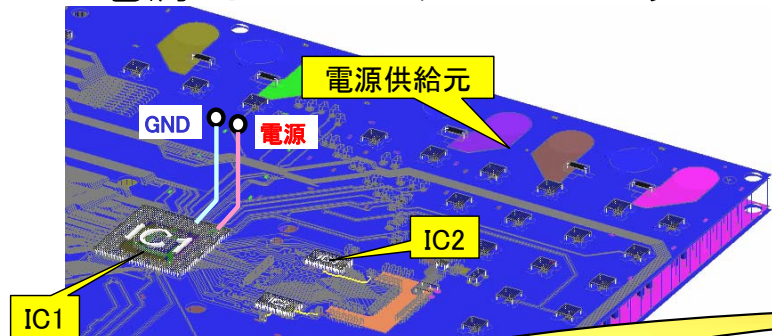
$$\Rightarrow Z_{in} < V_r / I_{in}$$

モデルが入手できない

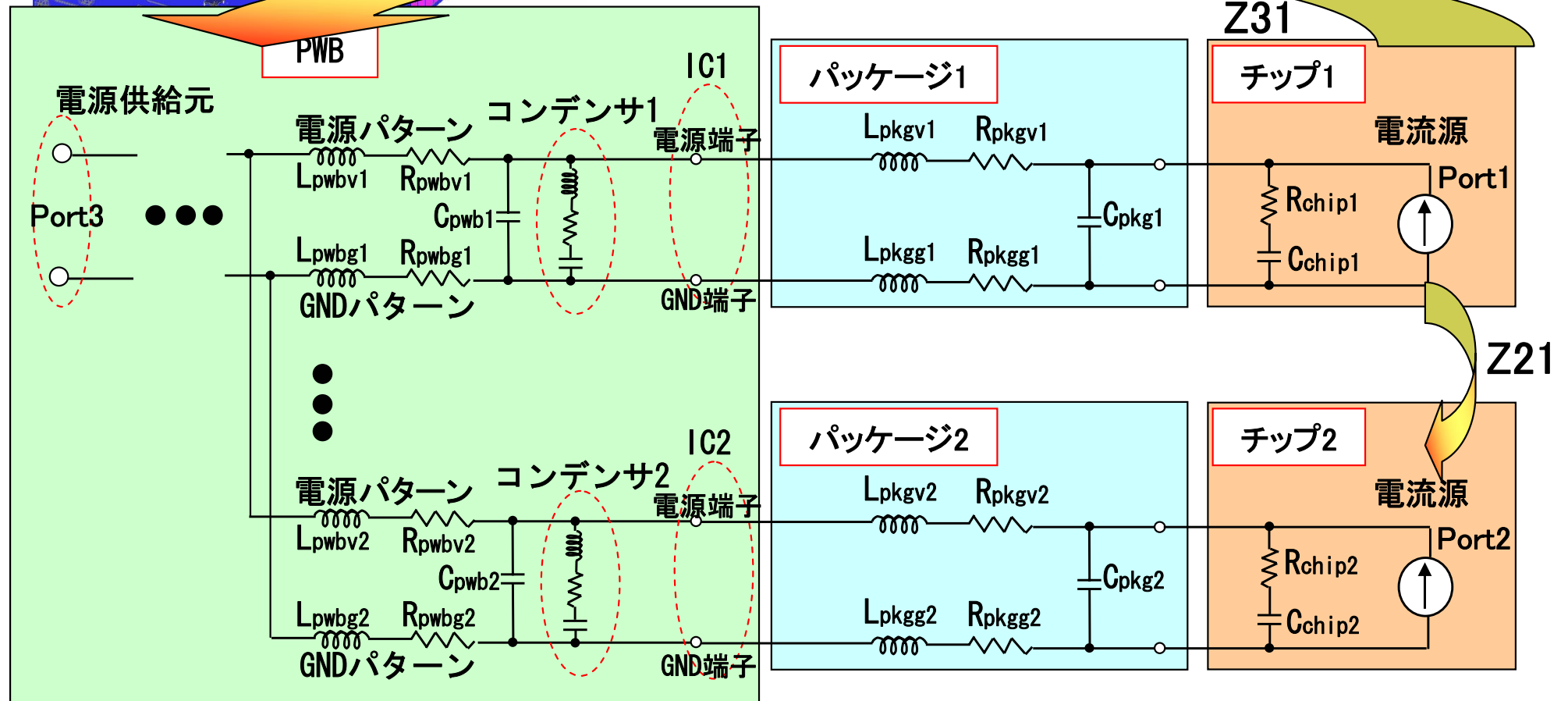


2-4. 電源インピーダンス解析事例

電源インピーダンス: トランスファーインピーダンス(参考)



チップの動作によって、他のチップや電源へ影響を与えないか？



DDRにおけるジッタ増加事例

DDRのコントローラIC
付近のパスコン容量
によってジッタ増加



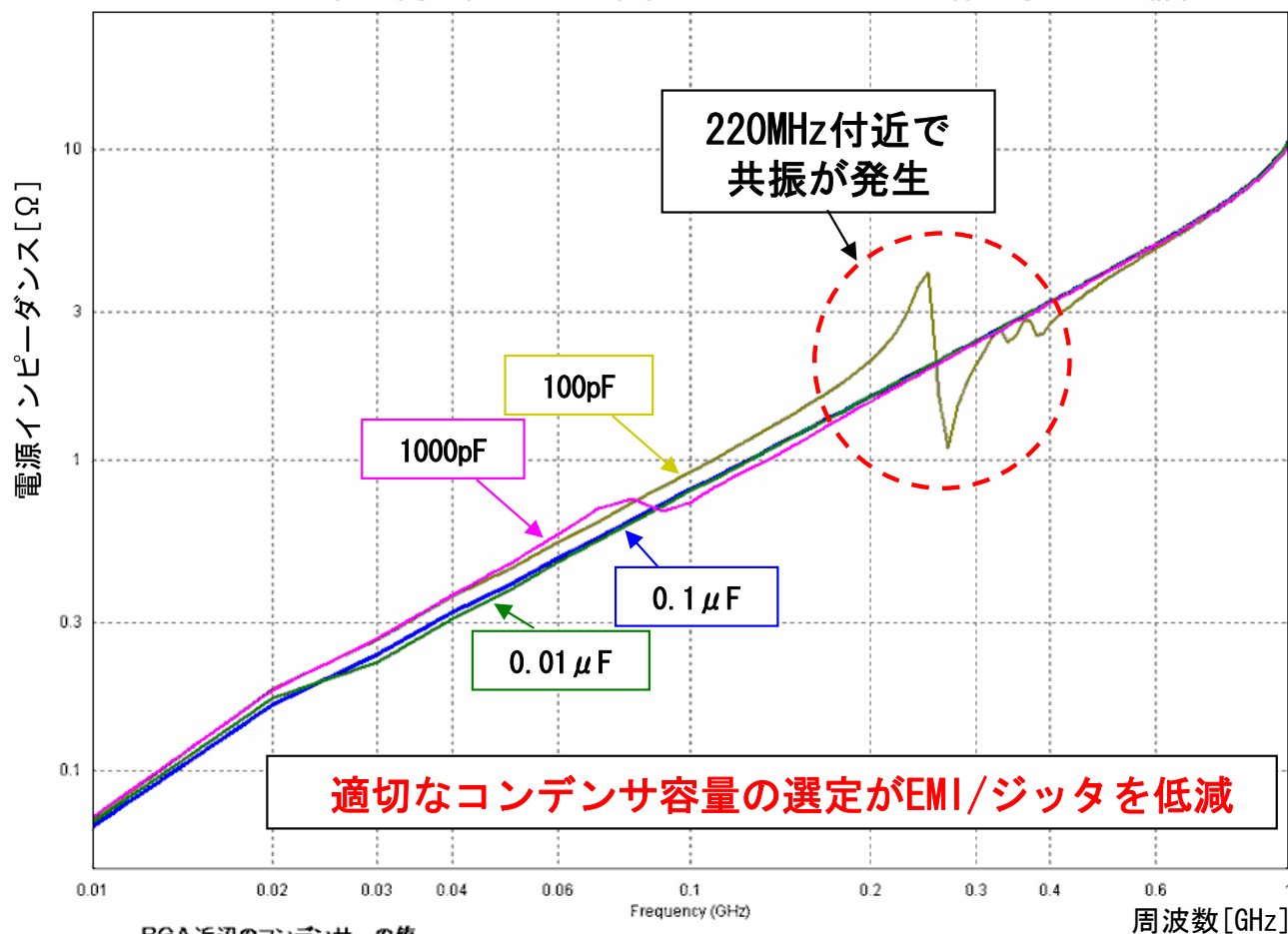
PI安定化=SI安定

システム設計段階で
LSI + PCB の
PI解析



SIの最適設計に効果的
と考えます

マザーボードの共振対策後に、BGA近辺に配置されているコンデンサーの容量を変化させた結果



BGA近辺のコンデンサーの値

コンデンサーあり(0.1 μ F, 0.58nH, 0.28 Ω)

コンデンサーあり(0.01 μ F, 0.59nH, 0.23 Ω)

コンデンサーあり(1000pF, 0.52nH, 0.40 Ω)

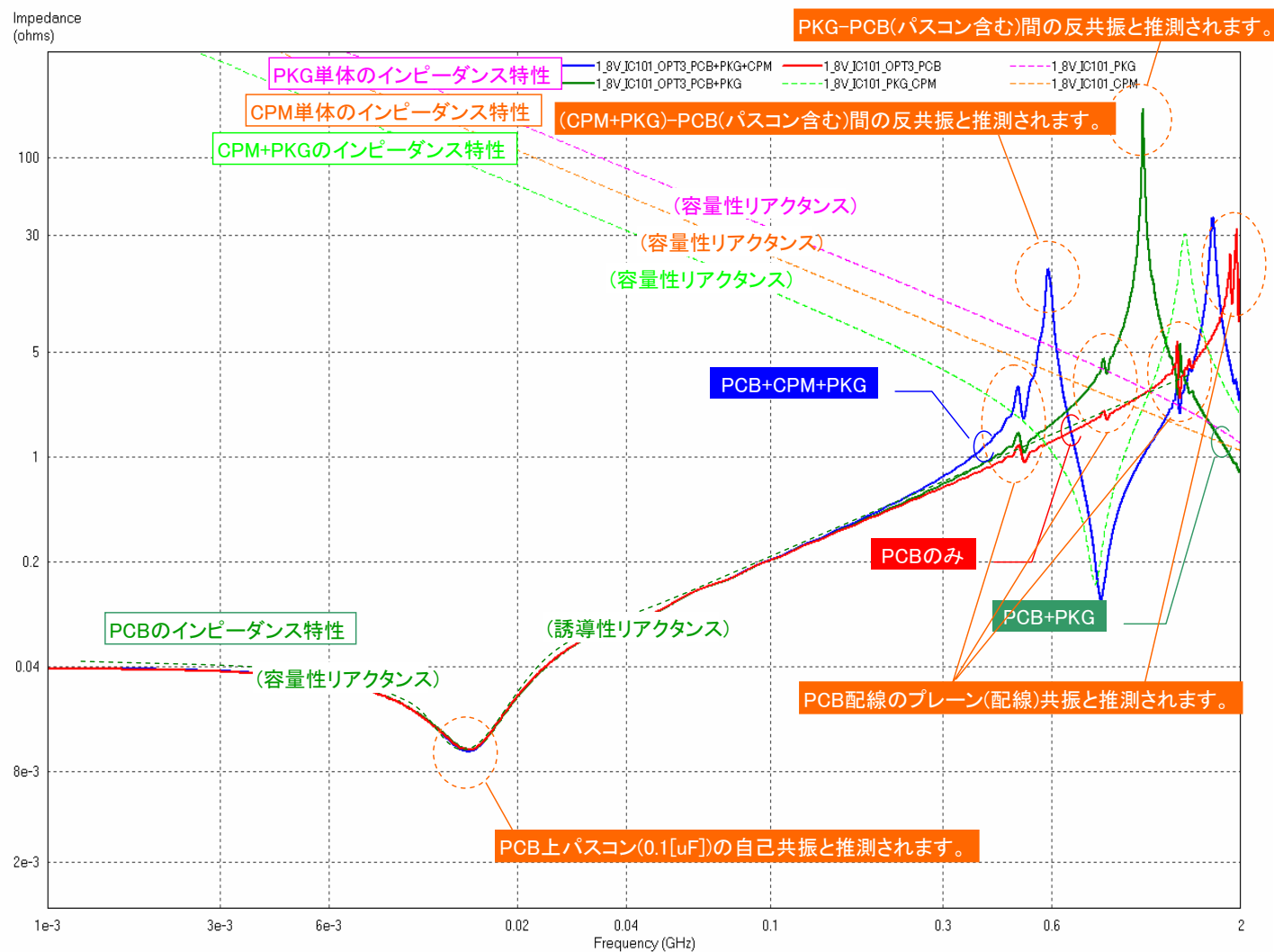
コンデンサーあり(100pF, 0.82nH, 0.20 Ω)

電源インピーダンス安定 $\rightarrow$ EMI/ジッタ低減

電源インピーダンス不安定 $\rightarrow$ EMI/ジッタ増加

2-4. 電源インピーダンス解析事例

LSI/PKG/PWBの電源インピーダンス解析事例



2. PI対応 まとめ

1. DC電圧ドロップ対策では、電源供給元からIC電源端子までの経路のDC抵抗を下げるのが有効である。
2. スイッチングノイズ対策では、ノイズ源となるICの動作を可能な限り最小とし、伝播経路となる電源経路にバイパスコンデンサを追加し、低インピーダンス化を図る。
3. インพุット電源インピーダンスの反共振と動作周波数と一致すると大きな電源電圧変動が発生し、信号波形のジッタが増加することがある。

■ CPMについて(1)

CPMに表現されている項目 (HSPICEフォーマット)

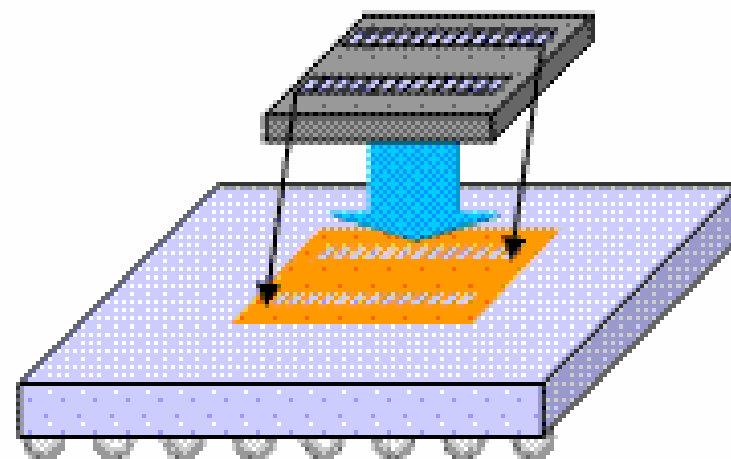
1. Chipのパッド配置・座標と及びグループ情報(CPP)
2. Chipの電源－グランド間の等価回路、寄生成分(PDN)
3. Chipの電源－グランドに生じる電流の過渡波形(pwl)

CPP : Chip Package Protocol

チップのSPICEノードと物理的なパッド座標との対応をつける。

チップのパッド座標とパッケージの設計上にあるボンドパッドとを位置あわせし接続させる。

これにより、チップの等価モデルを形状ベースのシミュレータで取り扱うことが可能となる。

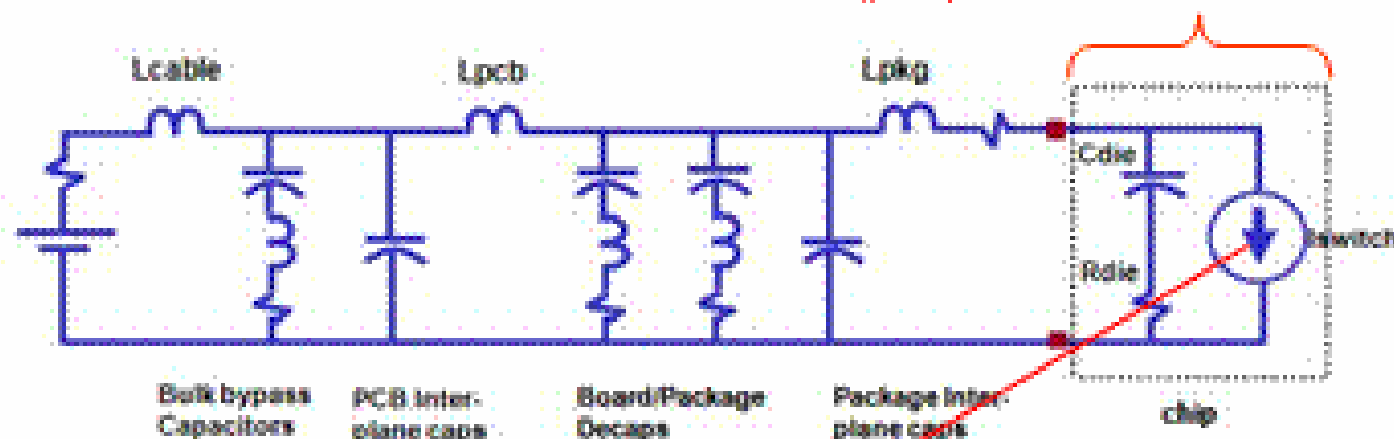


■ CPMについて(2)

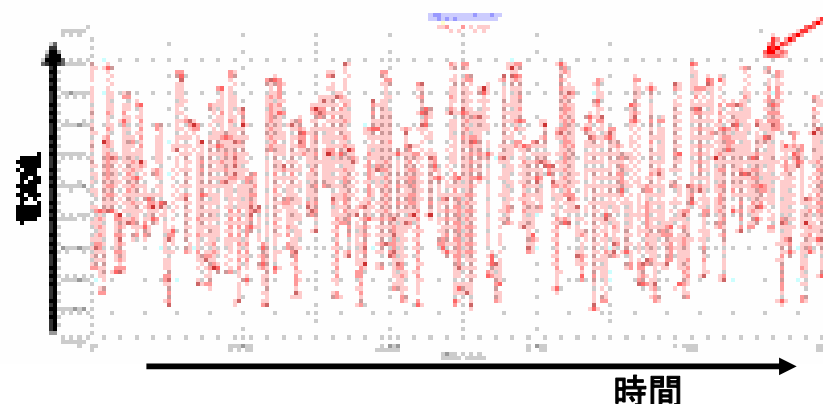
CPMに表現されている項目 (HSPICEフォーマット)

1. Chipのパッド配置・座標と及びグループ情報(CPP)
2. Chipの電源－グランド間の等価回路、寄生成分 (PDN)
3. Chipの電源－グランドに生じる電流の過渡波形(pwl)

PDN : Power
Delivery Network



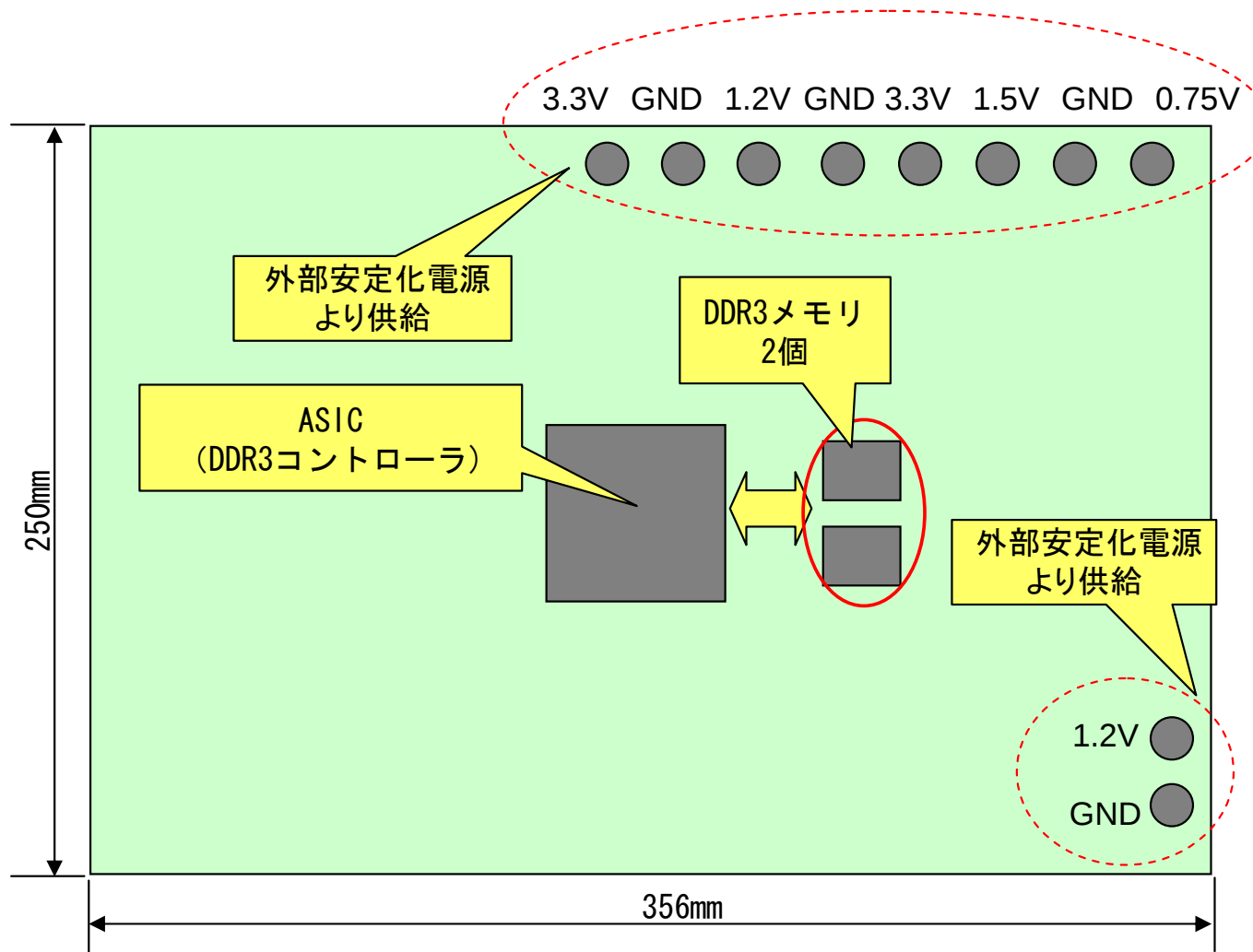
pwl : piecewise
linear



Apache KK様ご提供

4. DDR3の動作モードと電源ノイズ

評価基板



評価基板イメージ図

層構成

	評価基板1 (MS構造)	
	厚み[μm]	種別
1層	48	信号(65 Ω)
1-2層間	110	
2層	35	GND
2-3層間	1000	
3層	35	電源
3-4層間	110	
4層	48	信号(65 Ω)

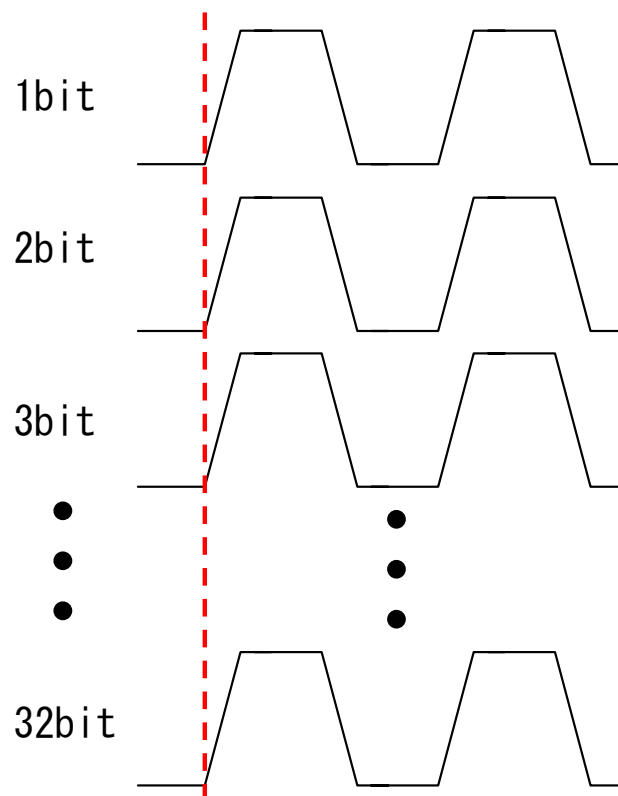
DDR3のデータ信号動作条件

＜動作周波数＞

660MHz : クロック、ストロブ、データ

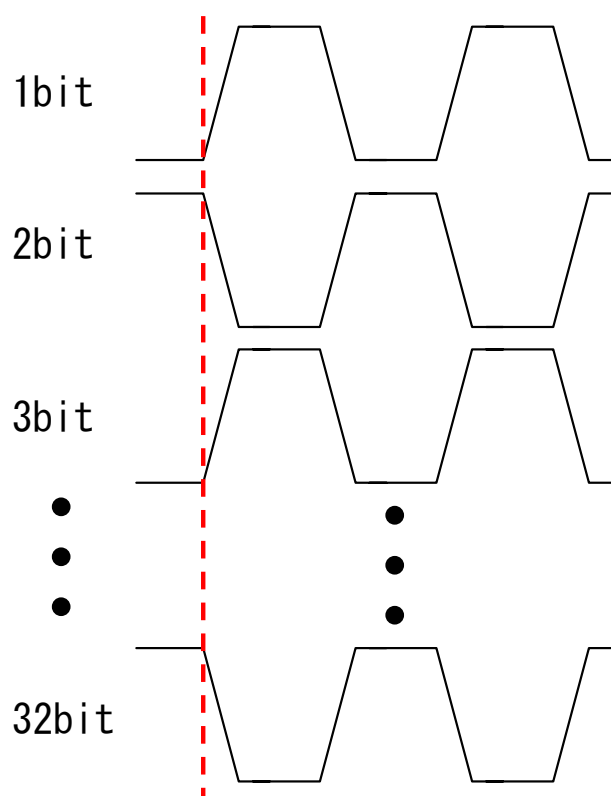
330MHz : アドレス、制御

1) EVENモード



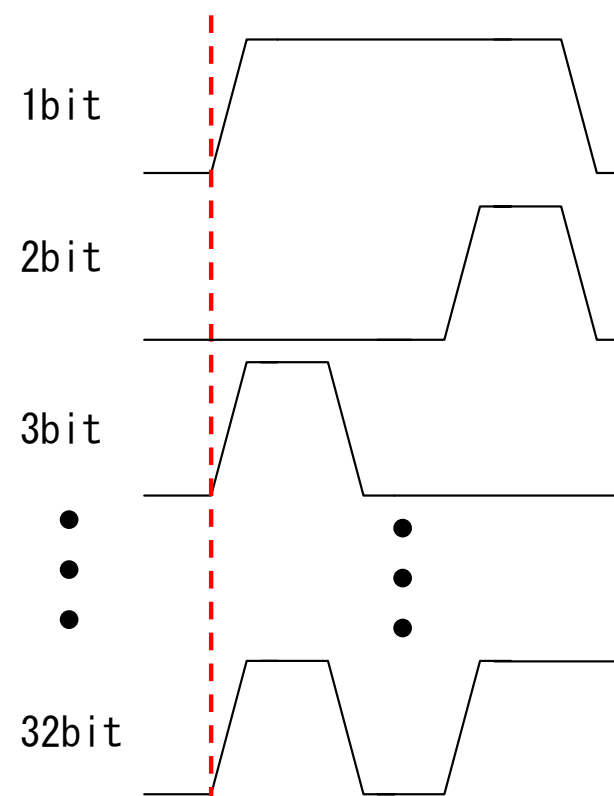
データ信号が同時に
スイッチングする場合

2) ODDモード



データ信号の奇数・偶数ビットが
交互にスイッチングする場合

3) PRBSモード



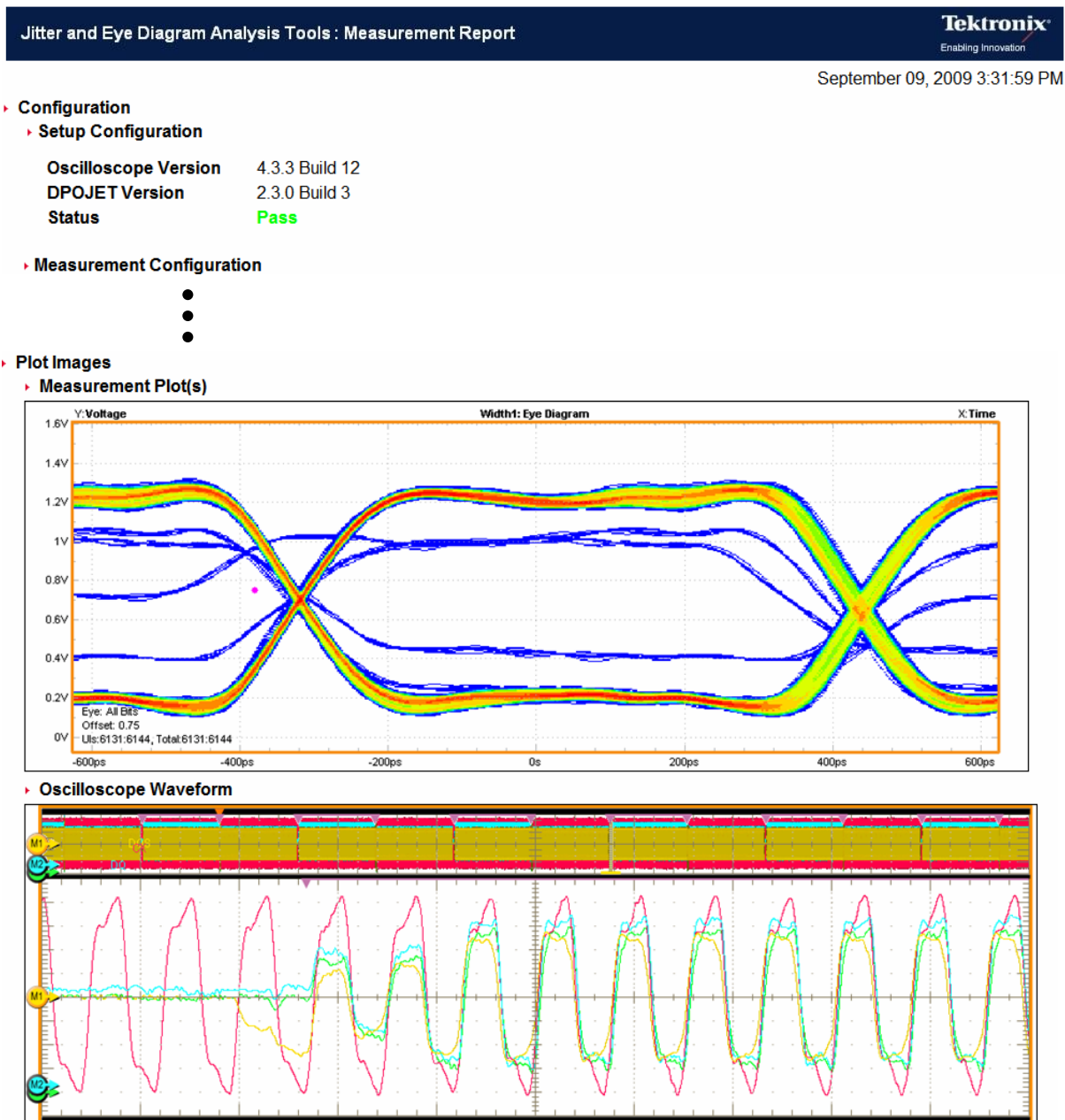
データ信号がランダムに
スイッチングする場合

4-1. 動作波形の確認

DDR3の動作波形の確認

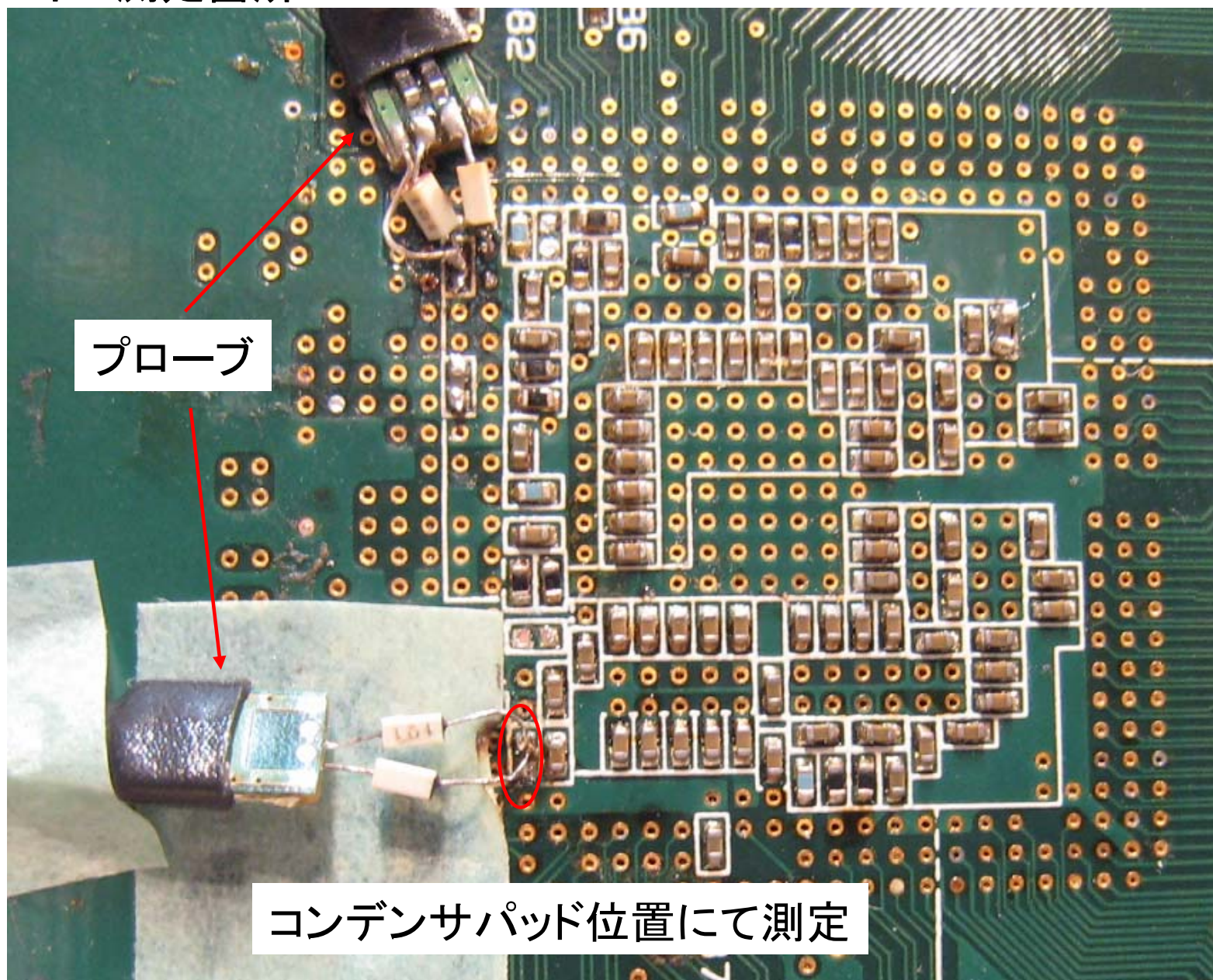


DDR3の動作波形の確認



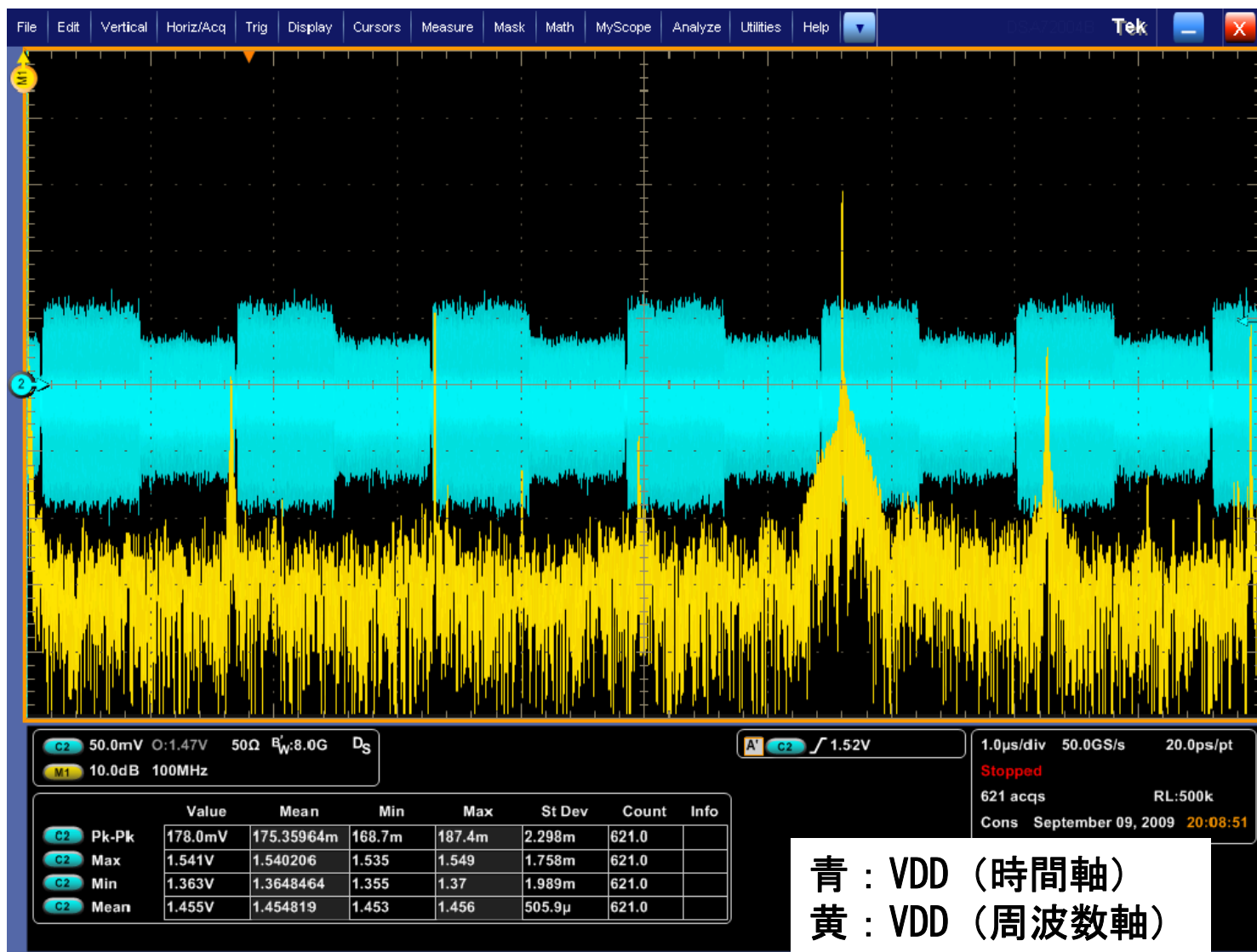
4-2. 電源ノイズ波形の比較

電源ノイズ測定箇所



4-2. 電源ノイズ波形の比較

電源ノイズの測定条件

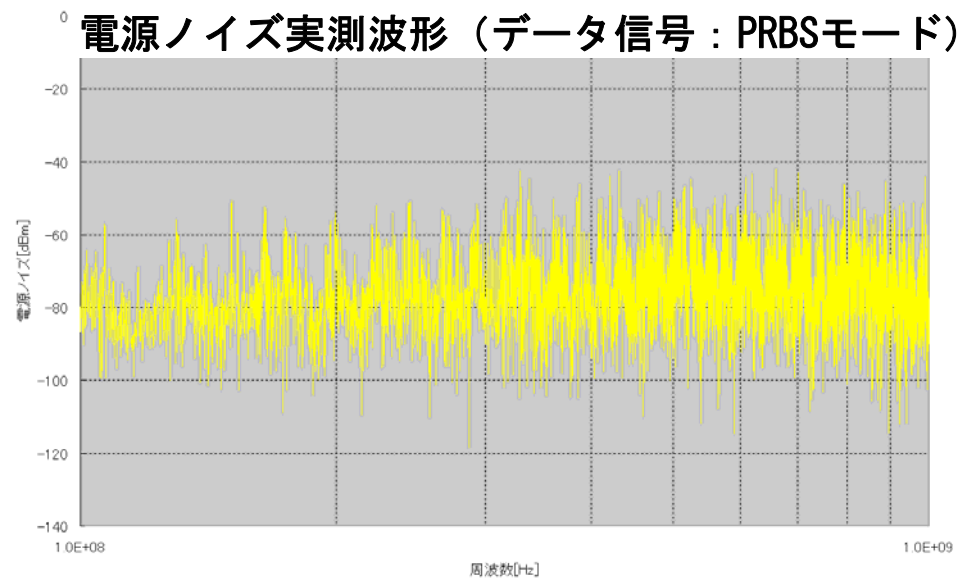
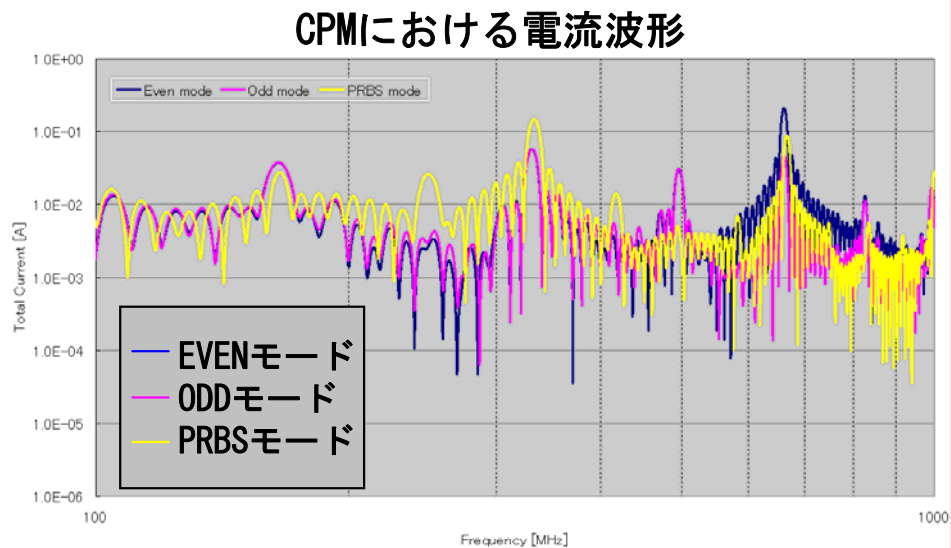
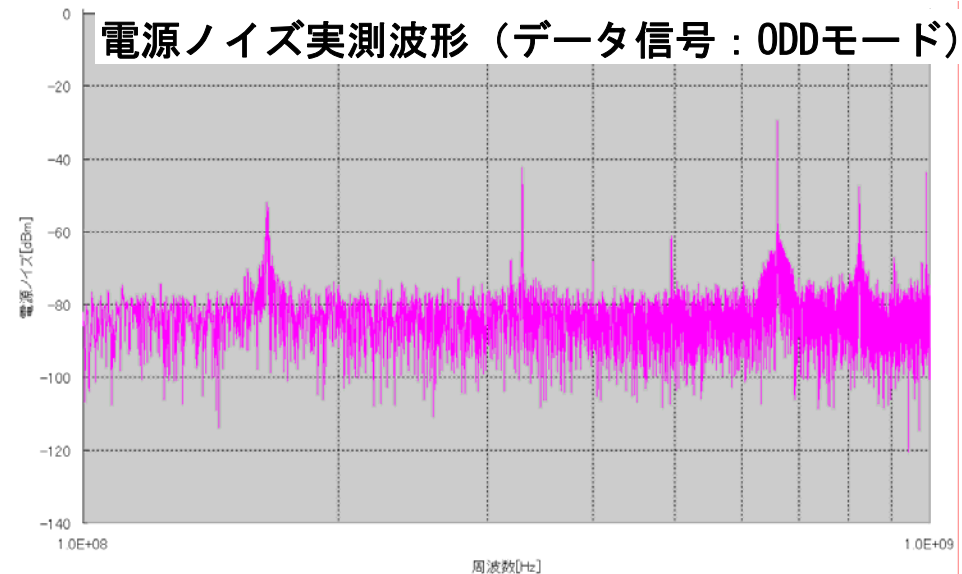
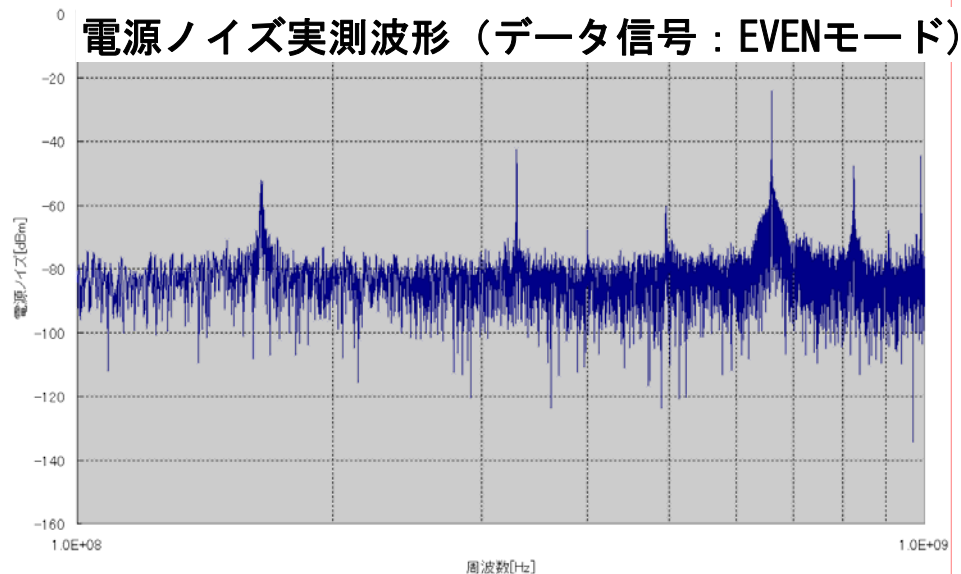


電源-GND間の
電圧波形を測定後
FFTにより
電源ノイズ成分を測定

使用測定器
テクトロニクス
DSA72004B

4-2. 電源ノイズ波形の比較

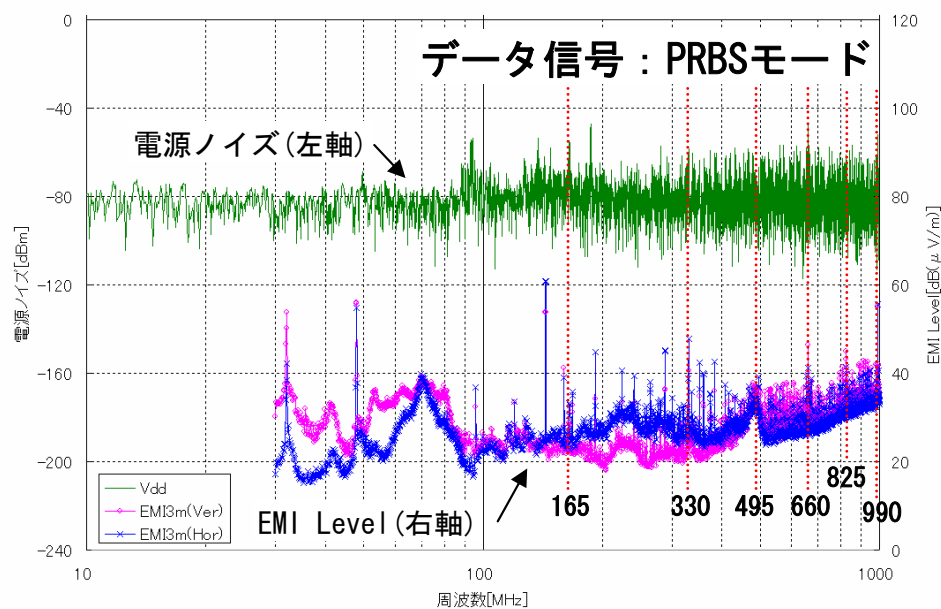
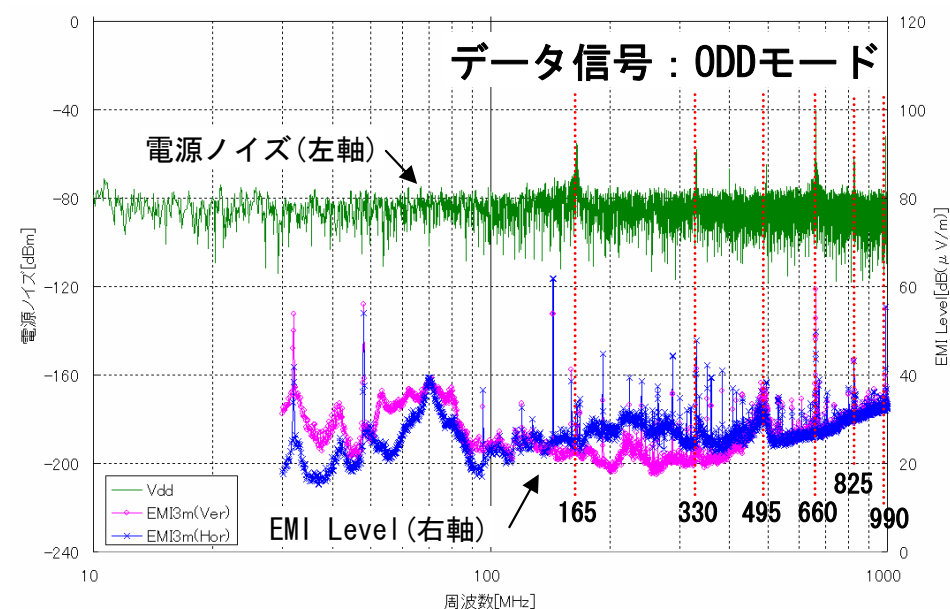
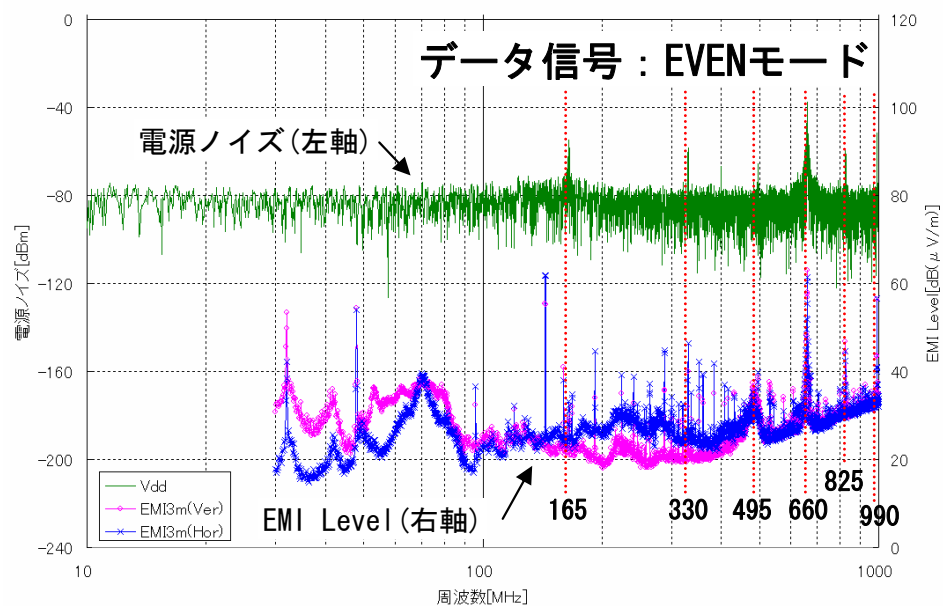
DDR3インターフェース駆動時の電源ノイズ測定(3)



4-3. 電源ノイズとEMI

電源ノイズ測定結果とEMI測定結果

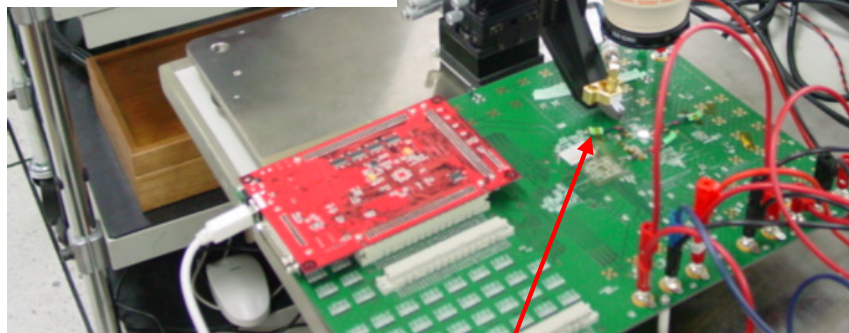
1) ボード 1 (MS構造)



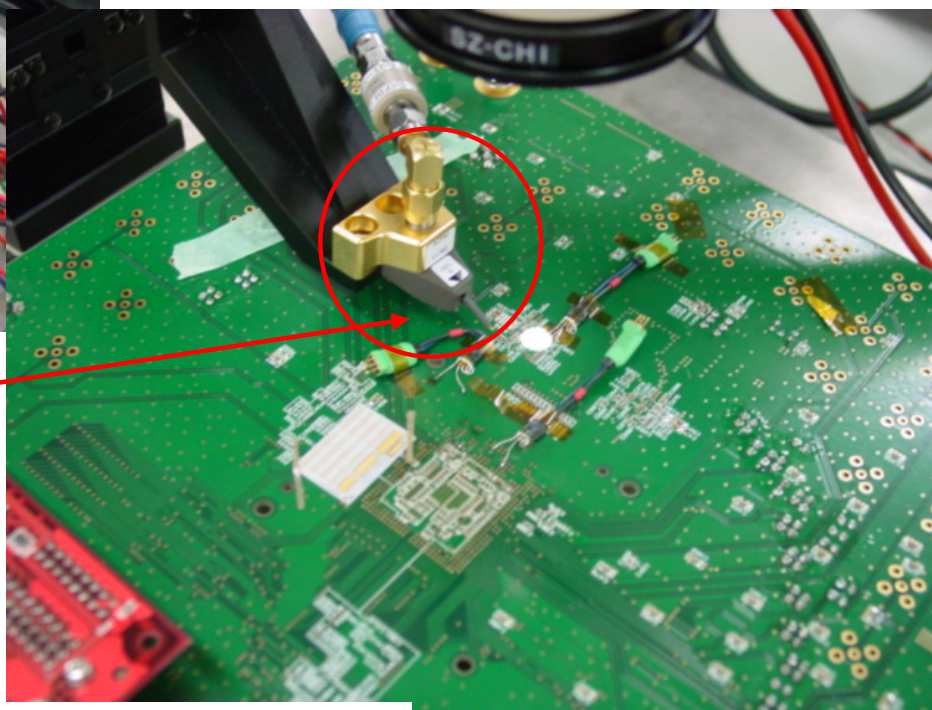
電源インピーダンス測定



ネットワークアナライザ



プローブ

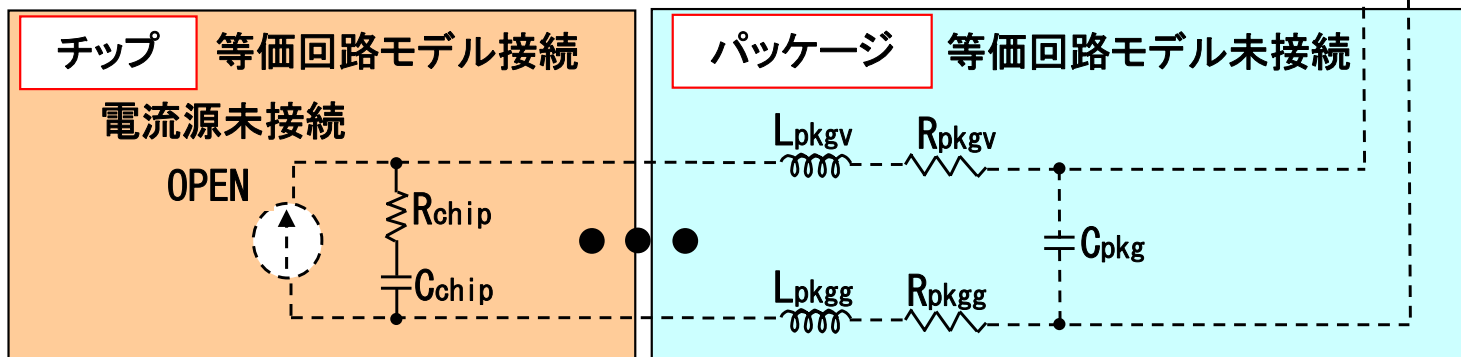
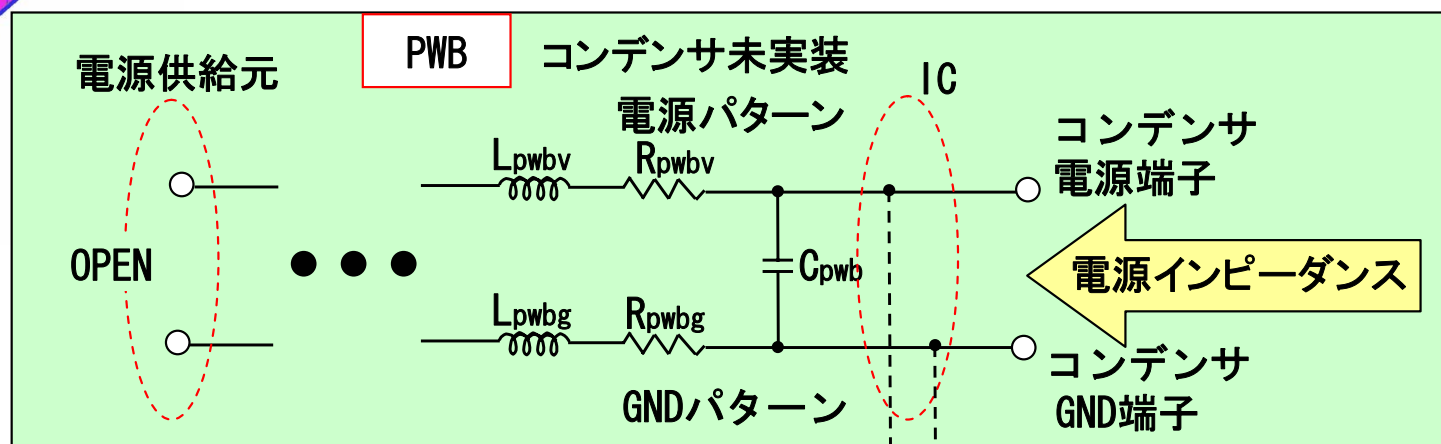
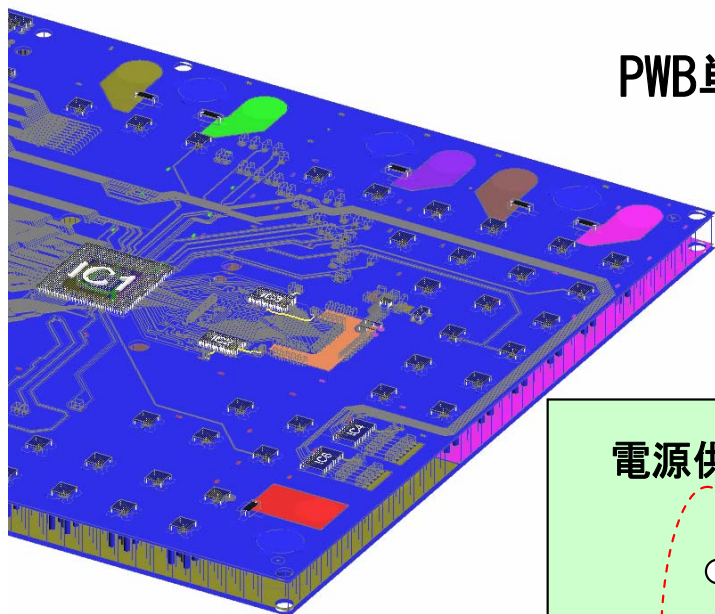


コンデンサパッド位置にて測定

4-4. 電源インピーダンス

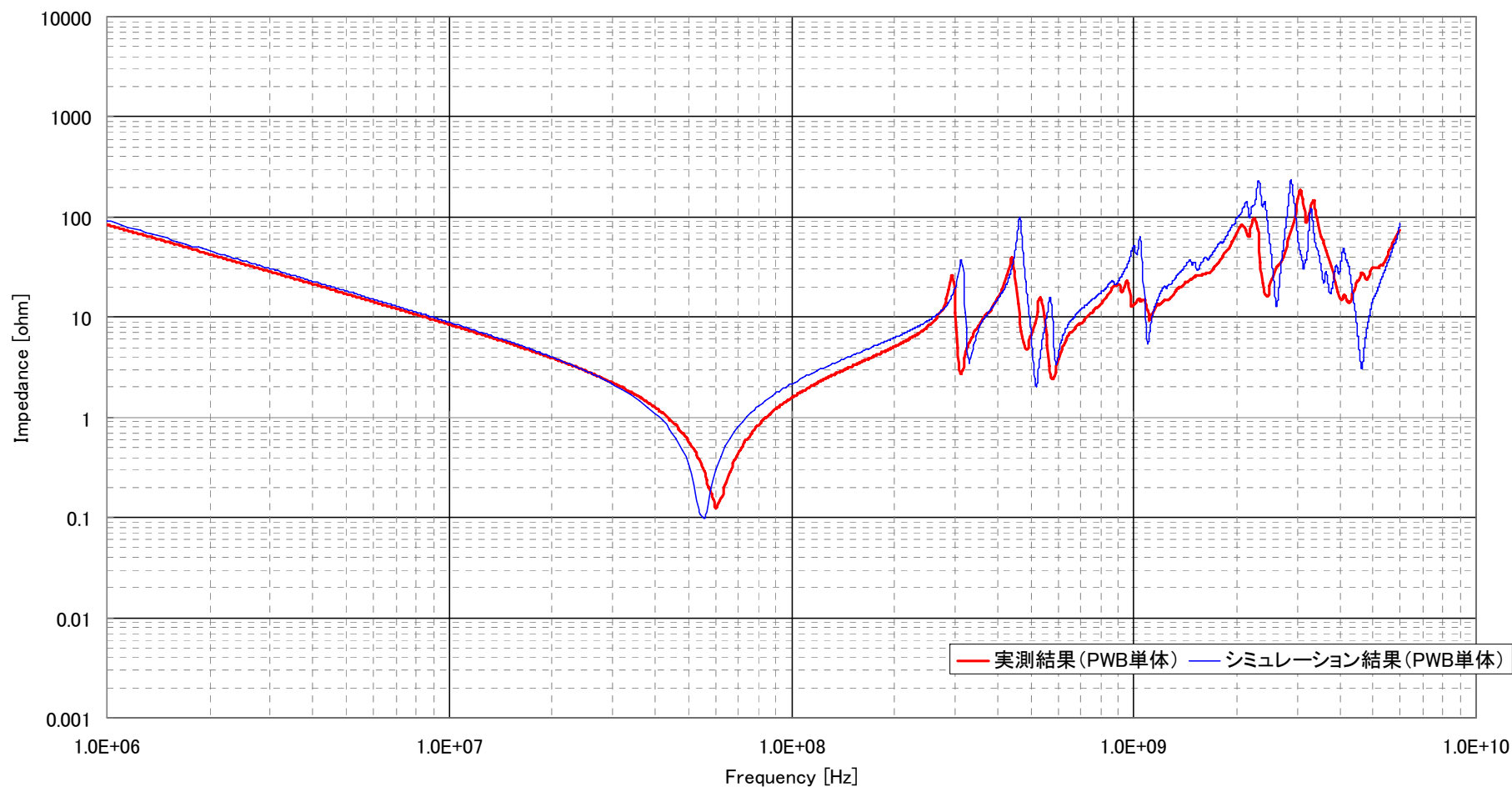
■ ボード単体の電源インピーダンスの実測とシミュレーション比較(1)

PWB単体の測定およびシミュレーションイメージ



4-4. 電源インピーダンス

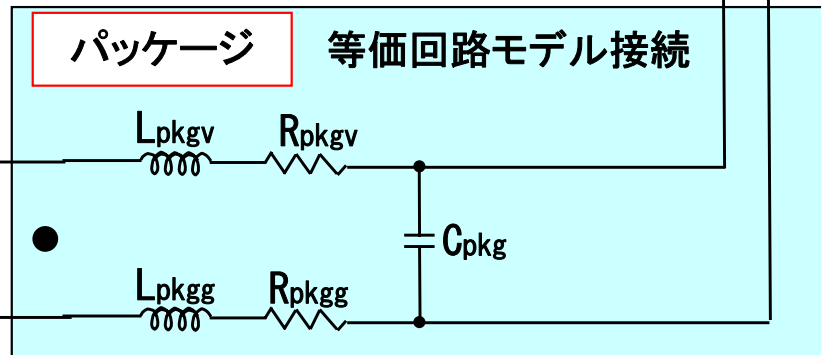
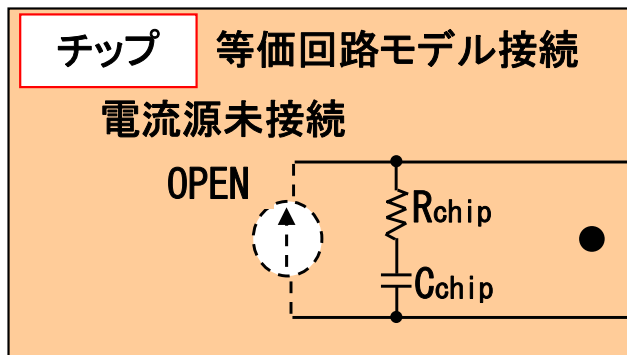
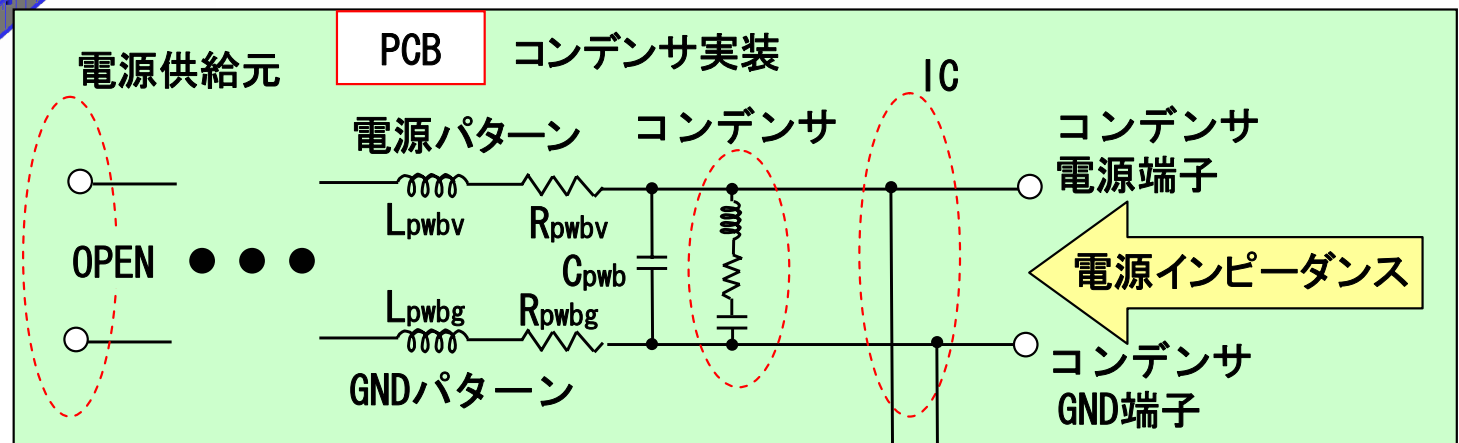
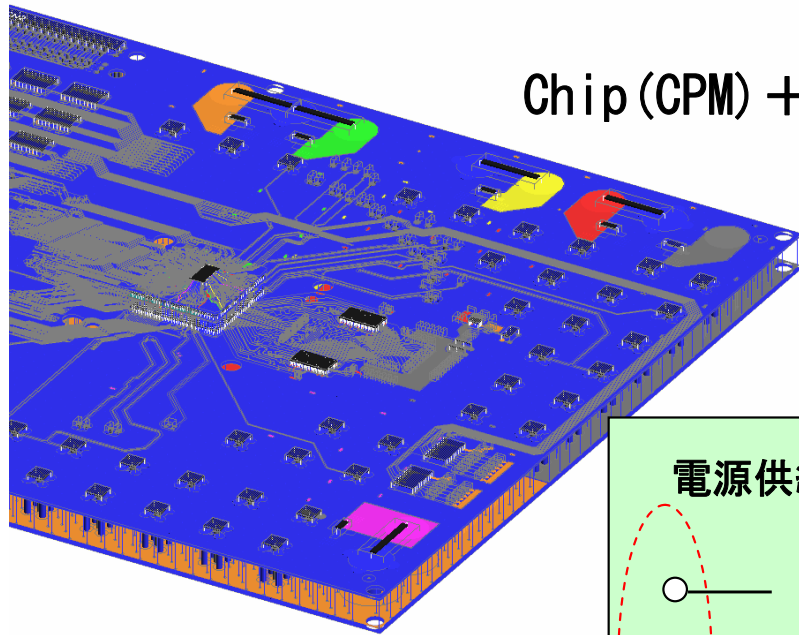
✚ ボード単体の電源インピーダンスの実測とシミュレーション比較(2)



4-4. 電源インピーダンス

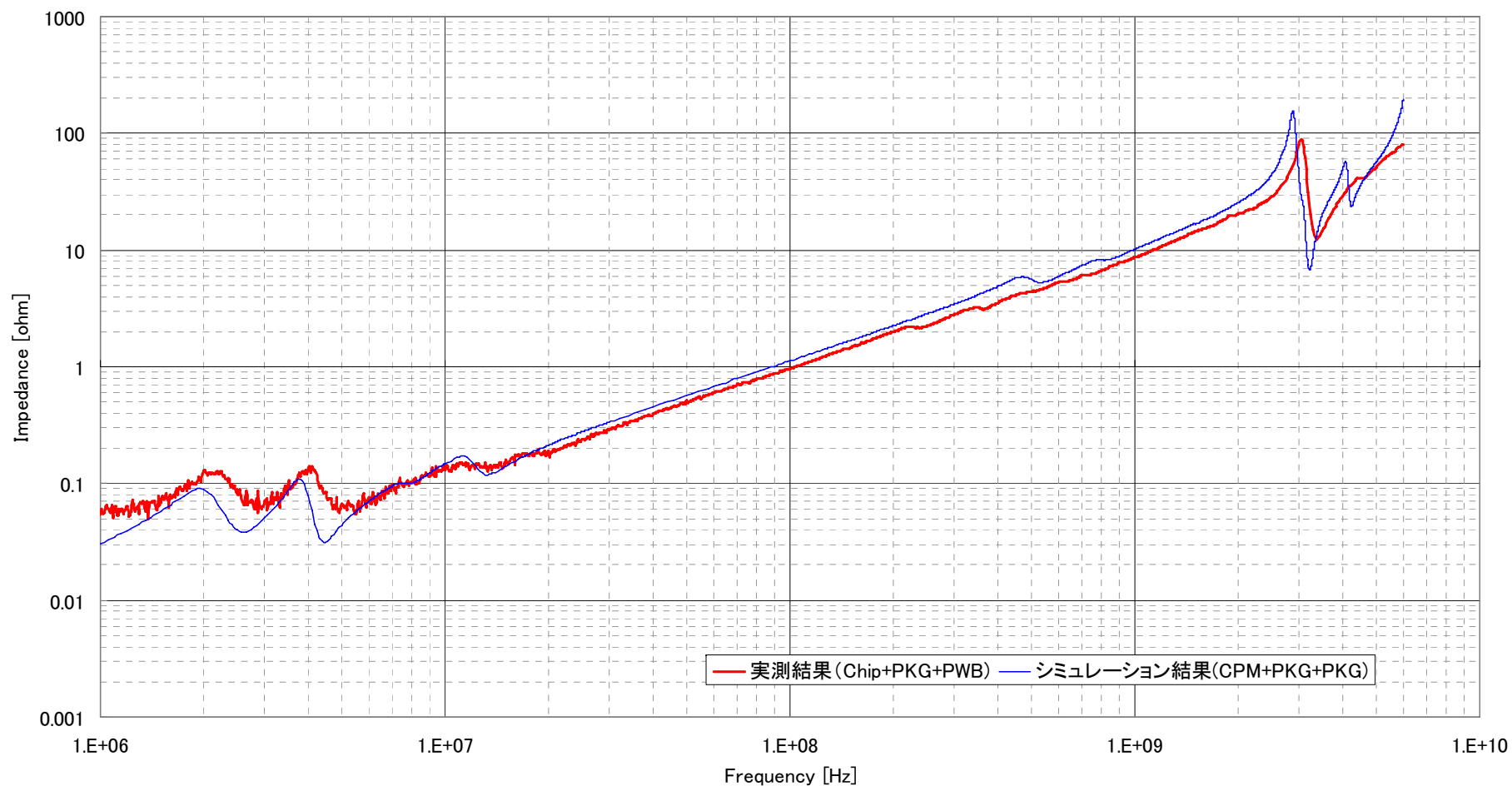
Chip+PKG+PCBの電源インピーダンスの実測とシミュレーション比較(1)

Chip (CPM) + PKG + PWBの測定およびシミュレーションイメージ

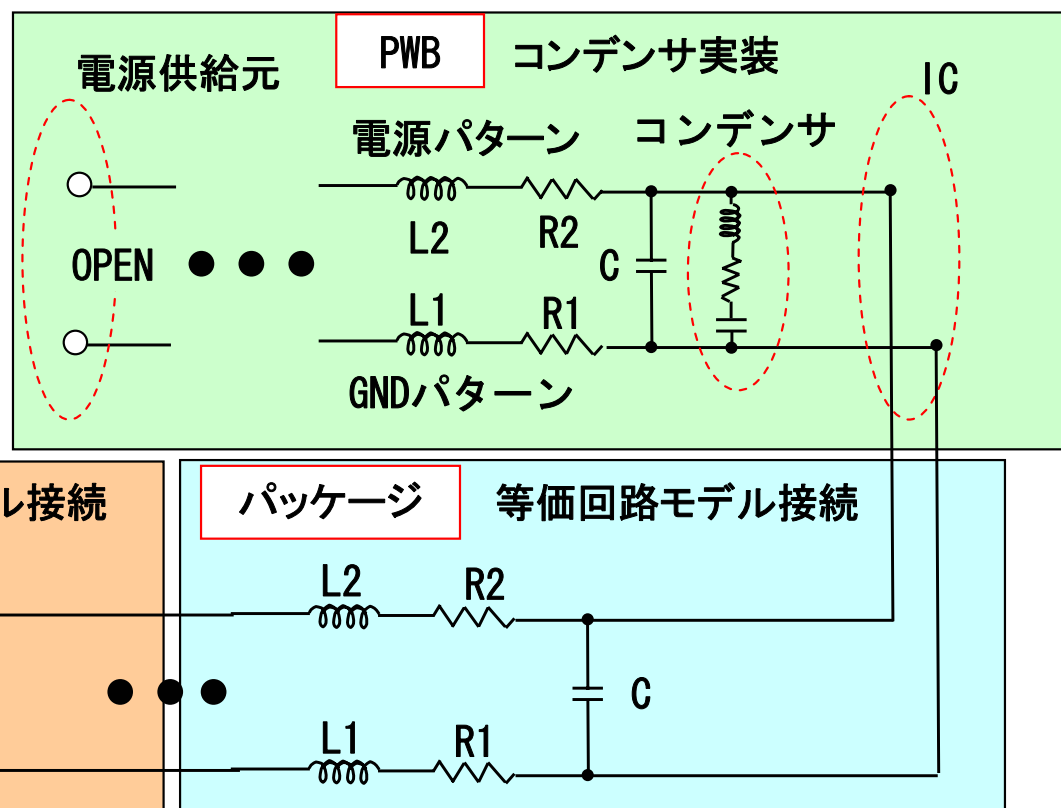
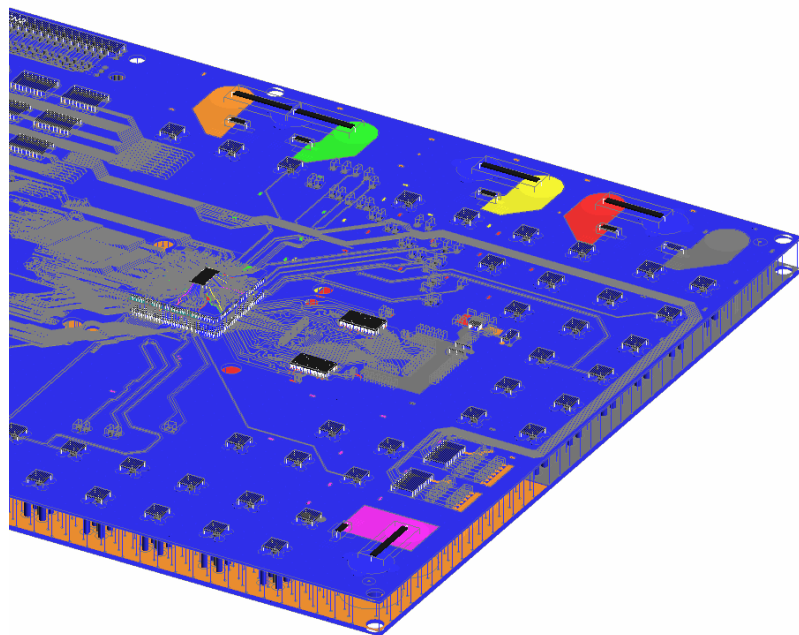


4-4. 電源インピーダンス

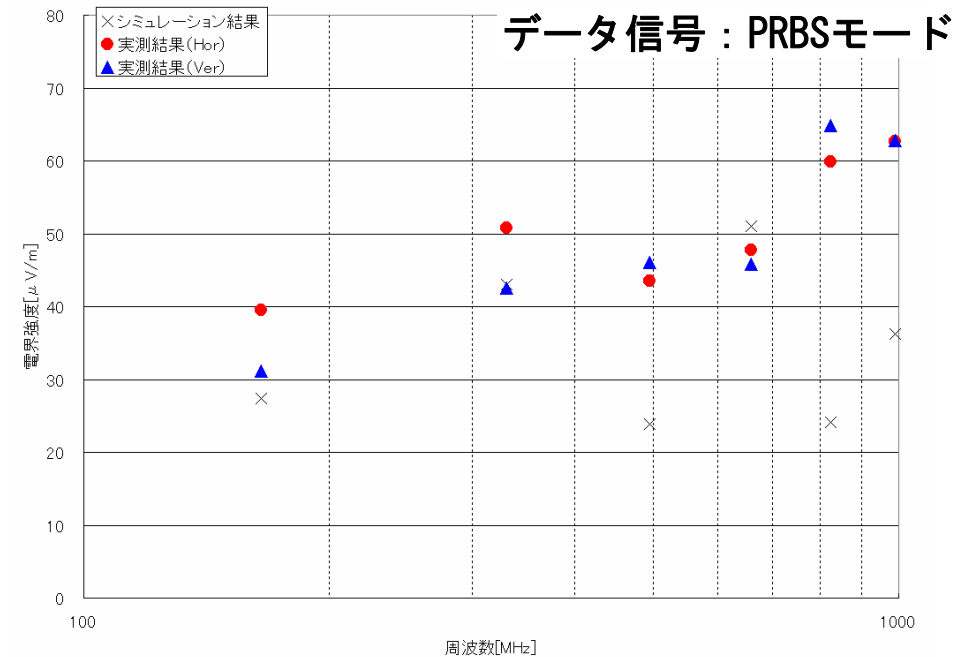
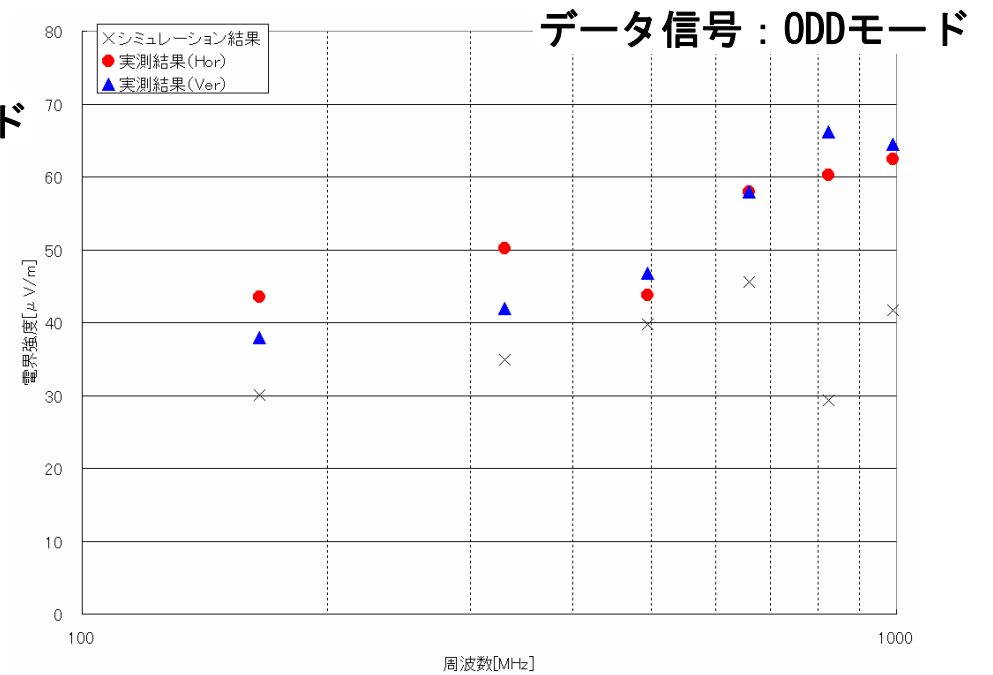
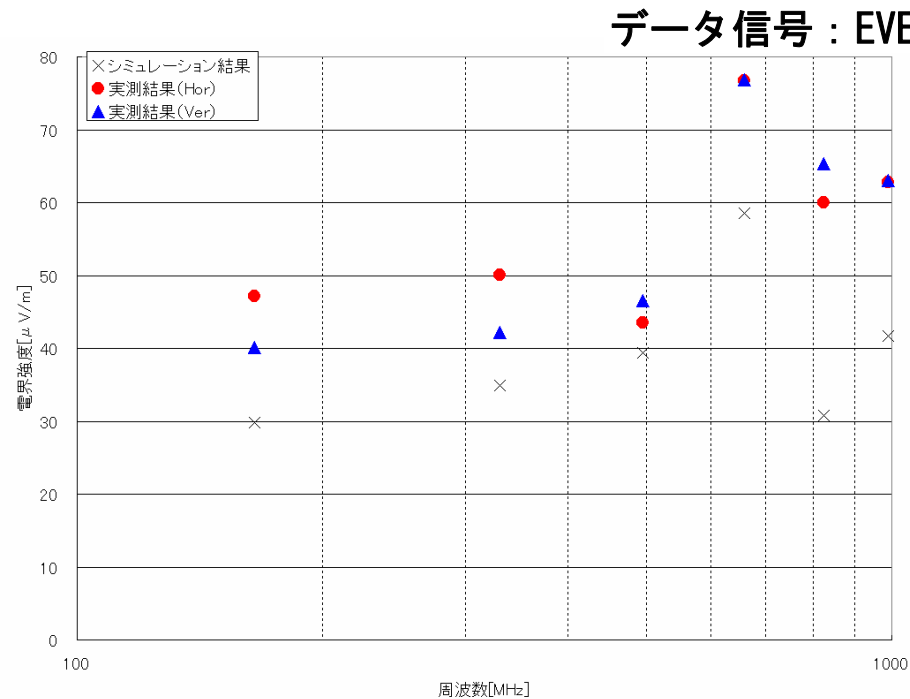
Chip+PKG+PCBの電源インピーダンスの実測とシミュレーション比較(2)



DDR3インターフェース電源の動作モードを再現した等価回路モデル



EMI実測結果とシミュレーション比較



4. DDR3の動作モードと電源ノイズ まとめ

1. DDRインターフェースの動作モードによって、電源ノイズに含まれる周波数成分が異なることを確認した。
⇒RPBSモードではレベルが小さく、広帯域にノイズが発生している。
2. データ信号の動作周波数である660MHzのEMIは、電源ノイズに含まれている周波数成分同様に、動作モードによってレベルが異なることを確認した。
⇒EVENモードが最も大きく、PRBSモードでは小さくなっている。
3. チップパワーモデルに電流源波形が定義されていれば、電流源波形を元に、EMIシミュレーションを実施することが可能となる。
ただし、動作モードを考慮した電流源波形を作成する必要がある。



今後とも
トッパンNECサーキットソリューションズを
お引き立て頂けます様
よろしくお願い申し上げます。

お問合せ先

(株)トッパンNECサーキットソリューションズ 設計部
〒108-8536 東京都港区芝浦3-19-26 トッパン芝浦ビル
Tel:03-5419-9717 Fax:03-3457-6618
担当: 金子 (Email : toshiyuki.kaneko@tncsi.com)