

メモリ・インターフェースの基板設計と シミュレーション事例

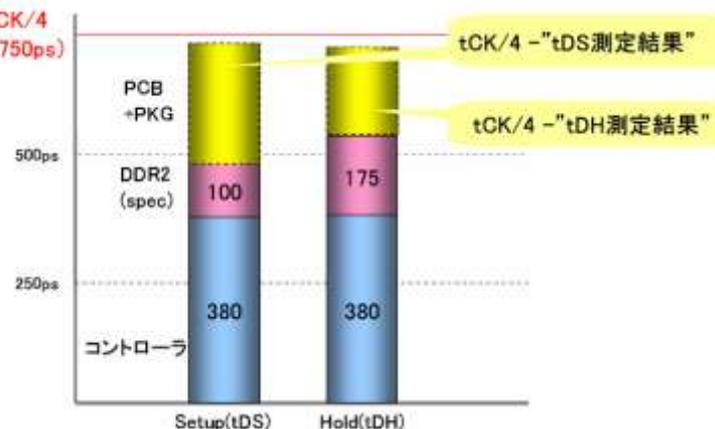
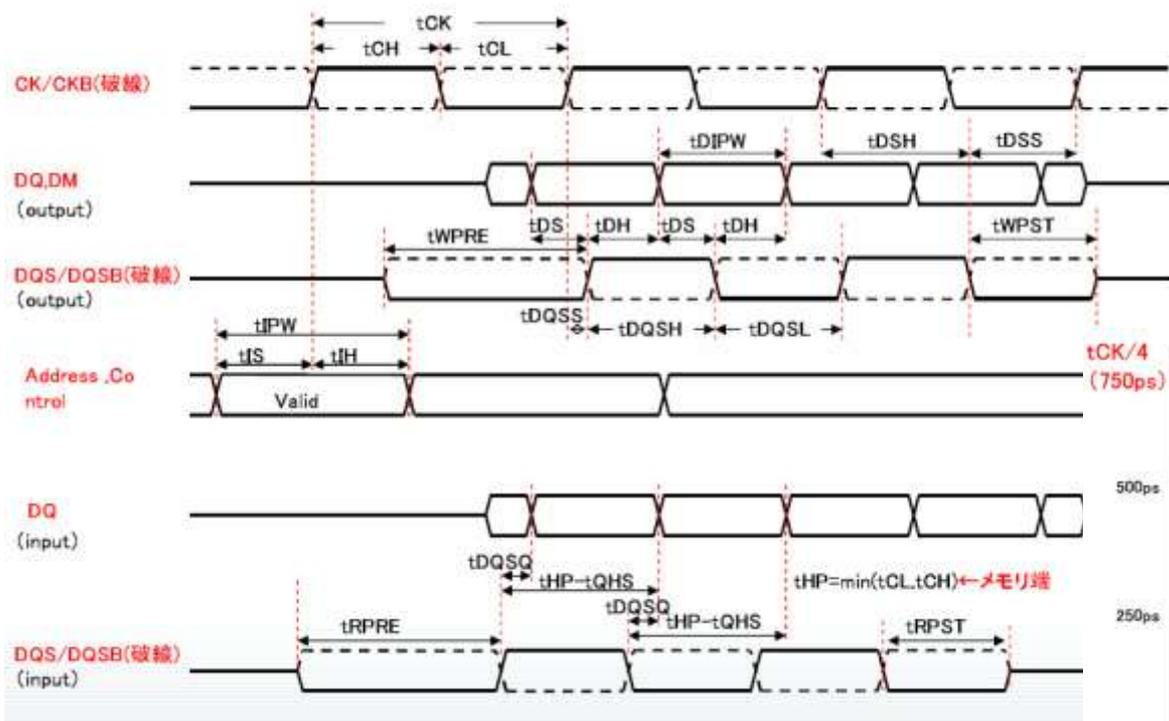
1. 基板設計とSIシミュレーション
2. 電源の安定化
3. 実測とシミュレーション比較

2012年 6月 13日

株式会社トッパンNECサーキットソリューションズ



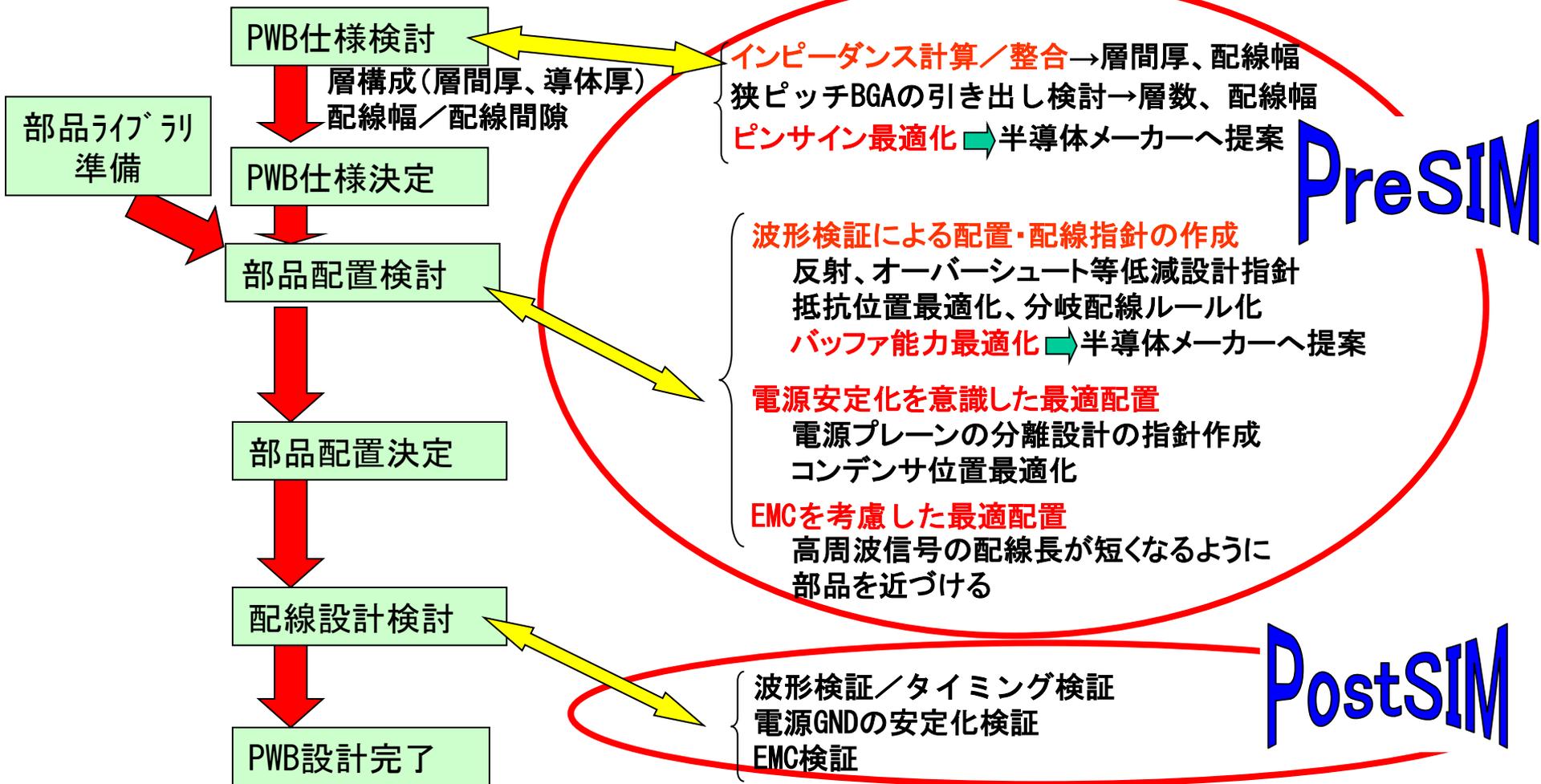
DDR II / IIIのタイミングチャート例



- メモリ/Fの場合、各信号が上記タイミングダイアグラムのように関連しあうため、マージンコントロールが必要となる。

✦ ボード設計フロー概要

→シミュレーションの活用により、後戻り工数の削減



✚ DDRのSI対応の流れ

1. PreSIM（基板設計：部品配置完了後）

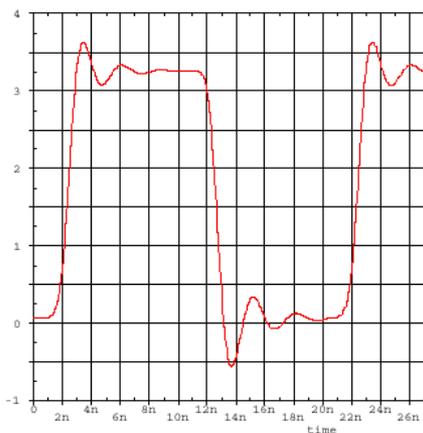
- 1) クロストーク影響の検証
ライン/スペースなどの設計ルールの検証・最適化
- 2) デバイス設定の検証
ドライバICのバッファ能力最適化
ODT機能の検証・最適化
- 3) 配線トポロジーの検証
配線ルールの検証・最適化
ダンピング抵抗有無、終端抵抗有無の検証

2. PostSIM（基板設計：配線完了後）

- 1) DC/ACスペック検証
電圧/タイミング検証により最適化
- 2) クロストークの検証
電圧/タイミング検証により最適化
- 3) デバイス/基板等のばらつき検証
デバイスのMIN/MAX条件、基板のZ0ばらつき考慮等

特性インピーダンスと電圧波形

Legend : d003#ic3_2:R:L

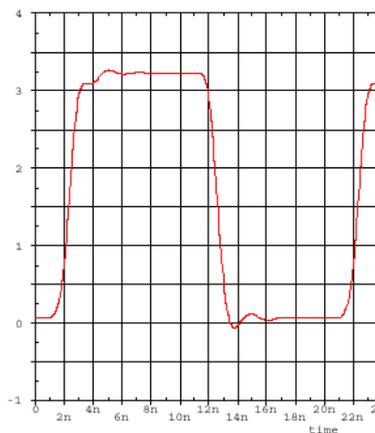


$Z_0=75\Omega$

Z_0 高い=L成分が大きい
→オーバー/アンダーシュートが発生しやすい

2003/05/19
[Board Name]

Legend : d002#ic2_2:R:L

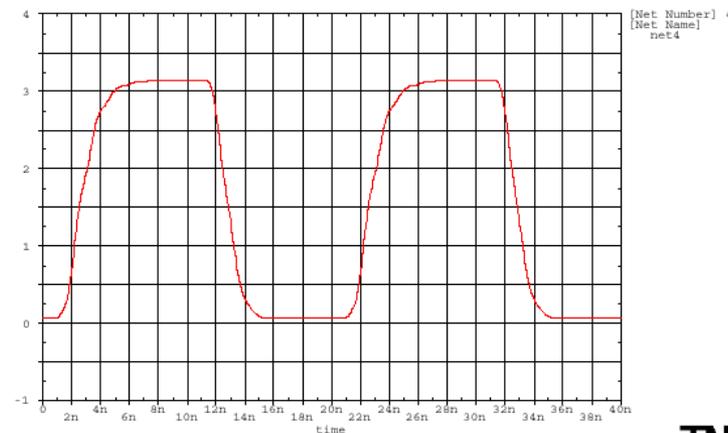


$Z_0=50\Omega$

Z_0 マッチング
→綺麗な矩形波となる

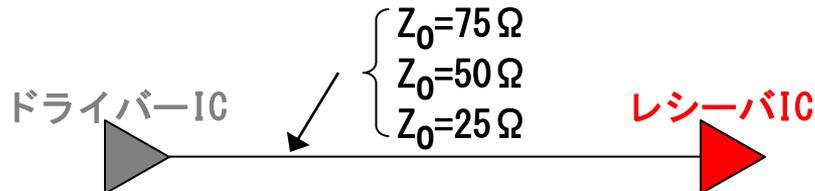
2003/05/19
[Board Name]

Legend : d004#ic4_2:R:L



$Z_0=25\Omega$

Z_0 低い=C成分が大きい
→波形が鈍る

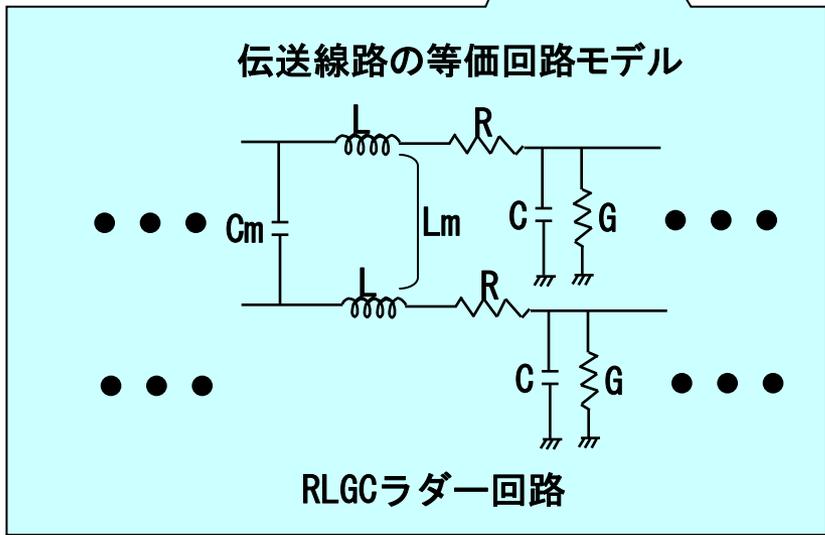
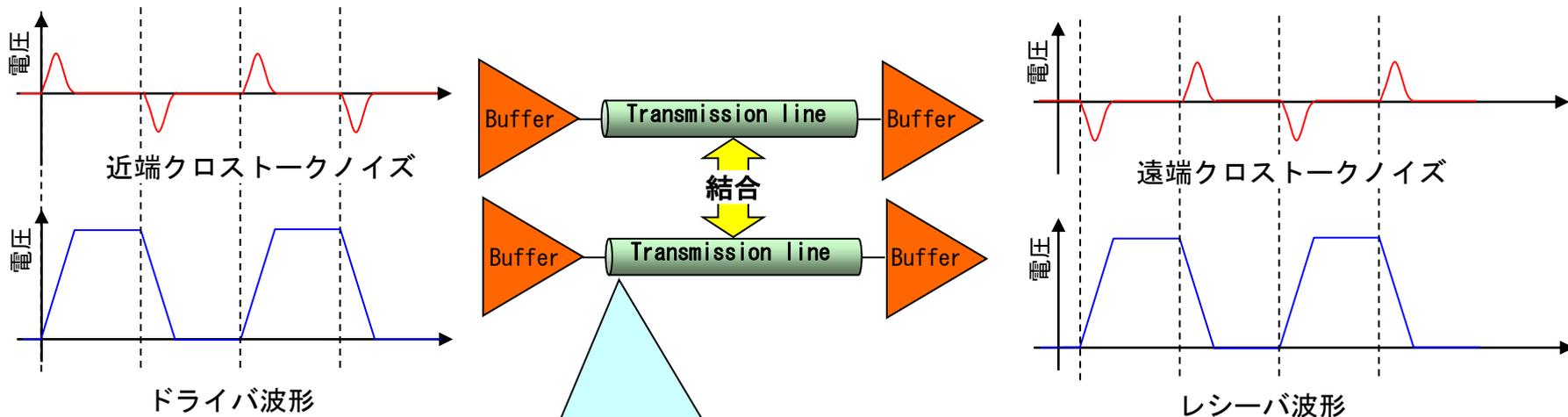


→プリント基板のインピーダンスによって、電圧変動が異なる。

1. 基板設計とSIシミュレーション

近端/遠端クロストーク

電圧が誘起される



$$K_f (\text{遠端クロストーク係数}) = -\frac{1}{2} \left[\frac{L_m}{Z_0} - C_m Z_0 \right]$$

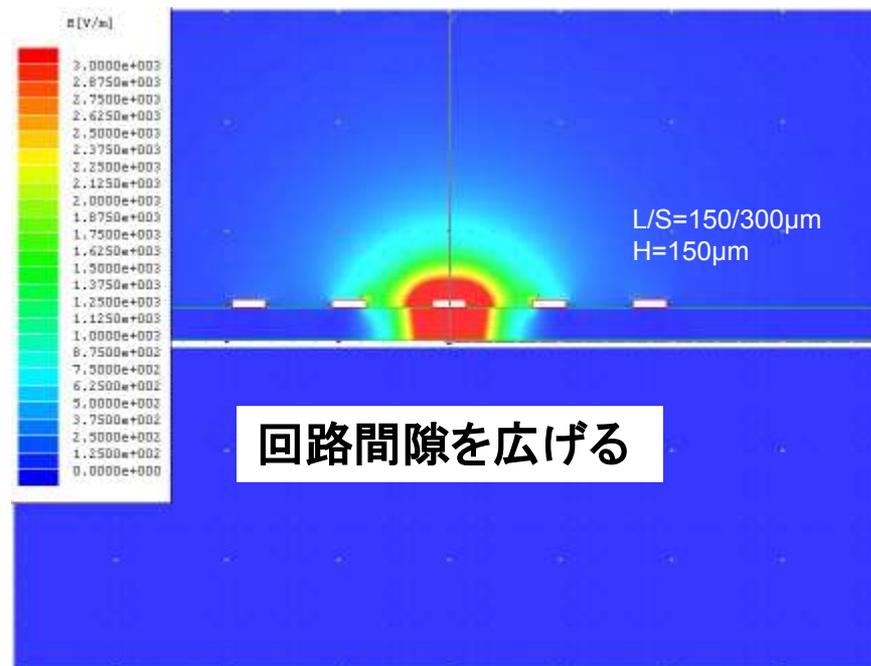
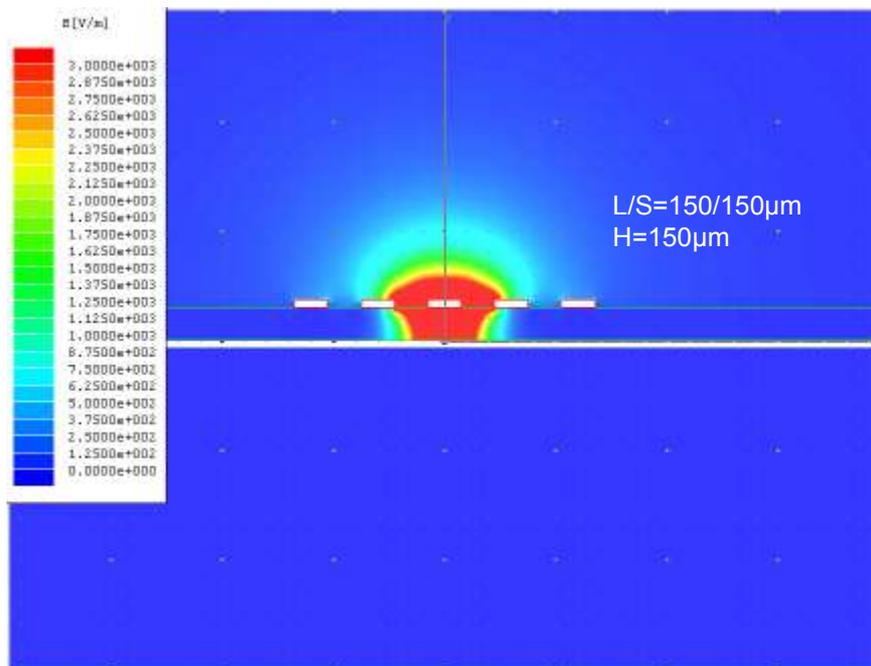
$$K_b (\text{近端クロストーク係数}) = \frac{L}{4T_d} \left[\frac{L_m}{Z_0} + C_m Z_0 \right]$$

Z_0 : 各配線の特性インピーダンス[Ω]
 L : 平行する配線長
 T_d : 平行する配線Lにおける遅延時間

- ・ 電圧変動
- ・ 遅延時間変動

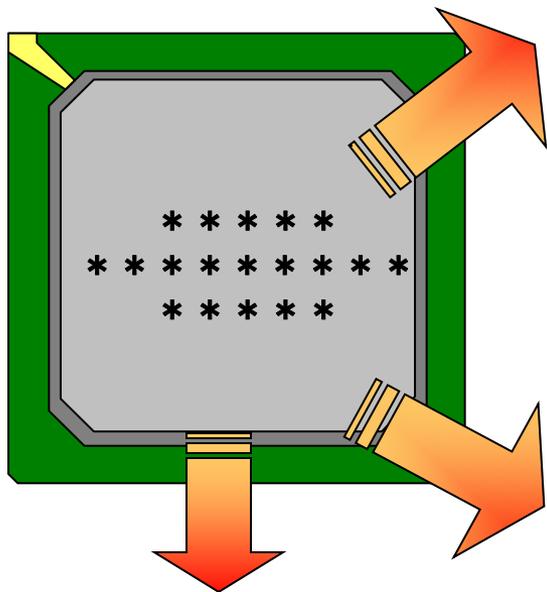


✚ クロストーク解析事例 1



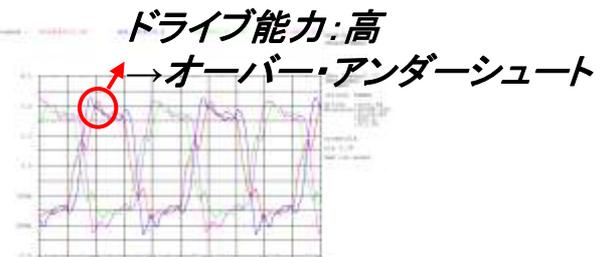
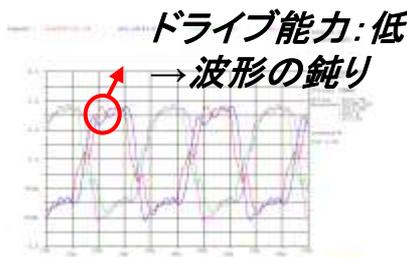
	: 信号配線
	: GND
	: 絶縁材

ASIC/FPGAの最適化



バッファ能力の最適化

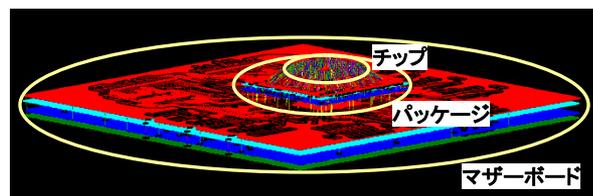
→ 伝送線路SIMにて確認



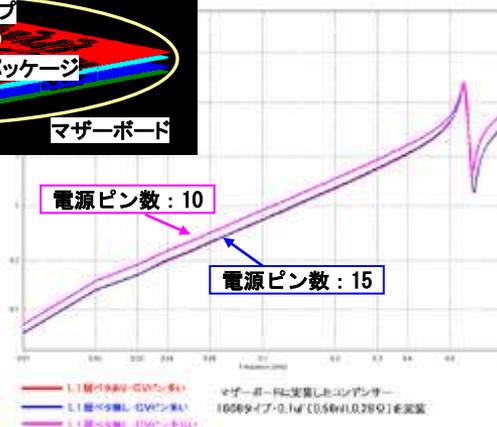
抵抗部品点数の削減、配線エリアの縮小

電源GNDピンの最適化

→ 電源GND共振解析にて確認

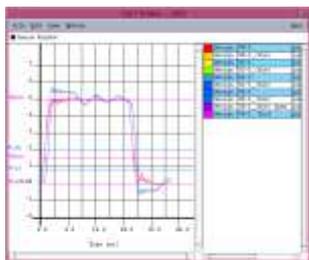


電源インピーダンスを
最小化する最適な
電源ピン数を検討



信号ピンアサインの最適化

→ 伝送線路SIMにて確認

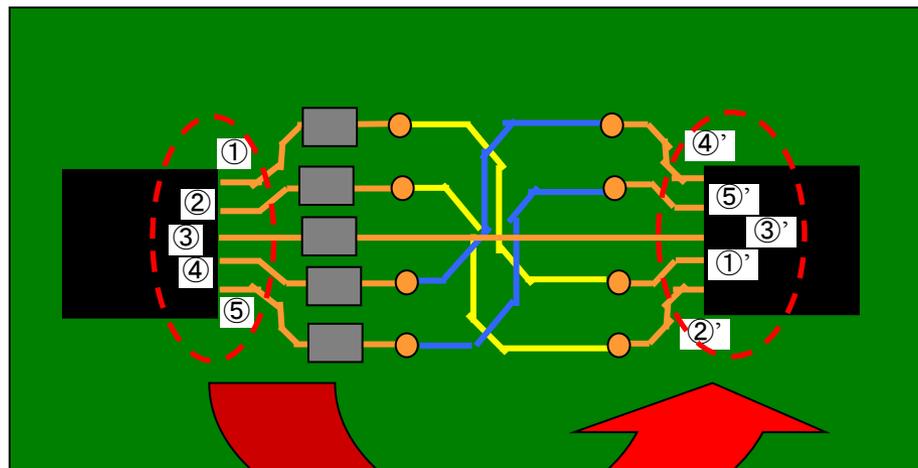


バス配線のスキューを
考慮し、基板配線が
クロスしないように
最適なピンアサインを
検討

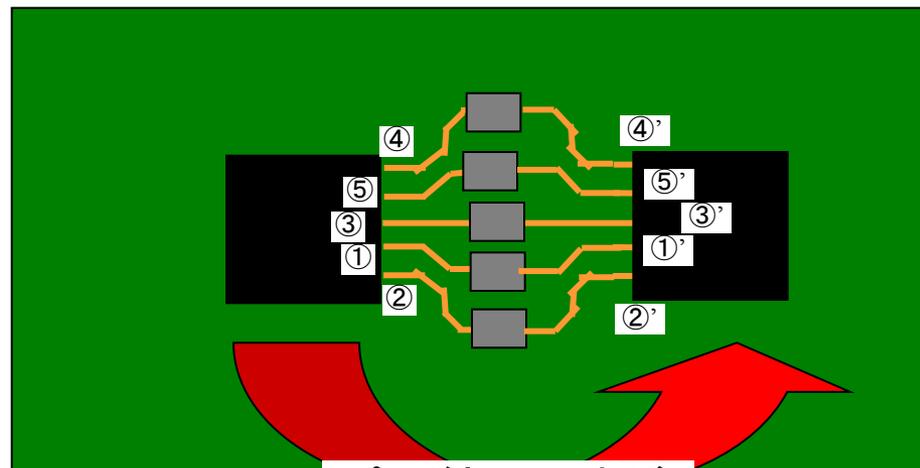
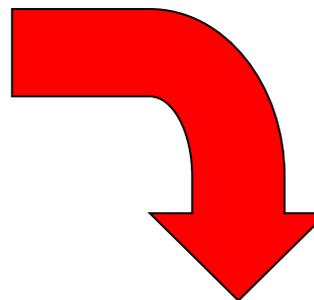
配線エリアの縮小、配線層の低減

1. 基板設計とSIシミュレーション

✦ 低コストを意識した高速伝送（ピンアサインの最適化）



ピンがない
基板で調整

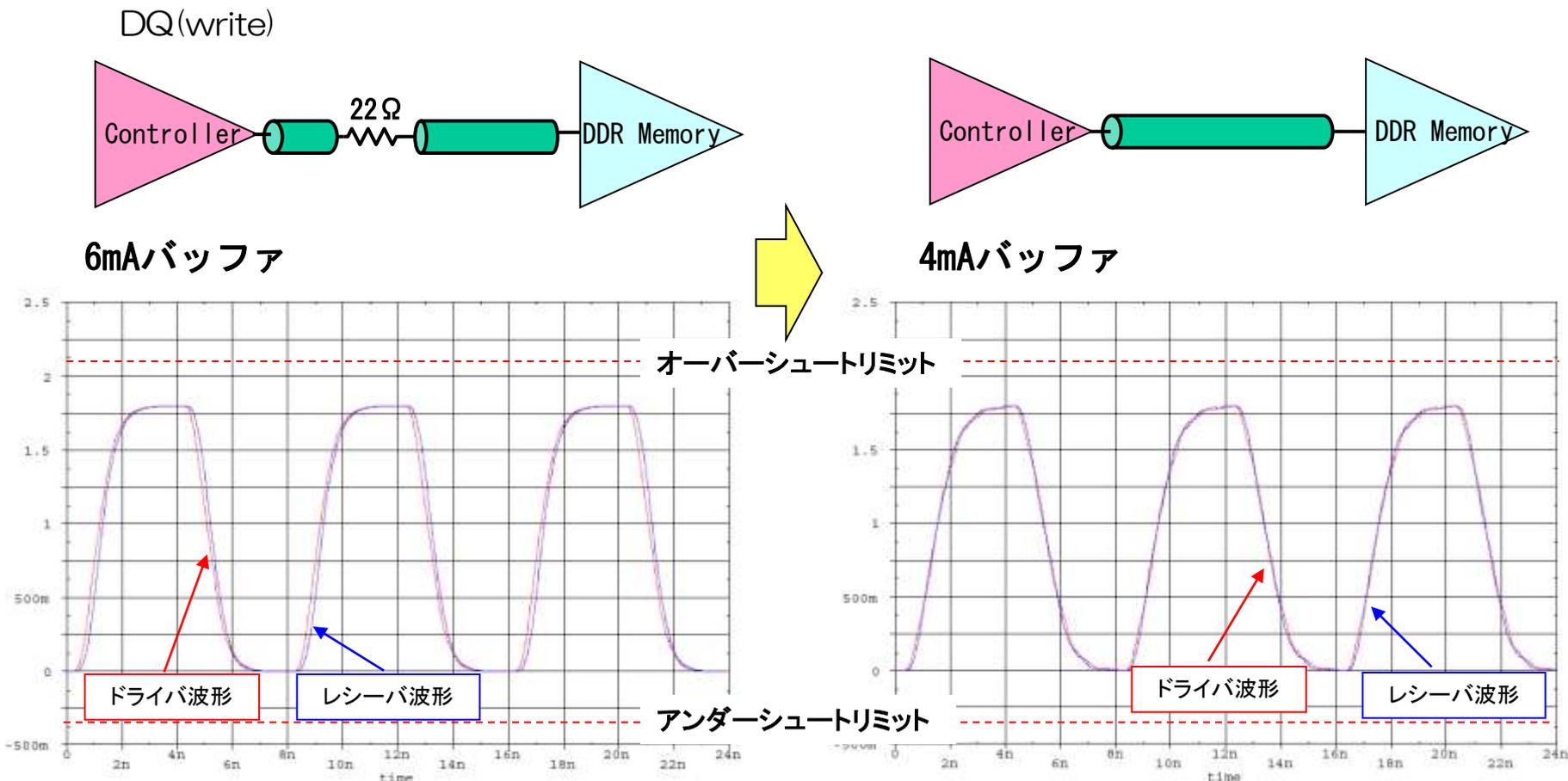


ピンがあれば
基板で調整不要

基板で調整する場合

- ・配線エリアの拡大
- ・ビアによる切り替えし
 - 電気特性悪化
 - 配線層の増加

PreSIM解析事例(ドライブ能力最適化事例)



ドライバICのバッファ能力を最適化しダンピング抵抗を削除

PreSIM解析事例(ODT設定最適化事例)

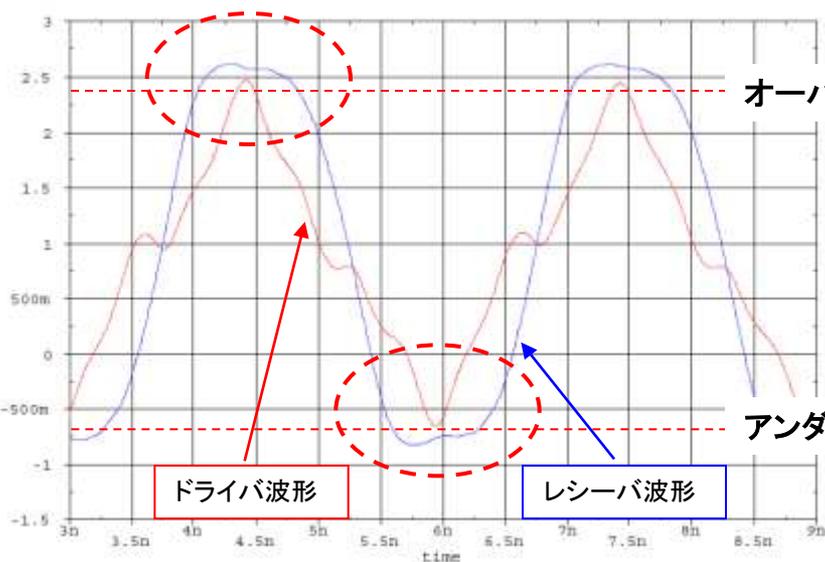
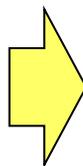
DQ(write)



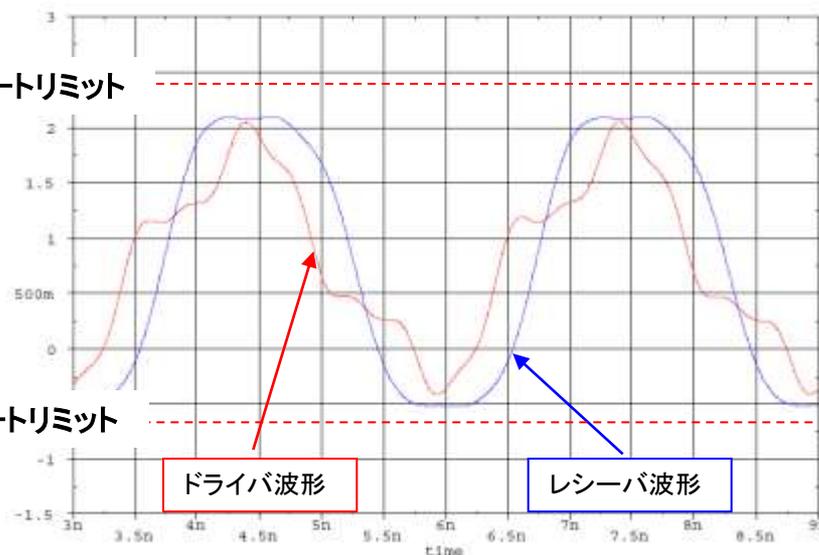
ODT OFF



ODT 75Ω

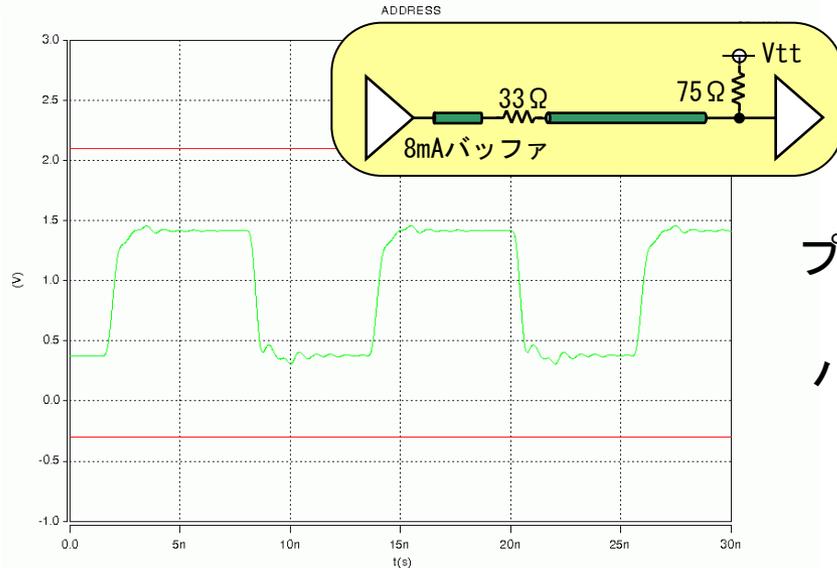
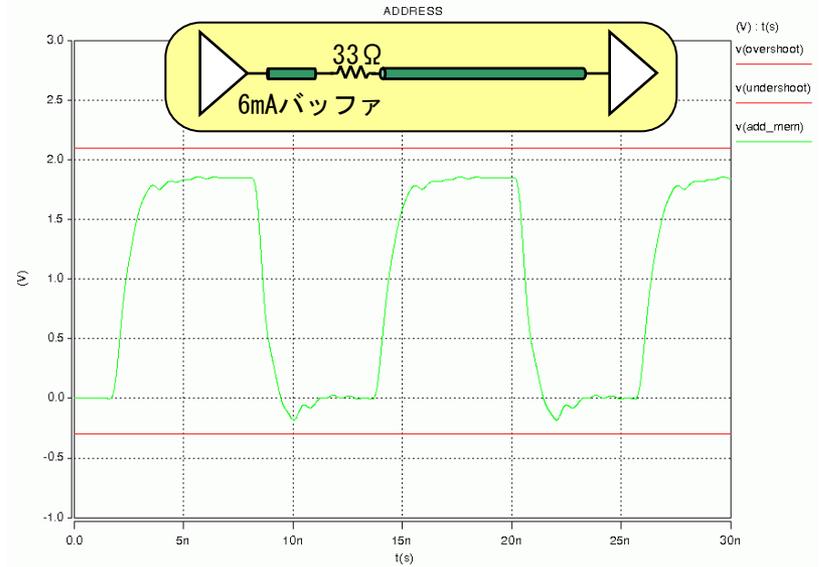
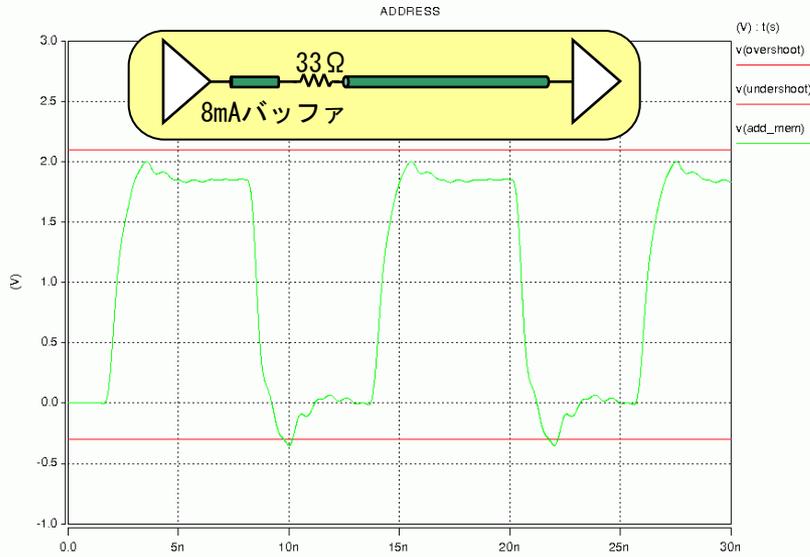


電圧スイングレベルが大きくスペックNG



ODT設定によりスペックOK

PreSIM解析事例(最適化事例)



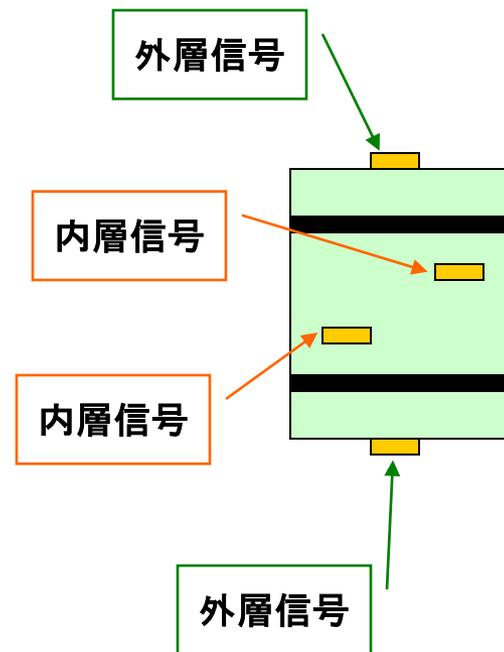
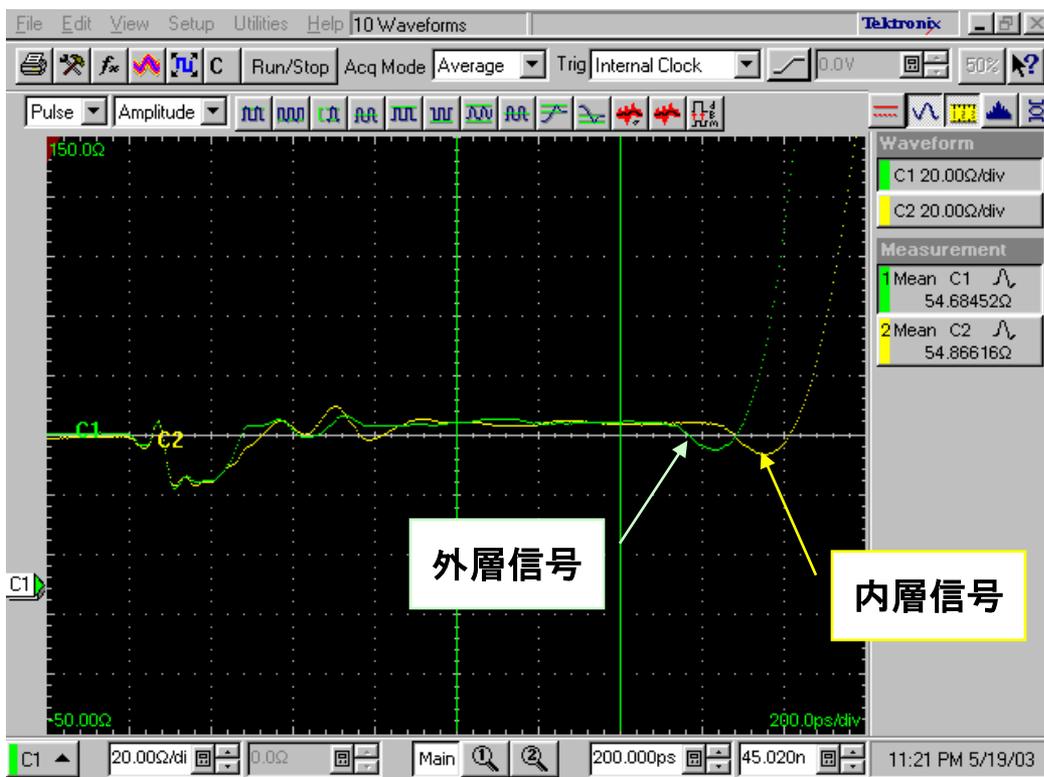
プルアップ終端を使うと電源の消費電流が上がる



バッファ能力の調整が可能であれば最適化可能

遅延/スキュー管理の注意点

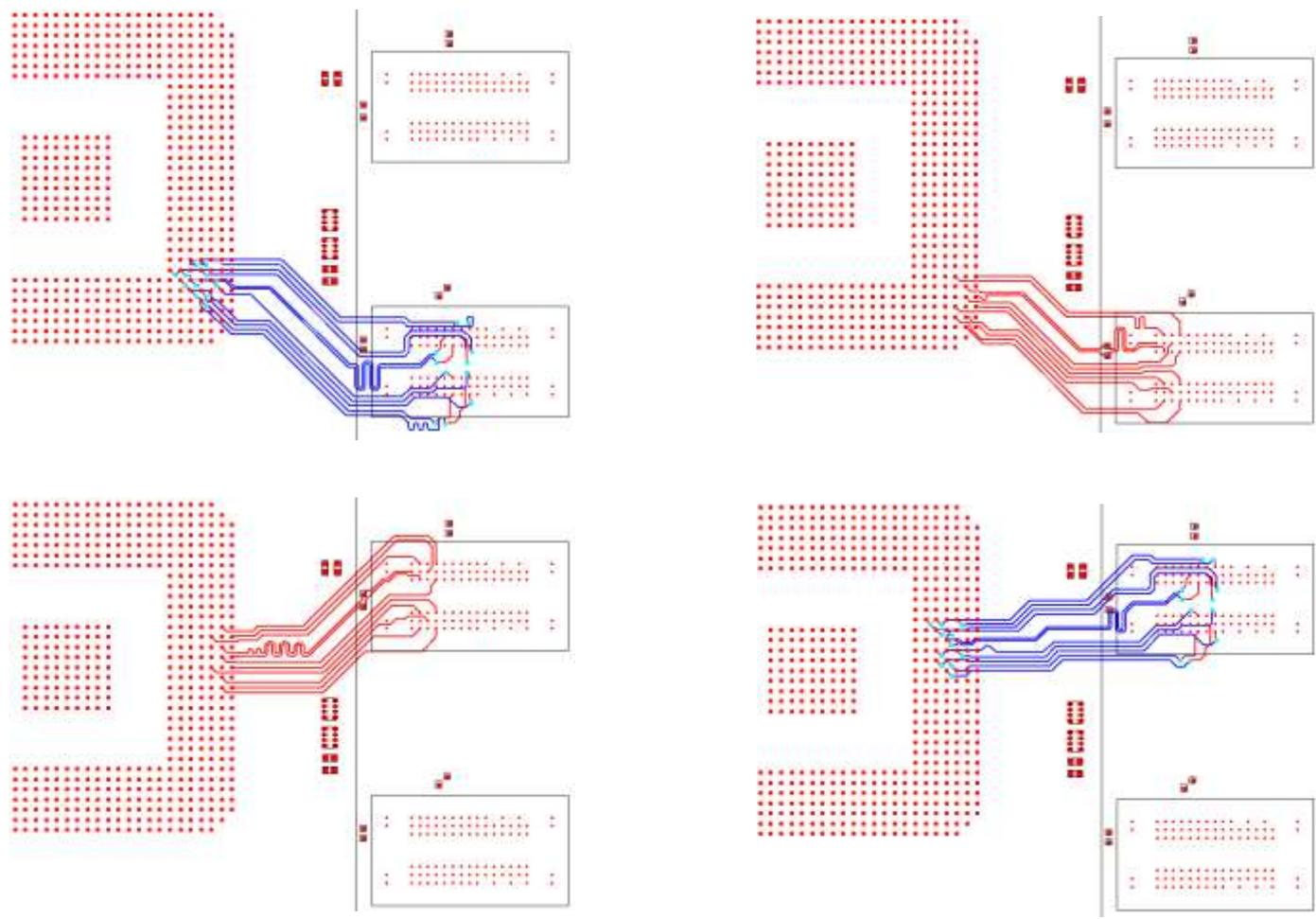
伝搬時間は、基板の内層信号、外層信号によって異なる
 同一配線長、終端オープン時の特性インピーダンス (Z0) 波形



→配線の長さだけ合わせてもだめ！伝搬時間を考慮した設計が必要

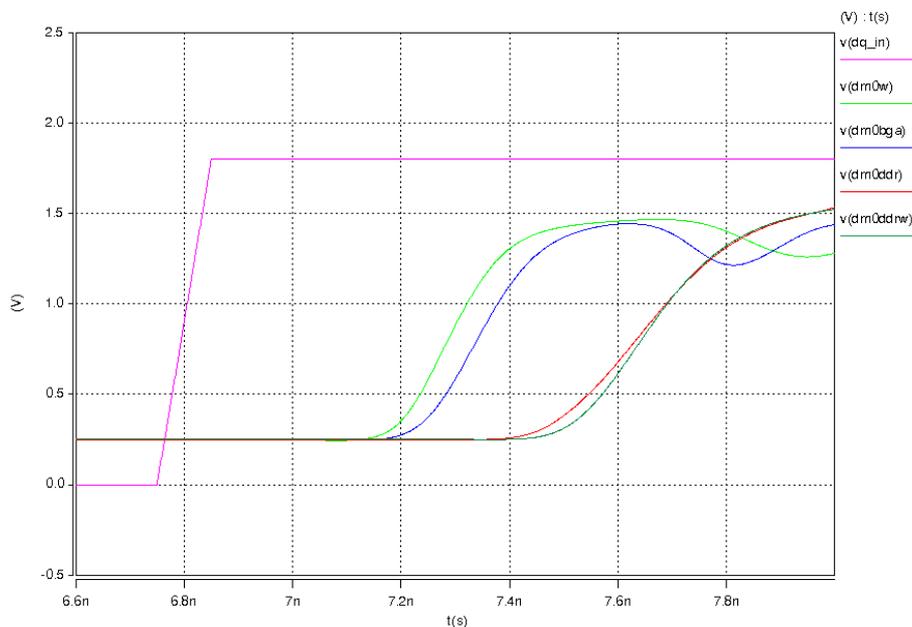
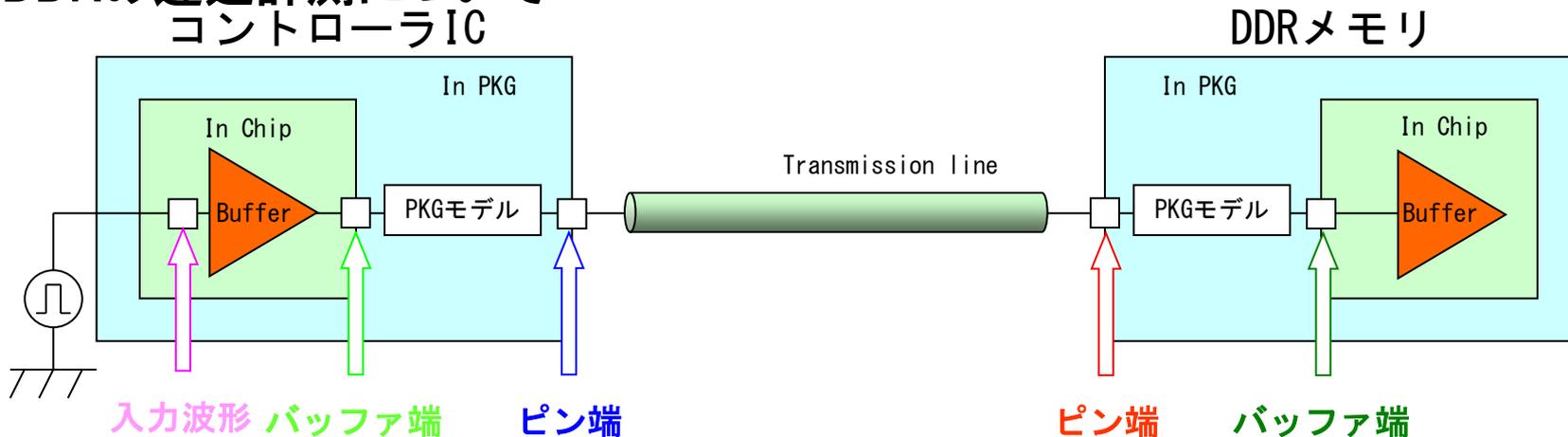


DDR II / III 設計例 (バイトレーンごと)



DQS, DQ, DM信号間はバイトレーンごとに等遅延
viaの位置や抵抗の位置や配線層ごとの線長をそろえる

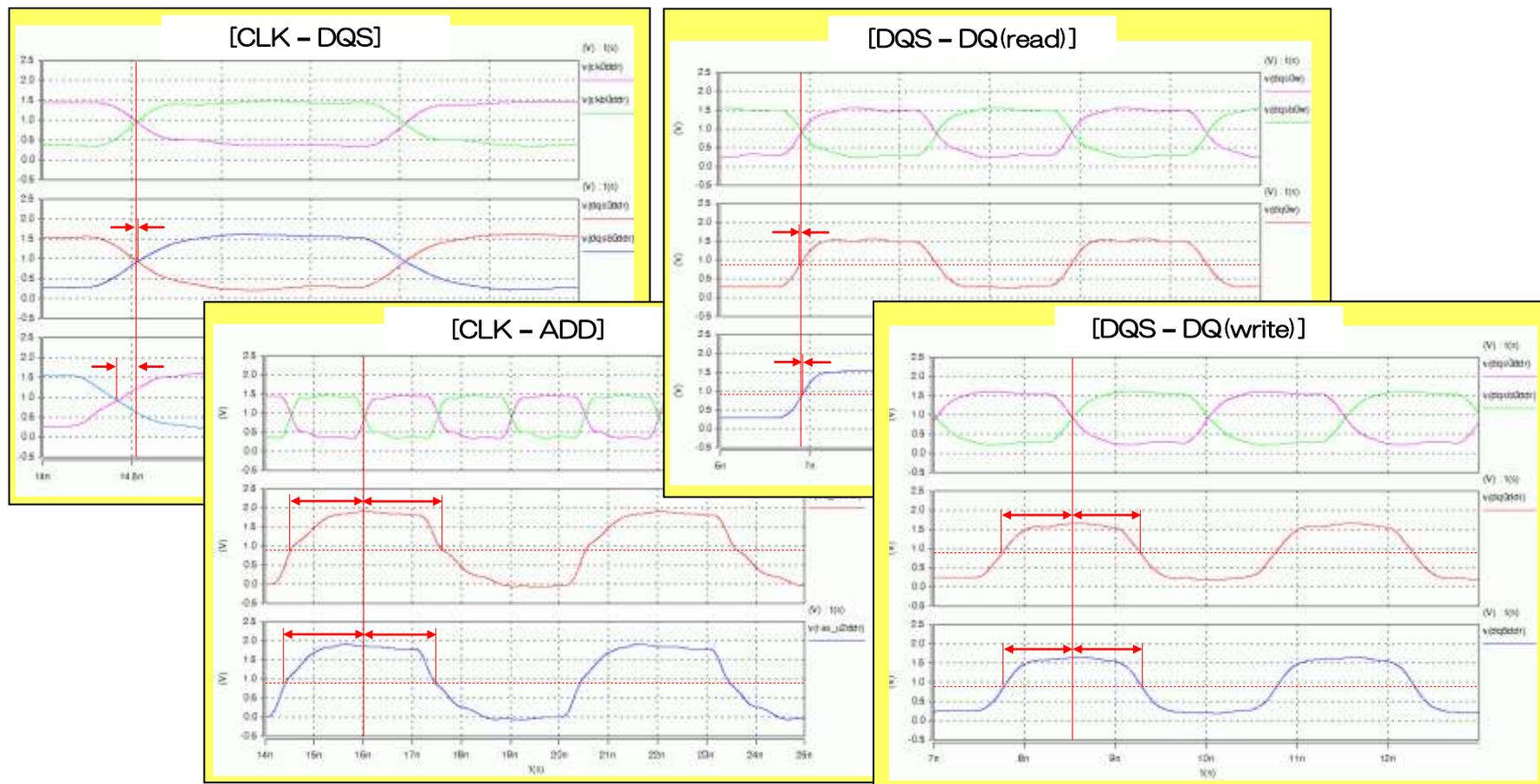
DDRの遅延計測について コントローラIC



コントローラICのPKG遅延は
無視できない



DDRのスキュー計測事例



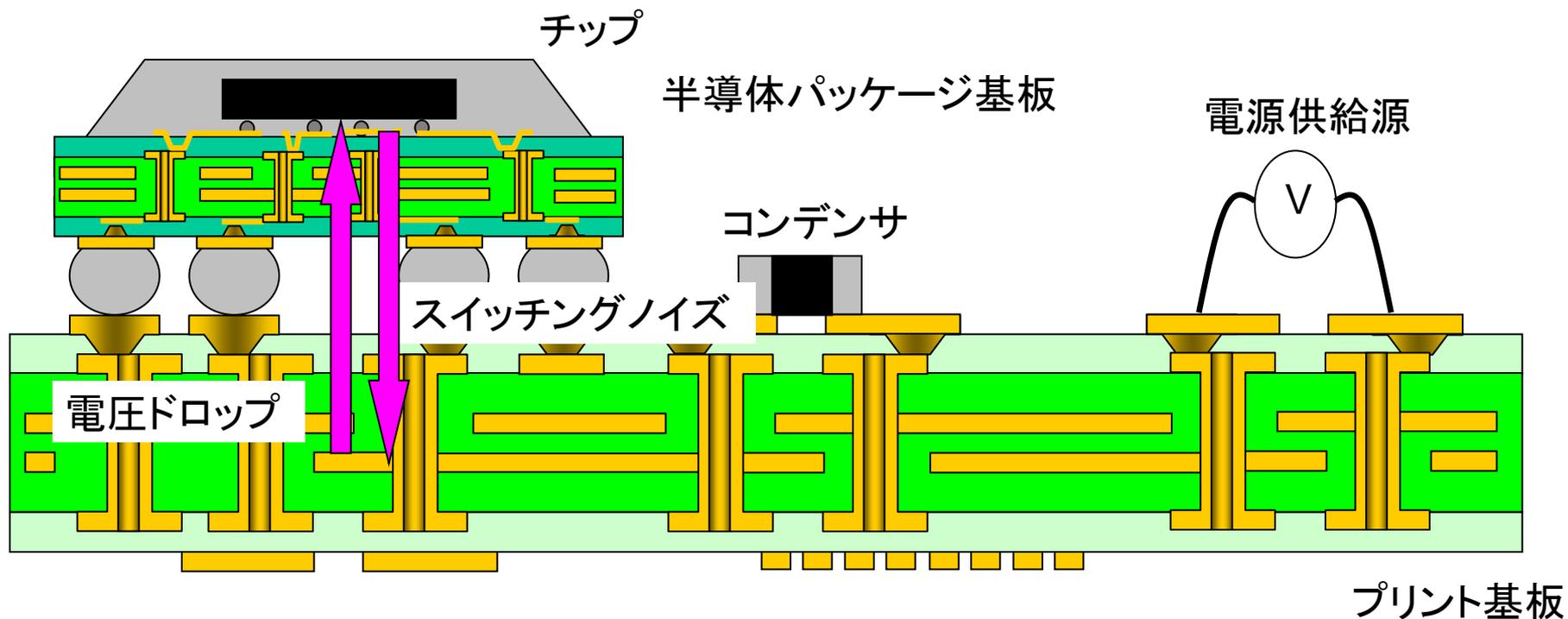
基準信号と各信号間のタイミングマーヅンを管理

✦ SI対応 まとめ

1. AC/DCノイズの発生原因に応じた最適な対策を検討する。
特にタイミングマージン、ノイズマージンに関して、チップ開発者とよく相談する。
2. 戻り作業をなくすため、適切なタイミングでシミュレーションを活用し
基板設計の最適化を図る。
3. 製品の信頼性を高めるためには、ばらつきを考慮したシミュレーションを
事前に実施することが有効。

2. 電源の安定化

IRドロップ (DC電圧ドロップ) とスイッチングノイズ



電源ノイズ	ノイズ現象	協調設計による対策
DC電圧ドロップ	チップ端子で電圧が降下	電源経路の最適化 (DC的に低インピーダンスにする)
スイッチングノイズ	チップの動作にあわせて電圧変動が発生	キャパシタンスの最適化による電圧変動の低減 (電源インピーダンスの低減と安定化)

DDRインターフェースの規格

電源電圧 (Vref) の波形例

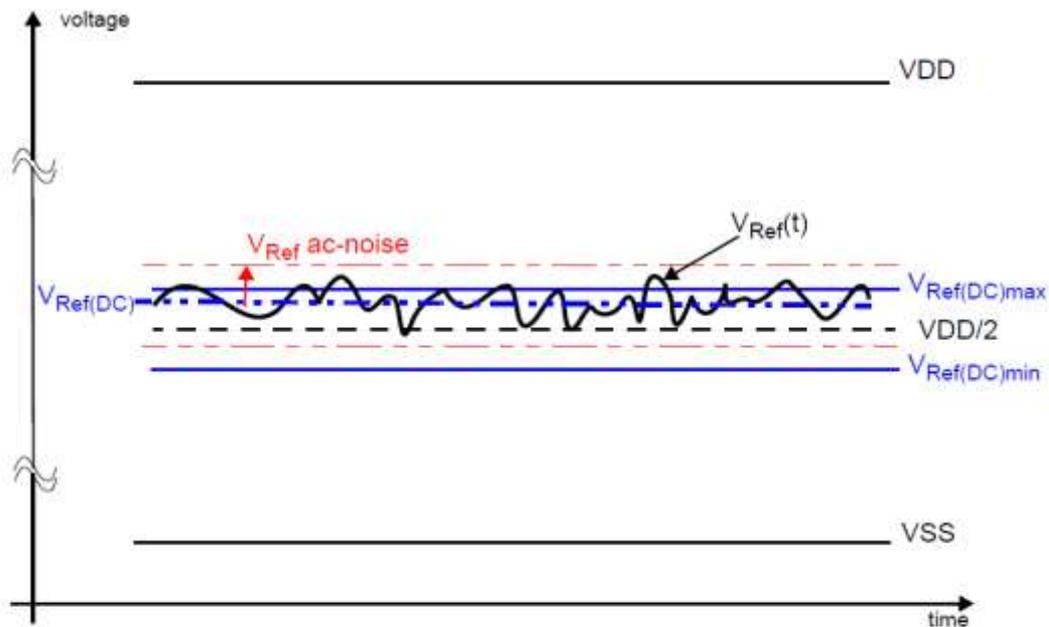
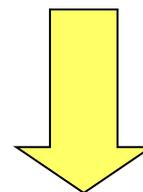


Figure 79 — Illustration of $V_{Ref(DC)}$ tolerance and V_{Ref} ac-noise limits

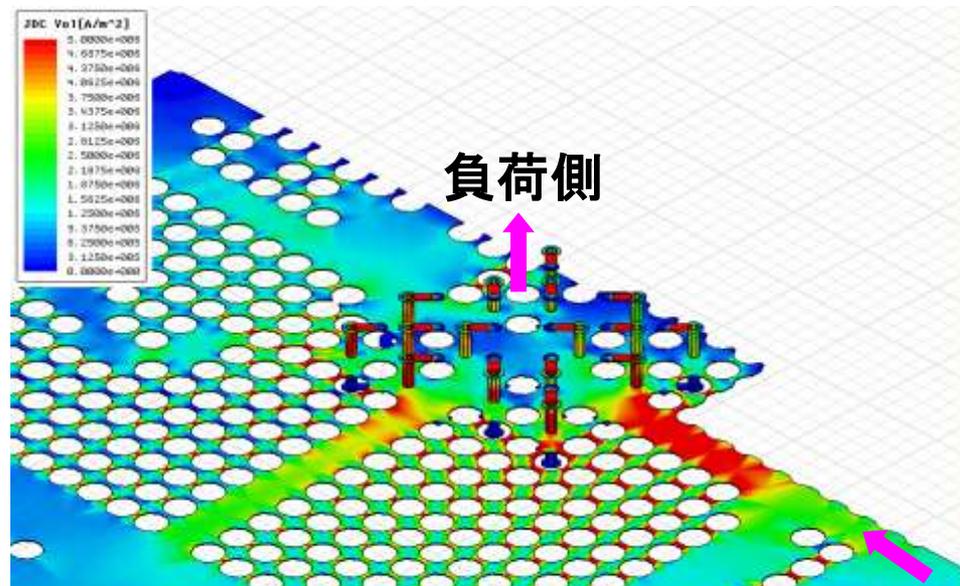
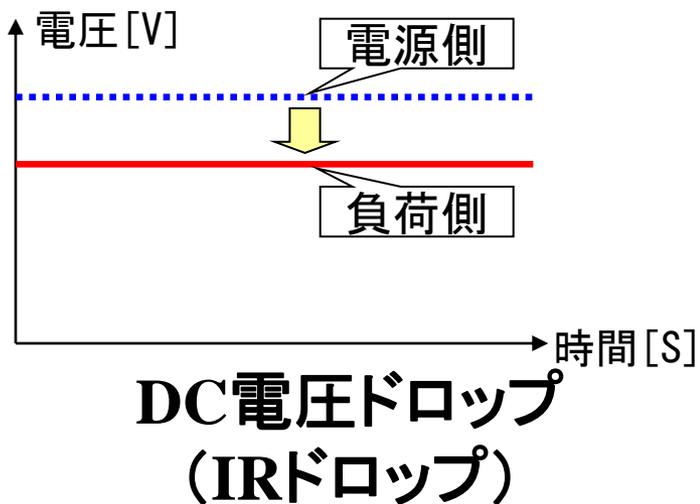
出展：JEDEC Standard

低電圧化に伴う
電源の電圧変動



- DCスペック未達
- ジッタの増加による
タイミングマージン減少

⚡ DC電圧ドロップ



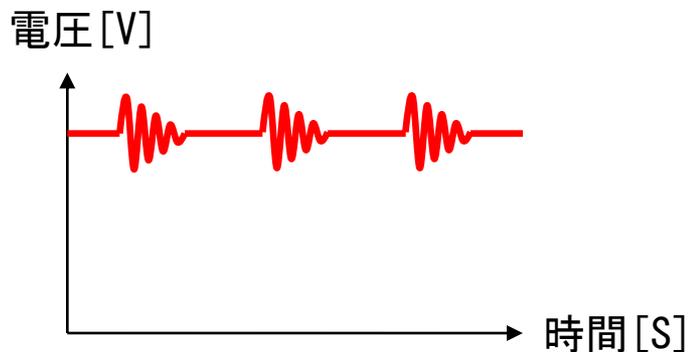
電流の集中箇所(赤部分)が見られますがVDD電源ベタパターンの抵抗値は $1.62E-3[\Omega]$ となっていますので、DC電圧ドロップは最大で $16.24[mV]$ 程度と推測します。よって、現状の電源ベタパターンで問題ないと考えます。

電源側
(供給元)

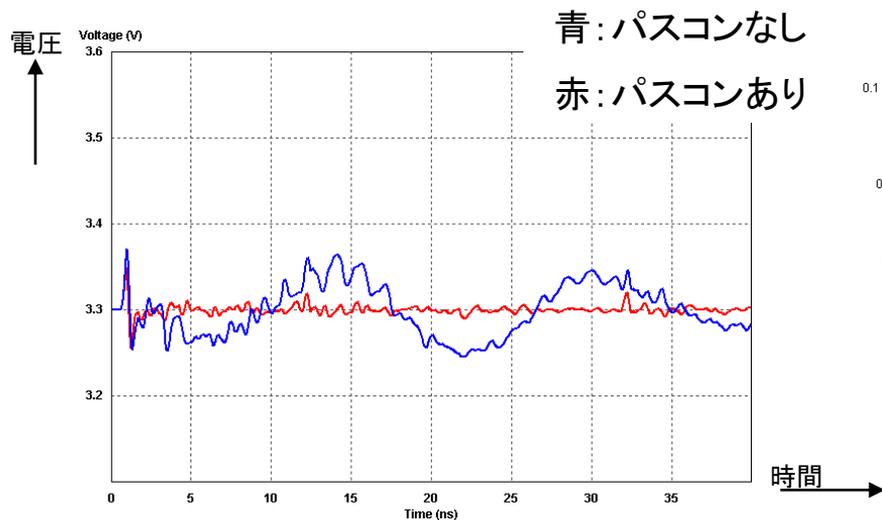
$$\text{DC電圧ドロップ値} = (\text{電源側} \sim \text{負荷経路のDC抵抗}) * \text{電流値}$$

2. 電源の安定化

スイッチングノイズの解析



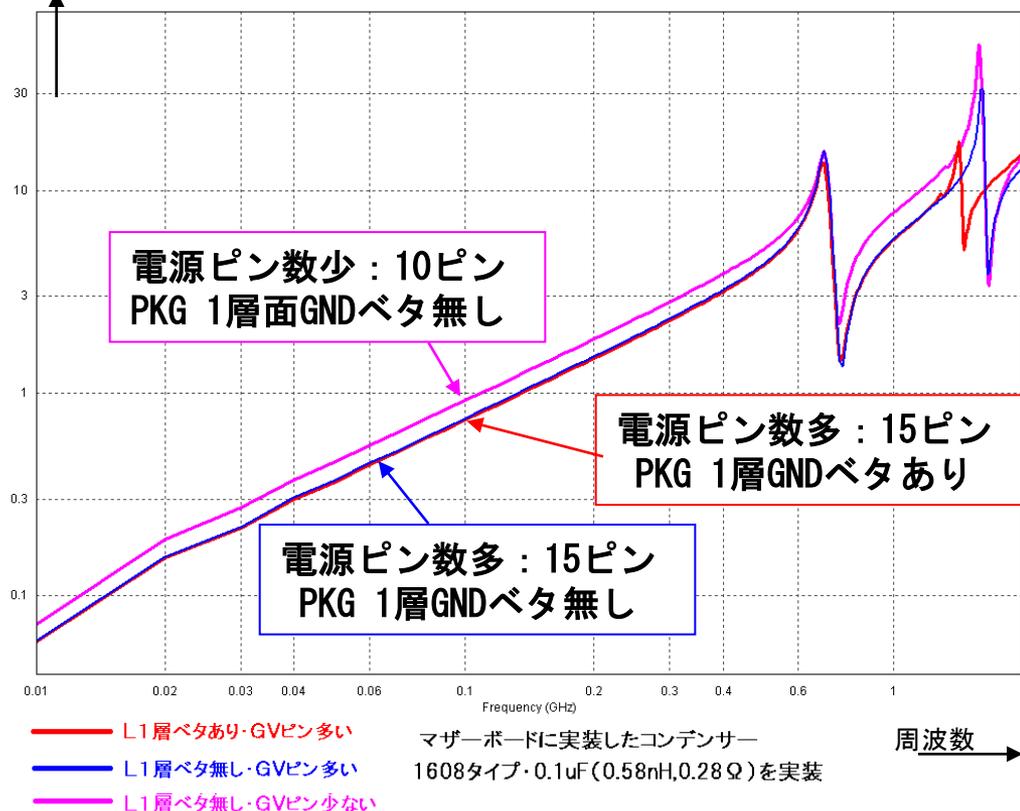
同時スイッチングノイズ (SSO)



時間軸で電源ノイズの絶対量として解析

インピーダンス

マザーボード+パッケージ基板の共振解析結果

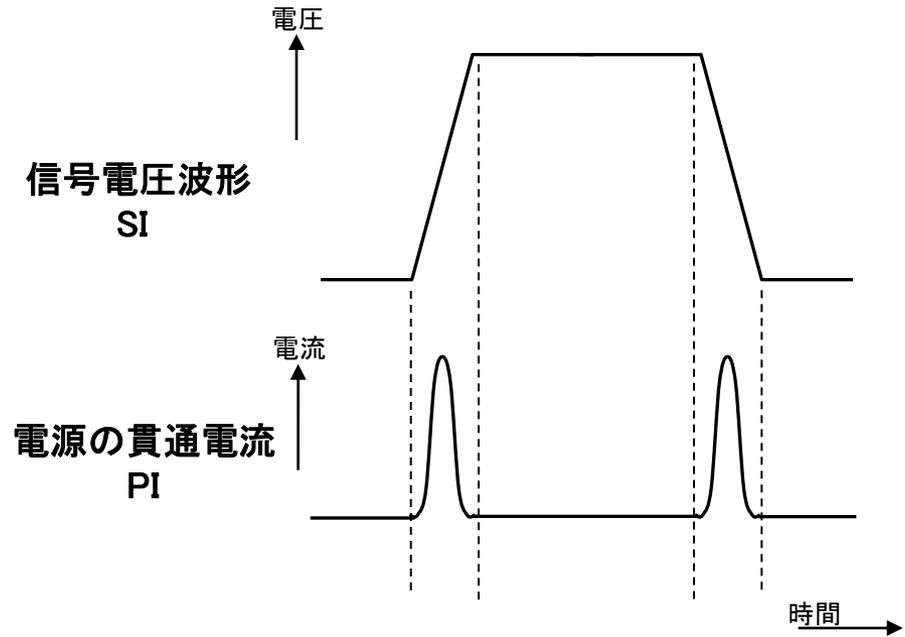
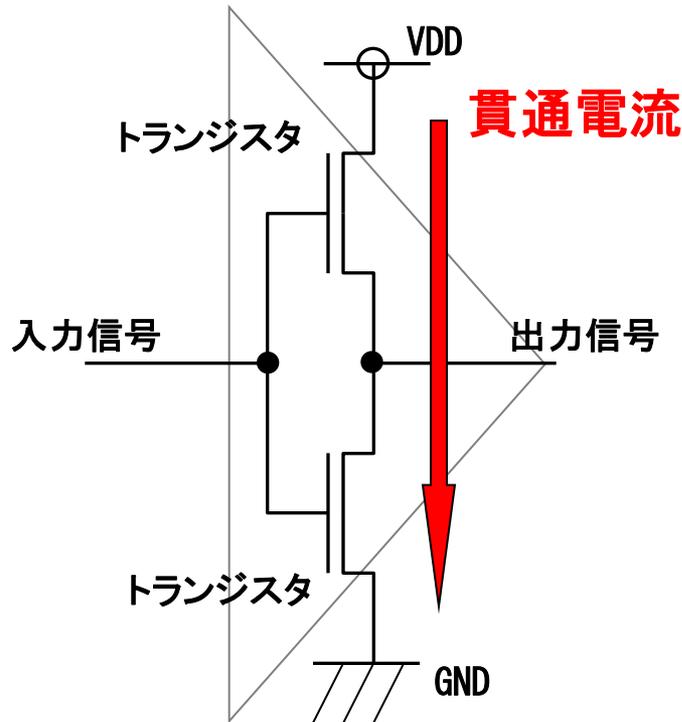


周波数軸でPKG、PWBの特性把握



LSIによる同時スイッチングノイズ

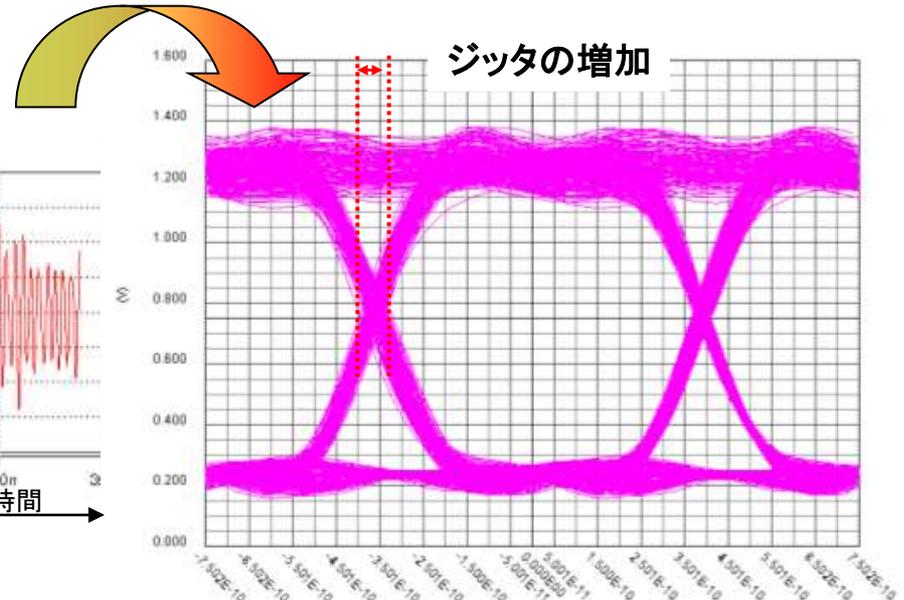
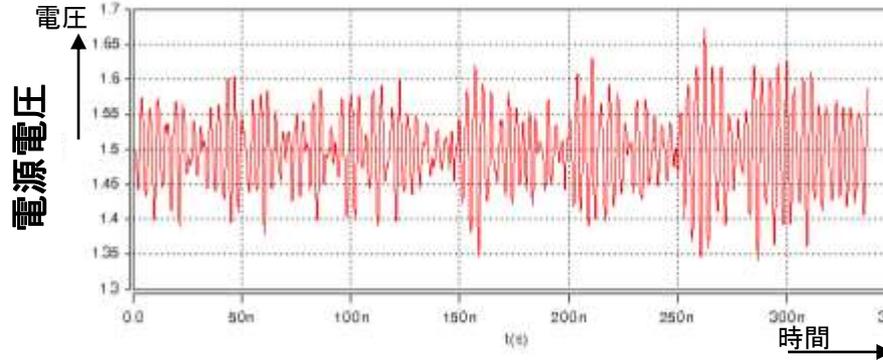
SI ⇒ PI への影響



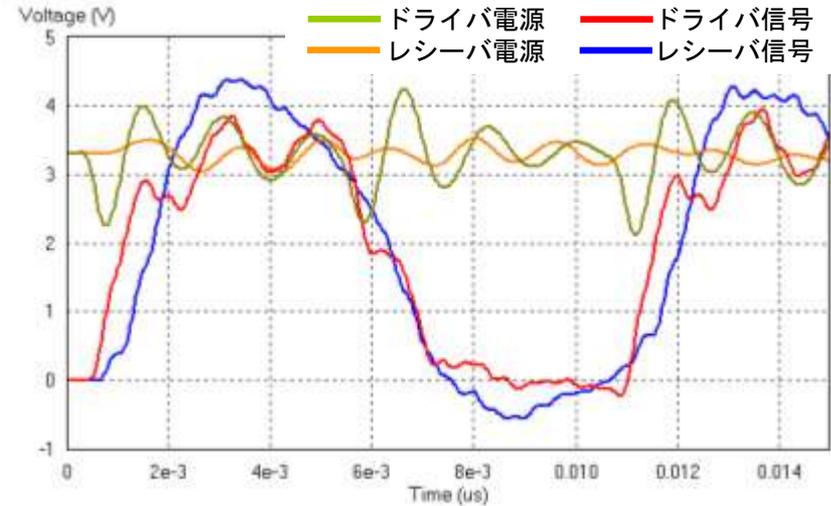
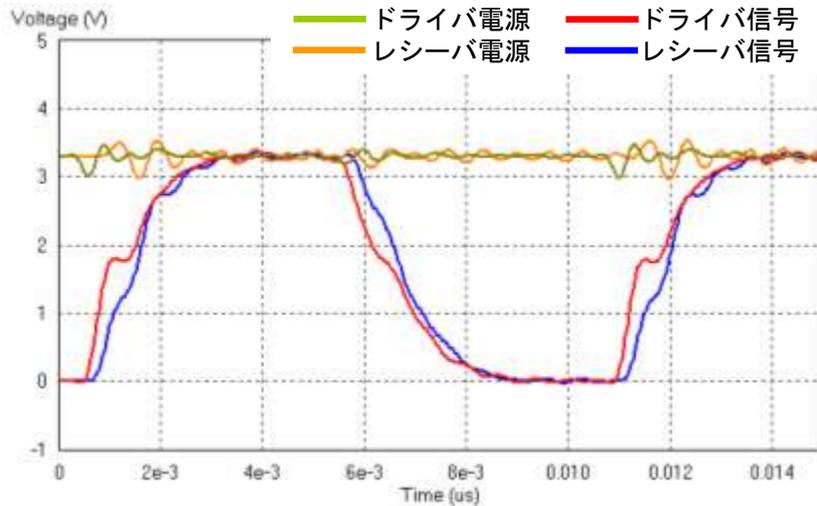
CMOSトランジスタにおいて信号の立上り、立下りのときに各トランジスタが同時にONとなり、貫通電流が流れることがあります。

✦ 信号波形への影響例

① ジッタの増加



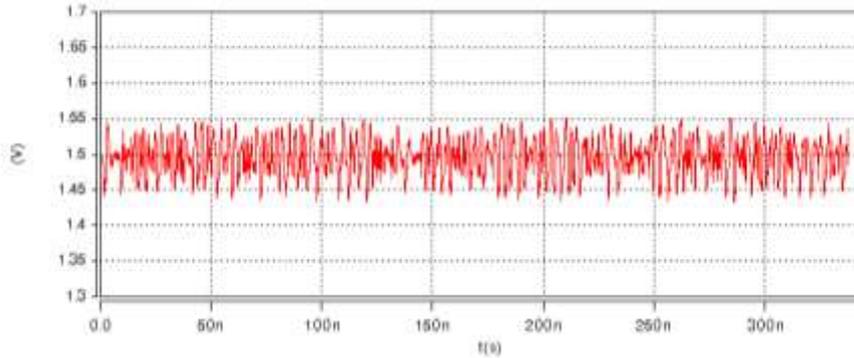
② 基準電位の変動



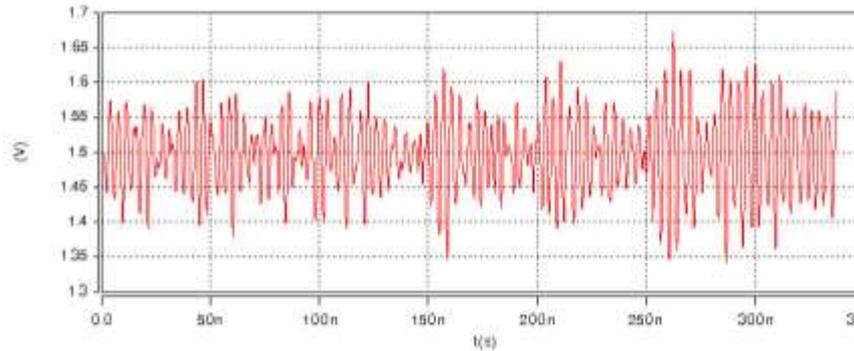
2. 電源の安定化

電源変動とジッタについて

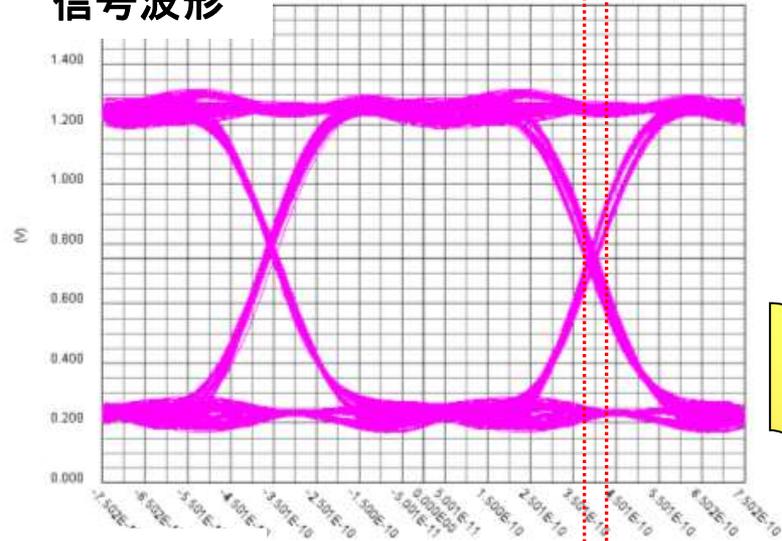
電源変動 130mVpp



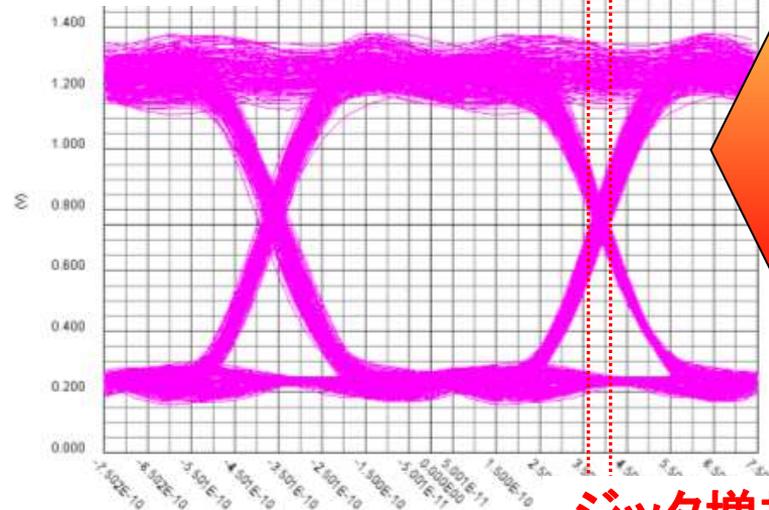
電源変動 330mVpp



信号波形



信号波形



ジッタ増加

2. 電源の安定化

DDRにおけるジッタ増加事例

DDRのコントローラIC
付近のパスコン容量
によってジッタ増加



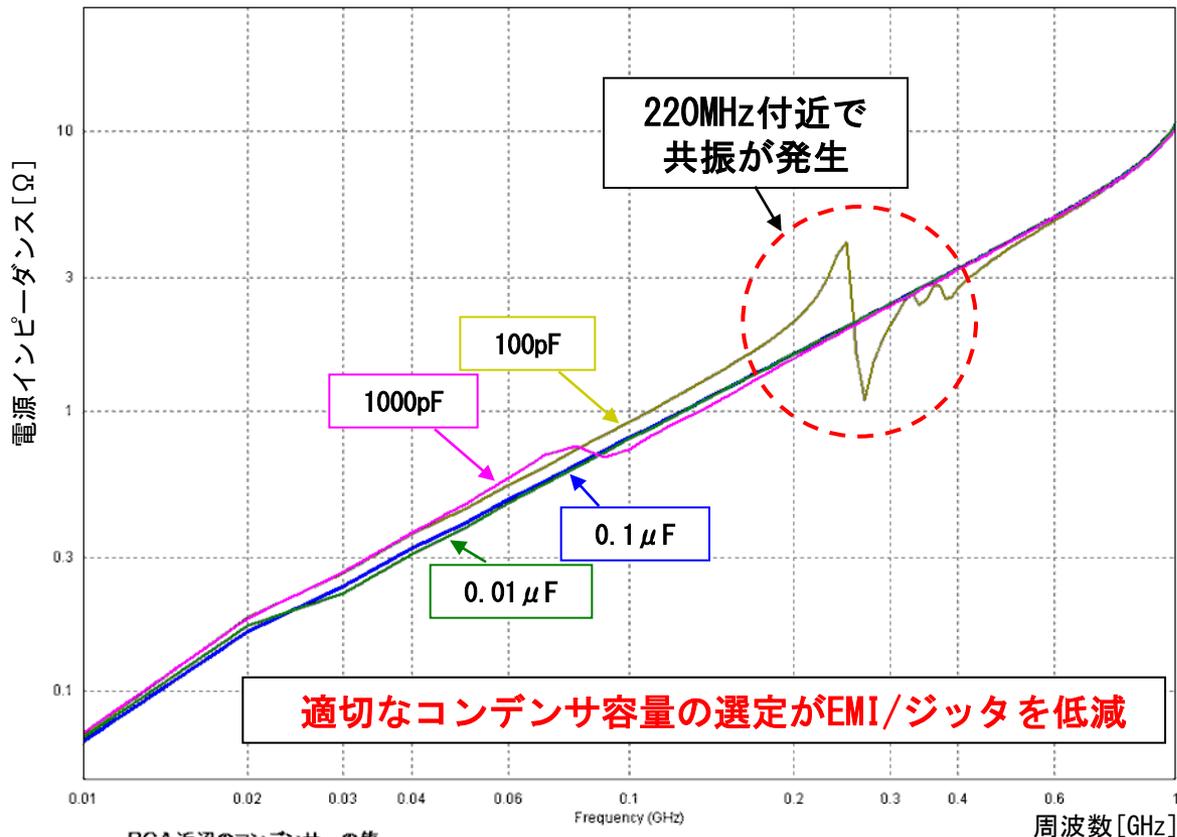
PI安定化=SI安定

システム設計段階で
LSI + PCB の
PI解析



SIの最適設計に効果的
と考えます

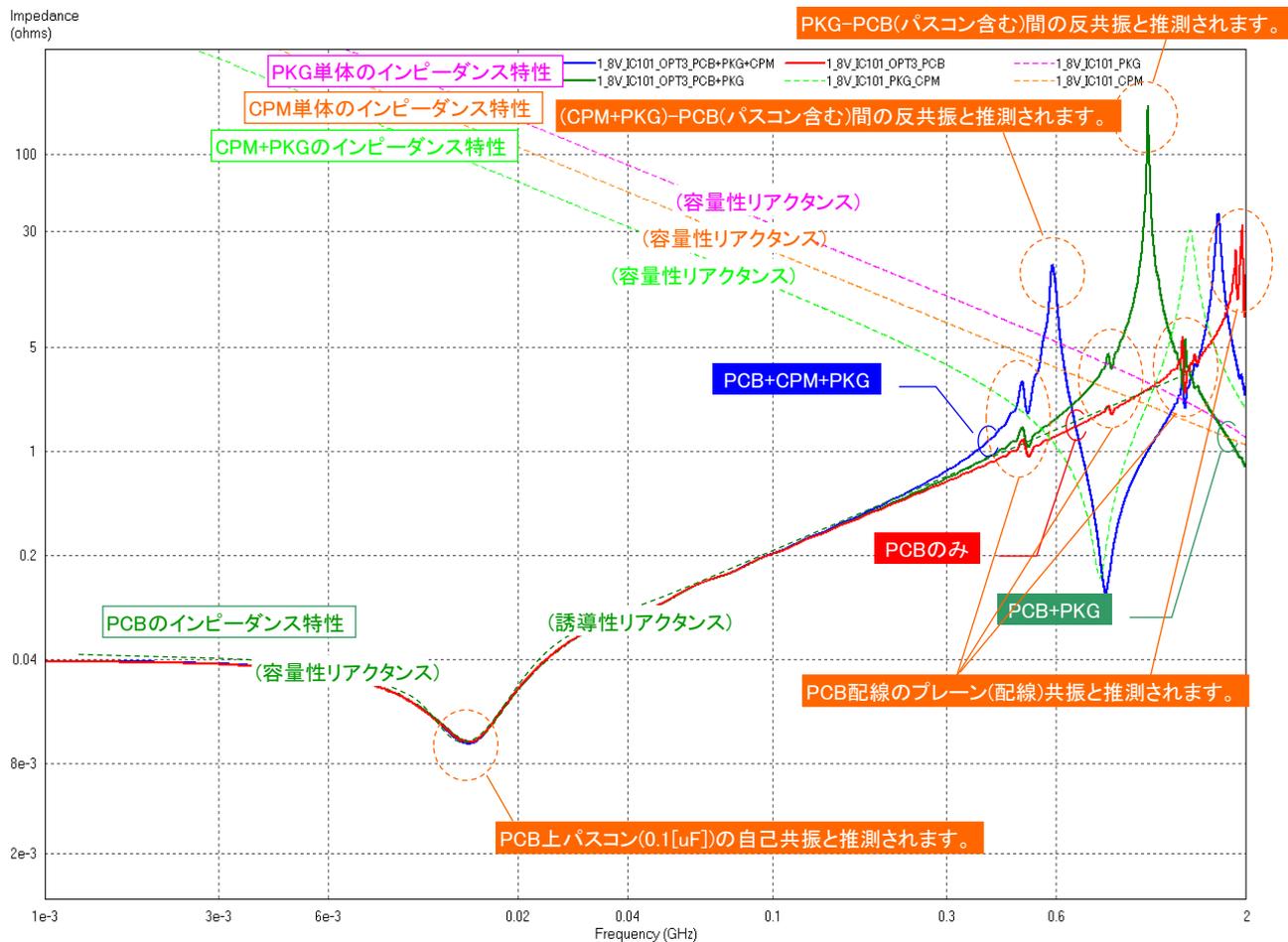
マザーボードの共振対策後に、BGA近辺に配置されているコンデンサーの容量を変化させた結果



BGA近辺のコンデンサーの値

- コンデンサーあり(0.1 μF, 0.58 nH, 0.28 Ω) } 電源インピーダンス安定 → EMI/ジッタ低減
- コンデンサーあり(0.01 μF, 0.59 nH, 0.23 Ω) } 電源インピーダンス安定 → EMI/ジッタ低減
- コンデンサーあり(1000 pF, 0.52 nH, 0.40 Ω) } 電源インピーダンス不安定 → EMI/ジッタ増加
- コンデンサーあり(100 pF, 0.82 nH, 0.20 Ω) } 電源インピーダンス不安定 → EMI/ジッタ増加

LSI/PKG/PWBの電源インピーダンス解析事例



✦ PI対応 まとめ

1. DC電圧ドロップ対策では、電源供給元からIC電源端子までの経路のDC抵抗を下げるのが有効である。
2. スイッチングノイズ対策では、ノイズ源となるICの動作を可能な限り最小とし、伝播経路となる電源経路にバイパスコンデンサを追加し、低インピーダンス化を図る。
3. インпут電源インピーダンスの反共振と動作周波数と一致すると大きな電源電圧変動が発生し、信号波形のジッタが増加することがある。

✦ CPMについて(1)

CPMに表現されている項目 (HSPICEフォーマット)

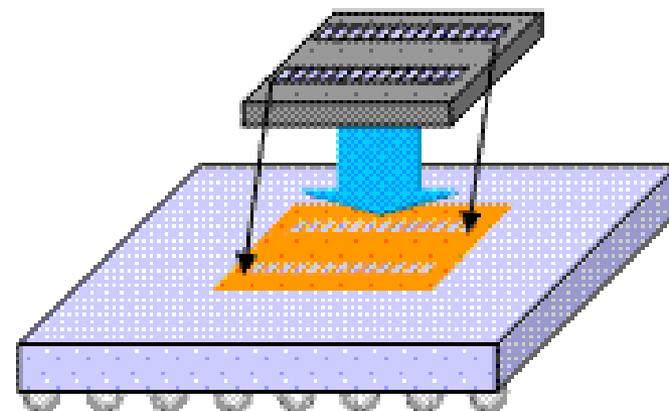
1. Chipのパッド配置・座標と及びグループ情報(CPP)
2. Chipの電源-グランド間の等価回路、寄生成分 (PDN)
3. Chipの電源-グランドに生じる電流の過渡波形(pwl)

CPP : Chip Package Protocol

チップのSPICEノードと物理的なパッド座標との対応をつける。

チップのパッド座標とパッケージの設計上にあるボンドパッドとを位置あわせし接続させる。

これにより、チップの等価モデルを形状ベースのシミュレーターで取り扱うことが可能となる。

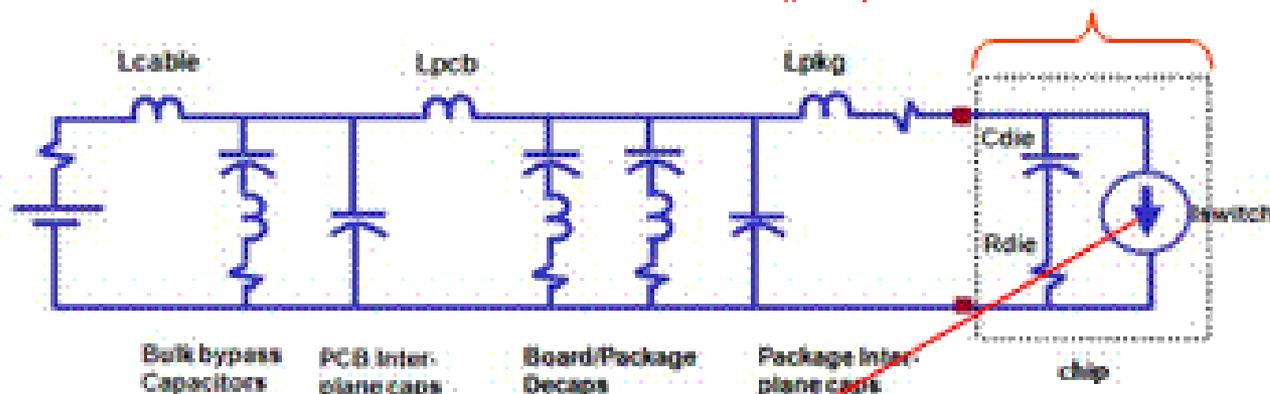


✦ CPMについて(2)

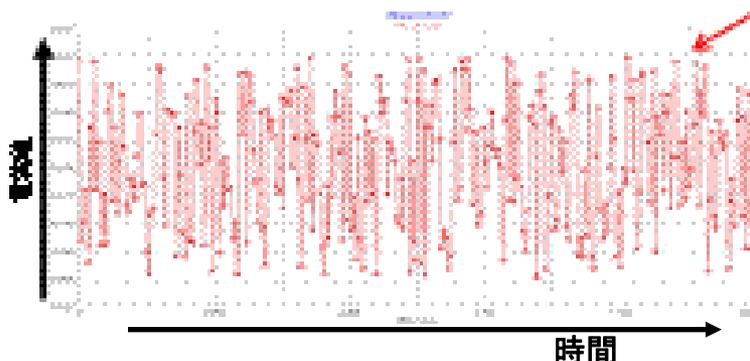
CPMに表現されている項目 (HSPICEフォーマット)

1. Chipのパッド配置・座標と及びグループ情報(CPP)
2. Chipの電源-グラウンド間の等価回路、寄生成分 (PDN)
3. Chipの電源-グラウンドに生じる電流の過渡波形(pwl)

PDN : Power Delivery Network

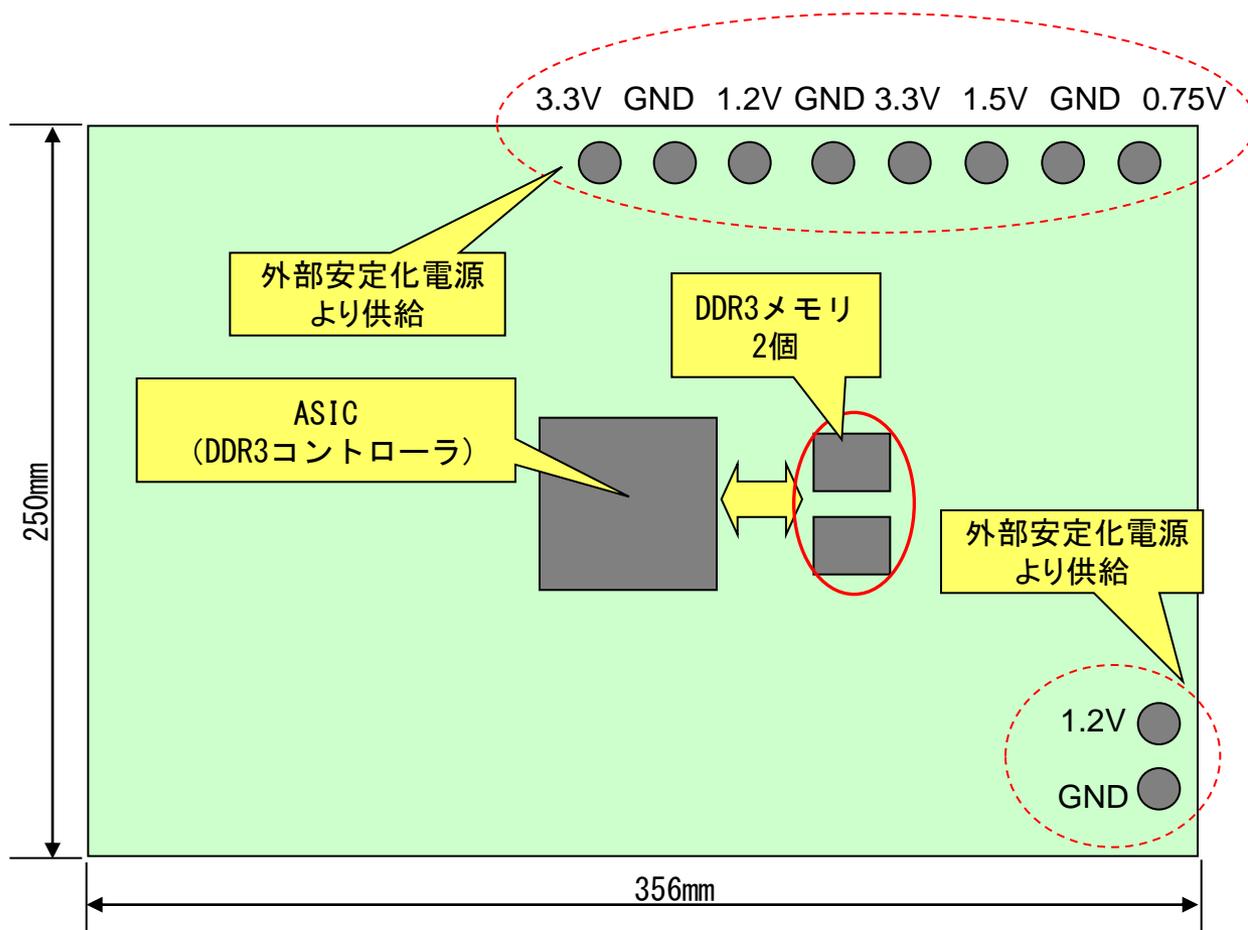


pwl : piecewise linear



Apache KK様ご提供

DDR3評価基板



評価基板イメージ図

層構成

	評価基板1 (MS構造)	
	厚み[μ m]	種別
1層	48	信号(65 Ω)
1-2層間	110	
2層	35	GND
2-3層間	1000	
3層	35	電源
3-4層間	110	
4層	48	信号(65 Ω)



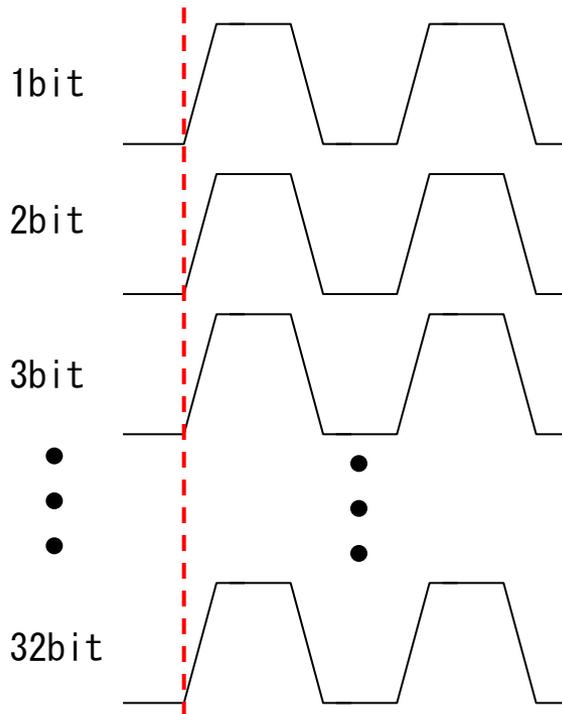
DDR3のデータ信号動作条件

<動作周波数>

660MHz : クロック、ストロブ、データ

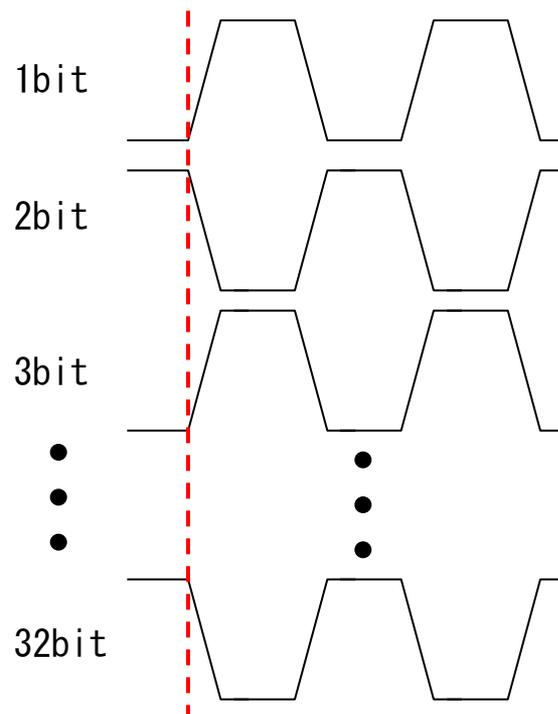
330MHz : アドレス、制御

1) EVENモード



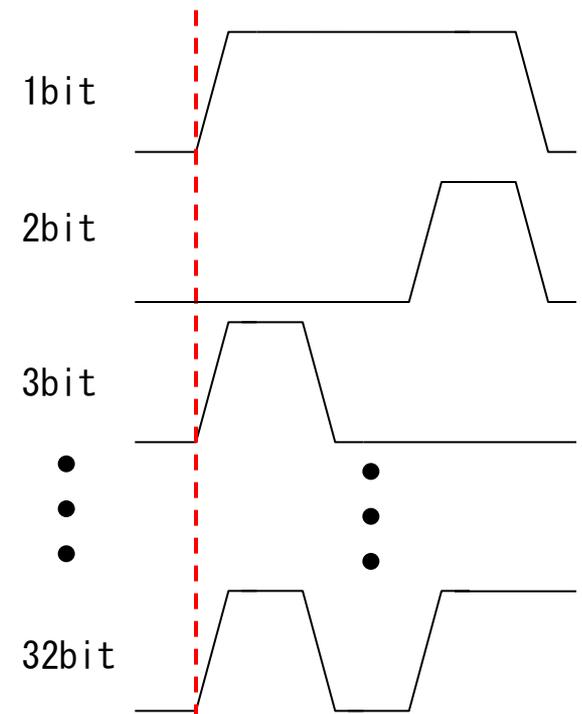
データ信号が同時に
スイッチングする場合

2) ODDモード



データ信号の奇数・偶数ビットが
交互にスイッチングする場合

3) PRBSモード

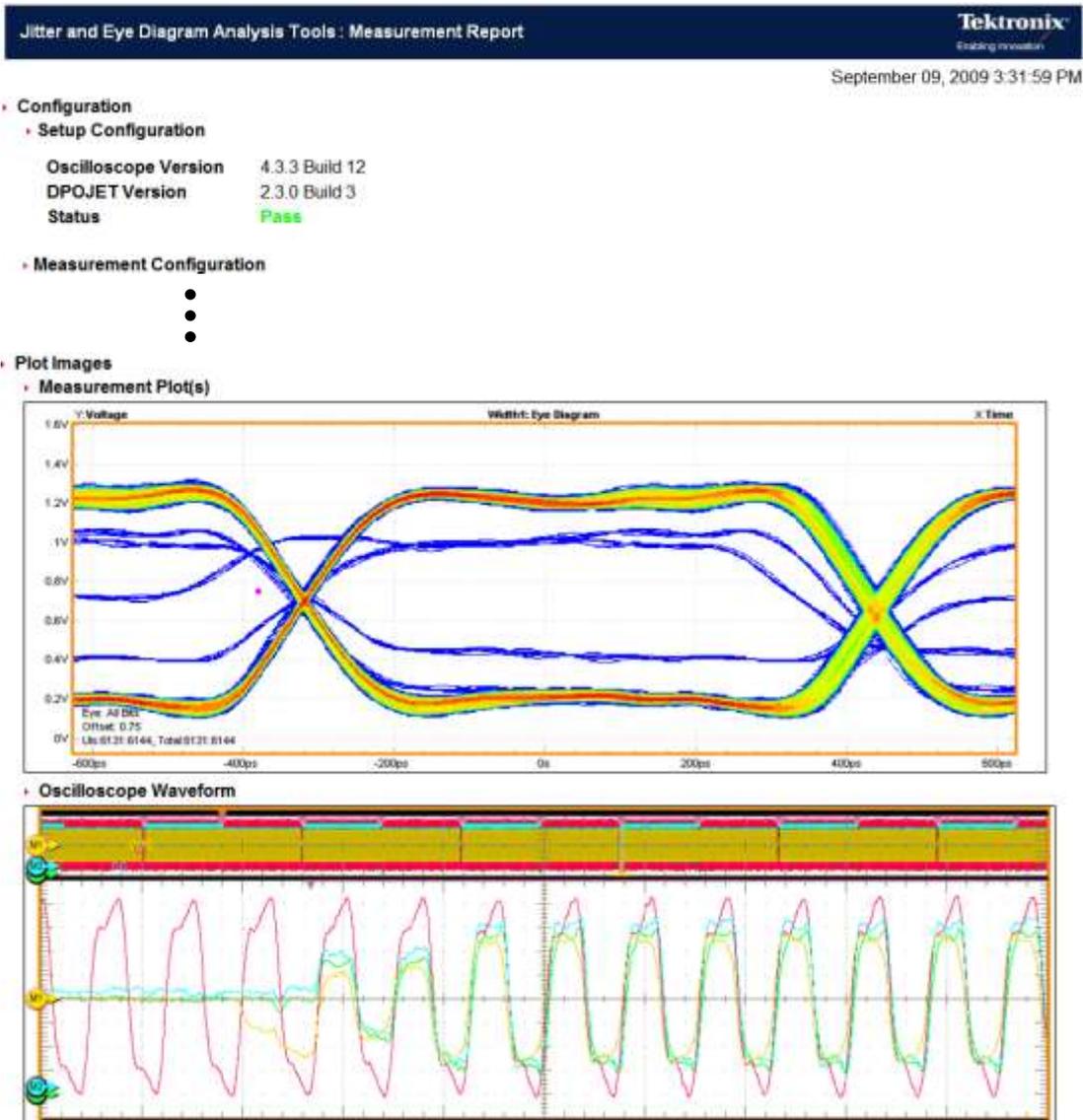


データ信号がランダムに
スイッチングする場合

✦ DDR3の動作波形の確認



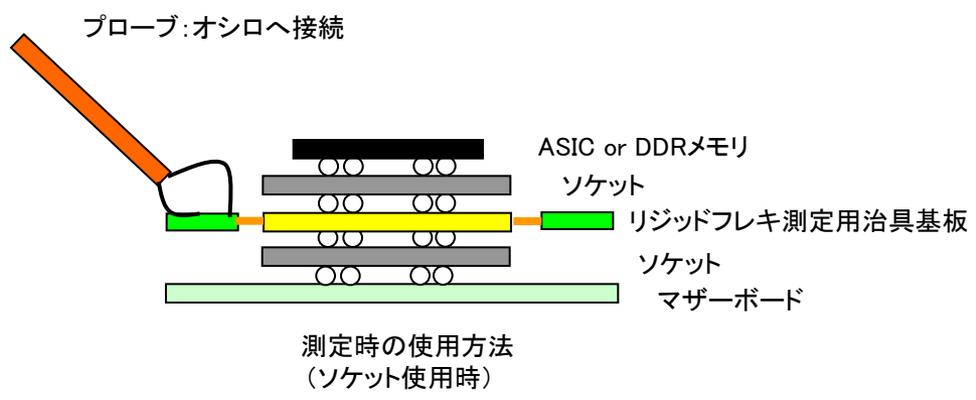
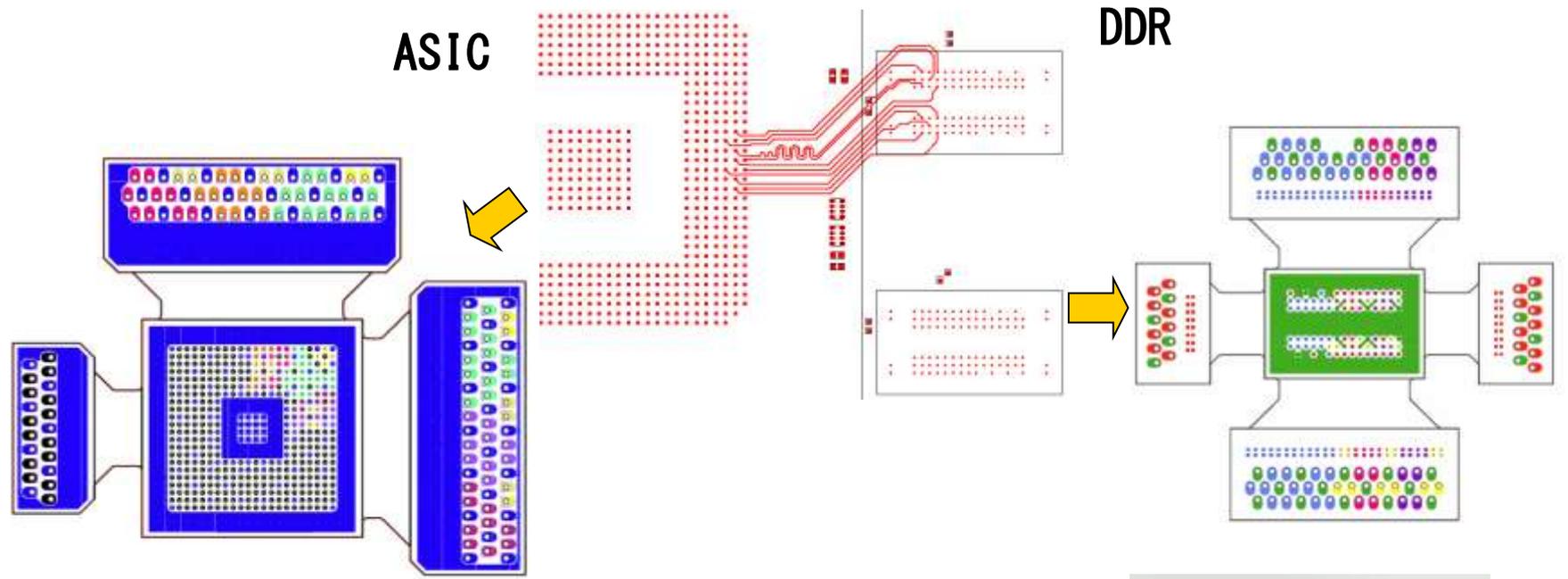
DDR3の動作波形の確認



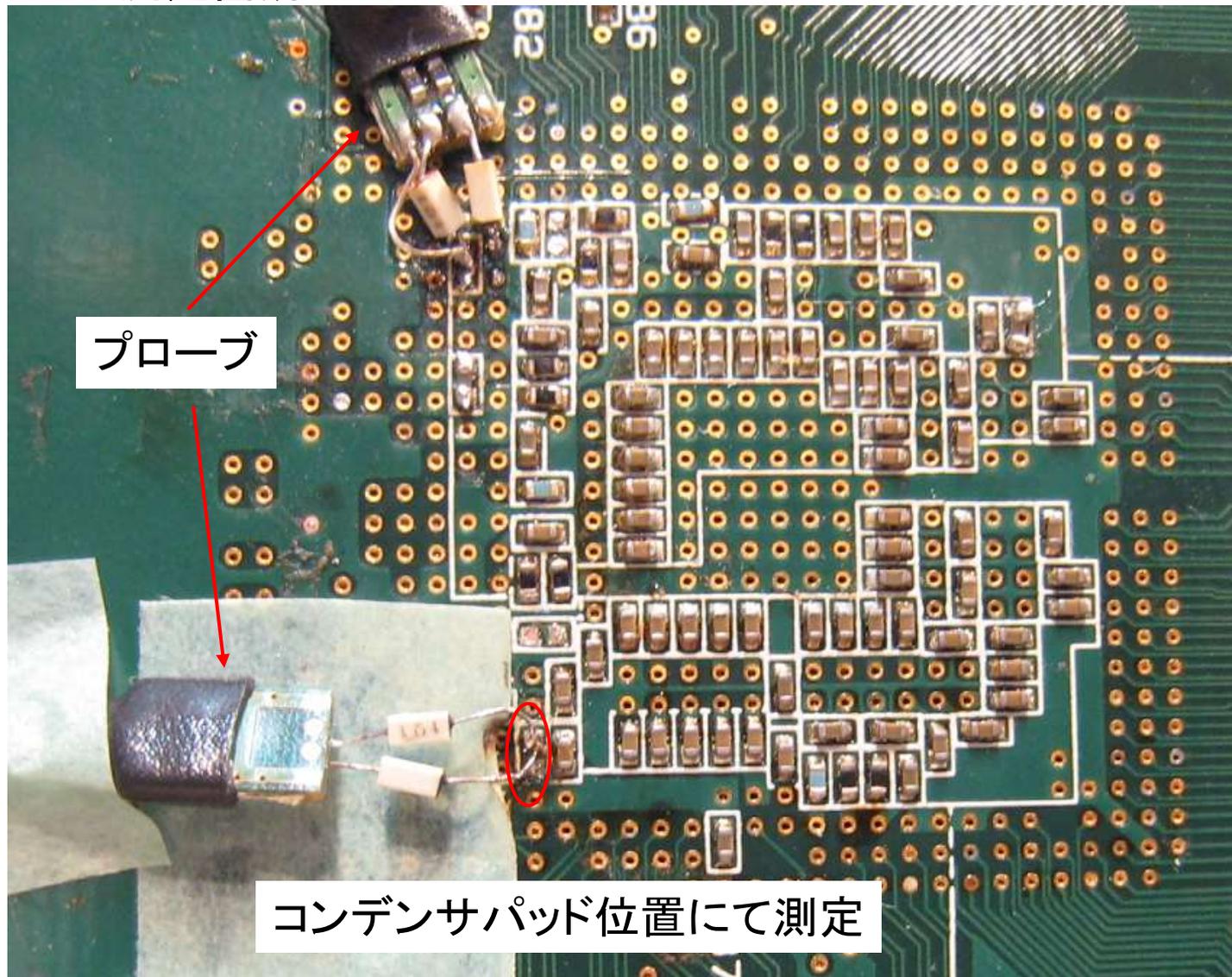
3. 実測とシミュレーション比較



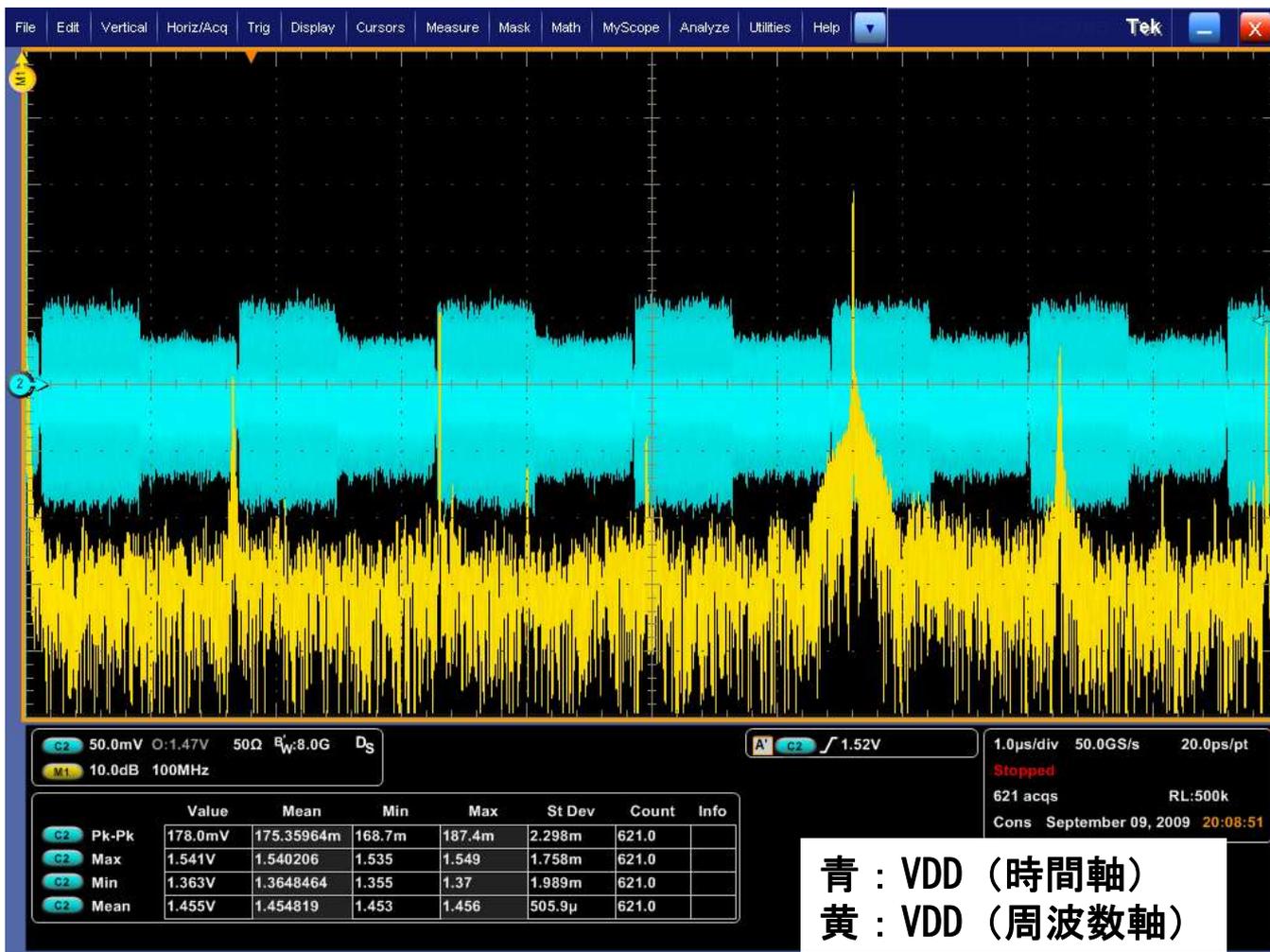
✦ 波形計測用治具 (リジッドフレキ基板)



電源ノイズ測定箇所



電源ノイズの測定条件



電源-GND間の
電圧波形を測定後
FFTにより
電源ノイズ成分を測定

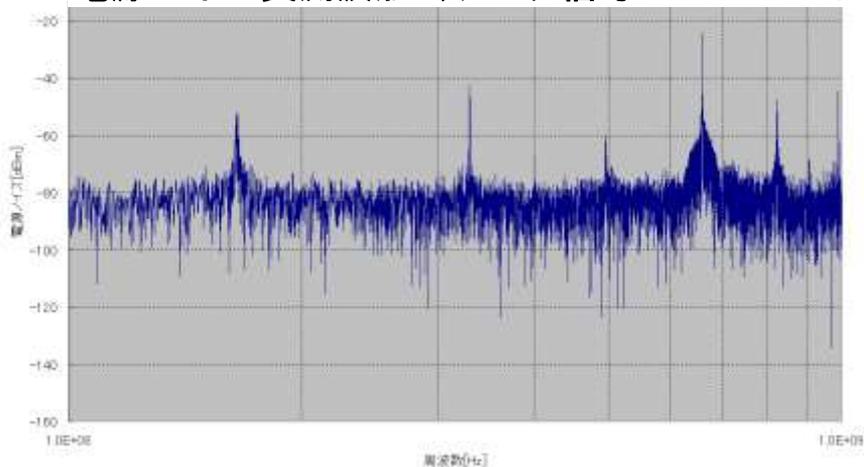
青 : VDD (時間軸)
黄 : VDD (周波数軸)

使用測定器
テクトロニクス
DSA72004B

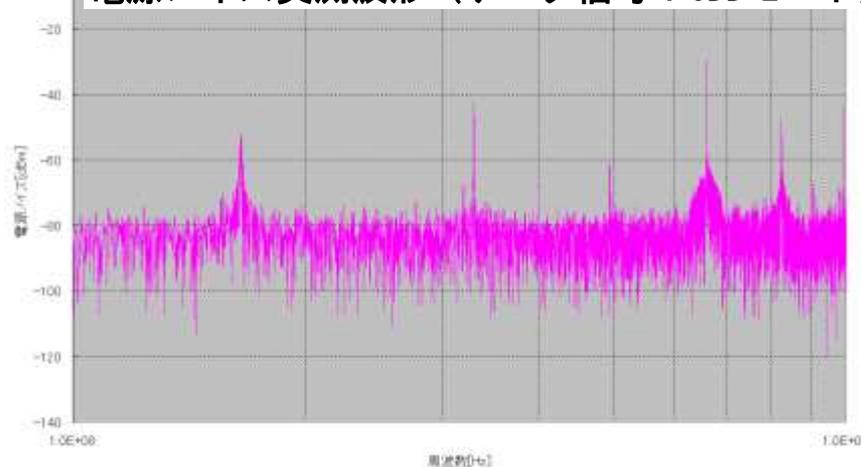


DDR3インターフェース駆動時の電源ノイズ測定(3)

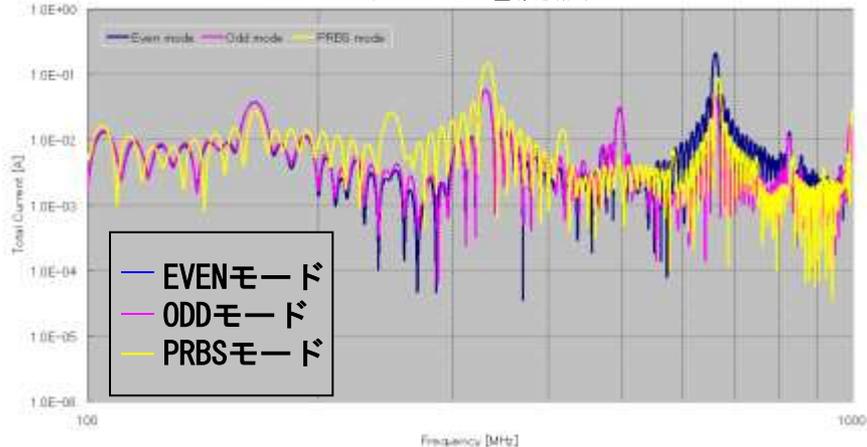
電源ノイズ実測波形 (データ信号 : EVENモード)



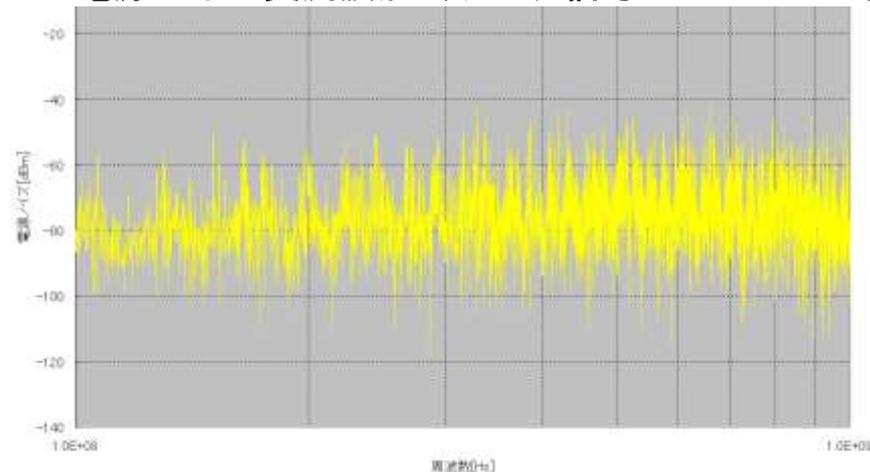
電源ノイズ実測波形 (データ信号 : ODDモード)



CPMIにおける電流波形

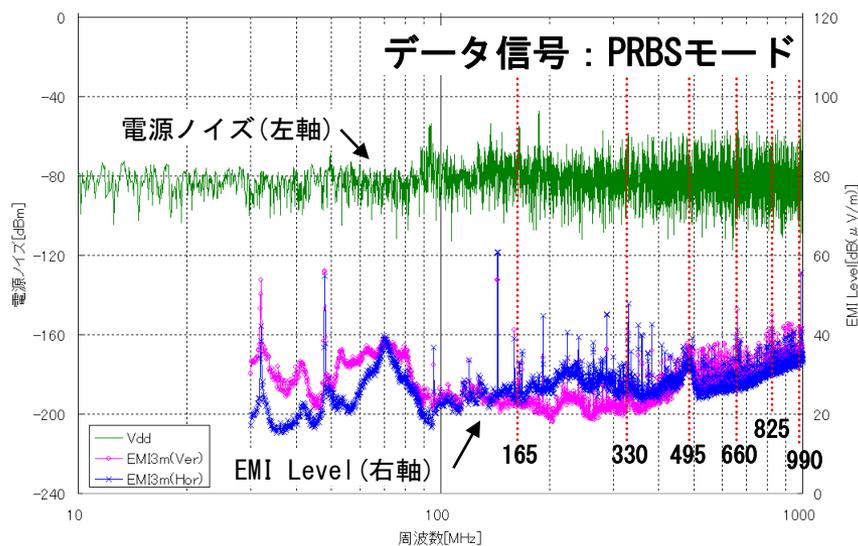
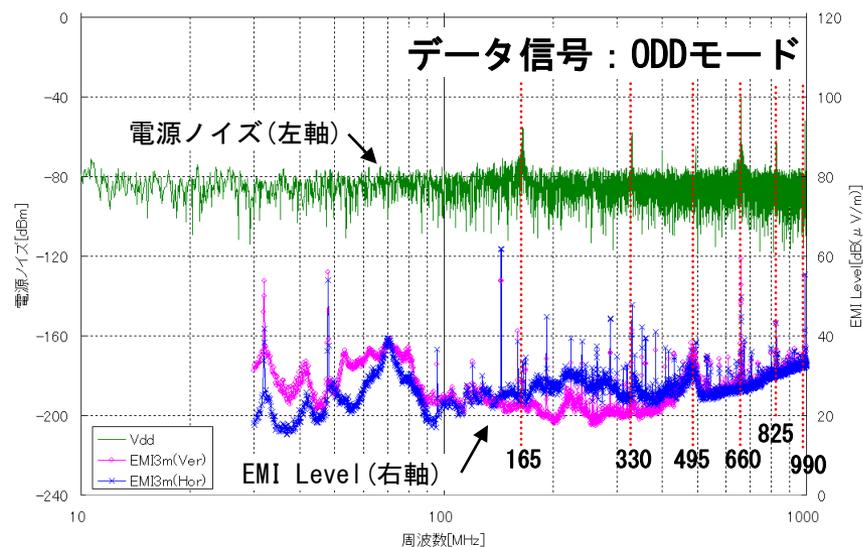
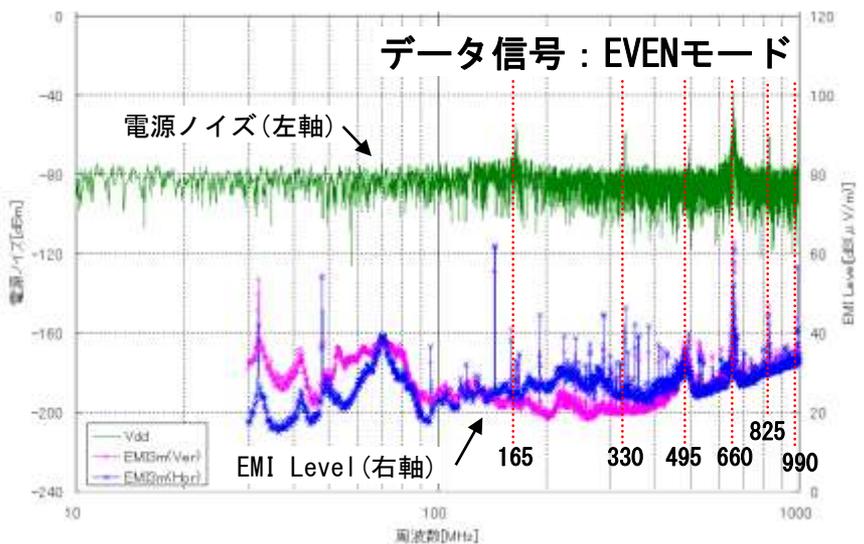


電源ノイズ実測波形 (データ信号 : PRBSモード)



電源ノイズ測定結果とEMI測定結果

1) ボード 1 (MS構造)

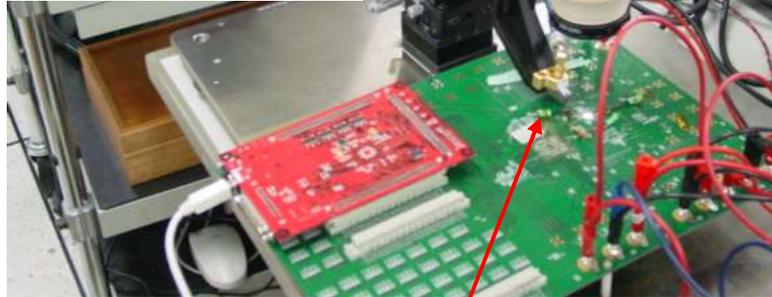


3. 実測とシミュレーション比較

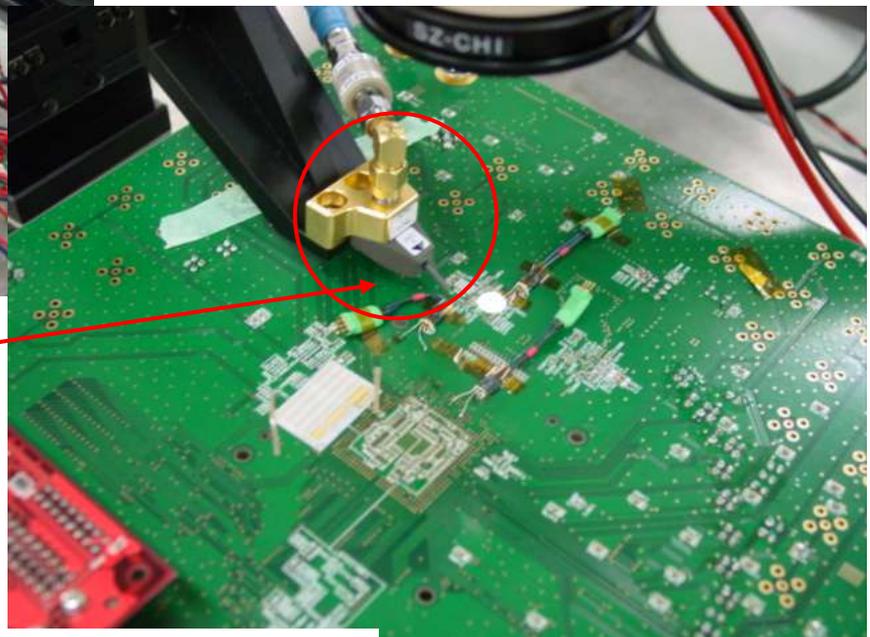
電源インピーダンス測定



ネットワークアナライザ



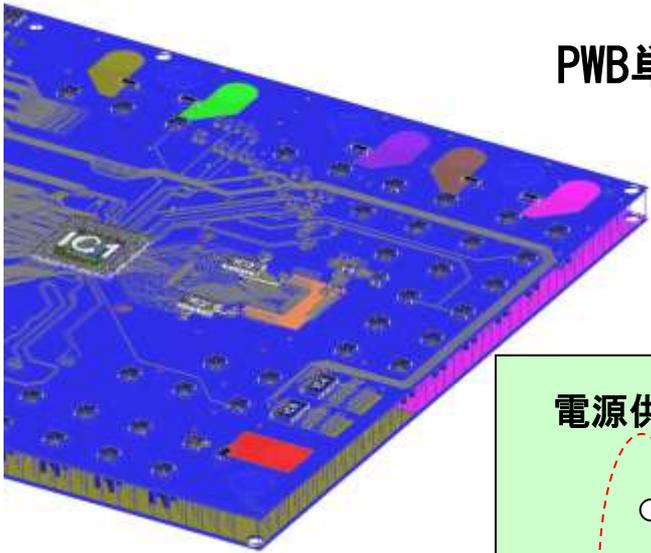
プローブ



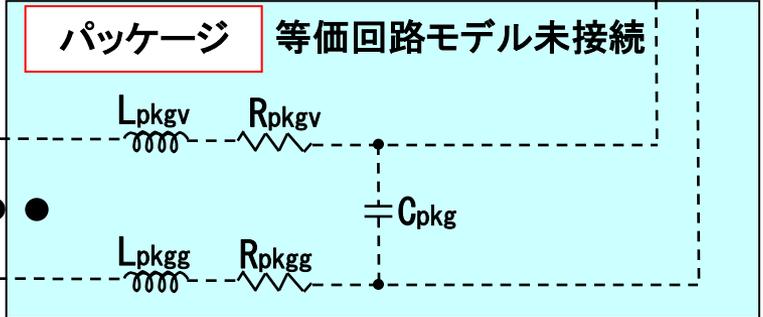
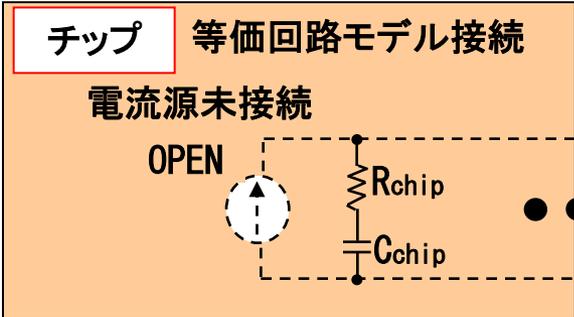
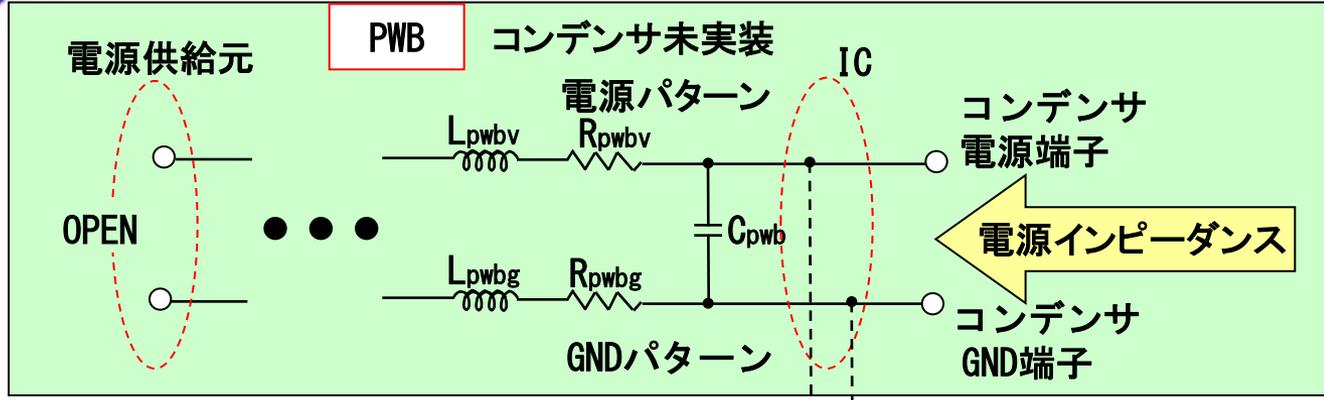
コンデンサパッド位置にて測定

3. 実測とシミュレーション比較

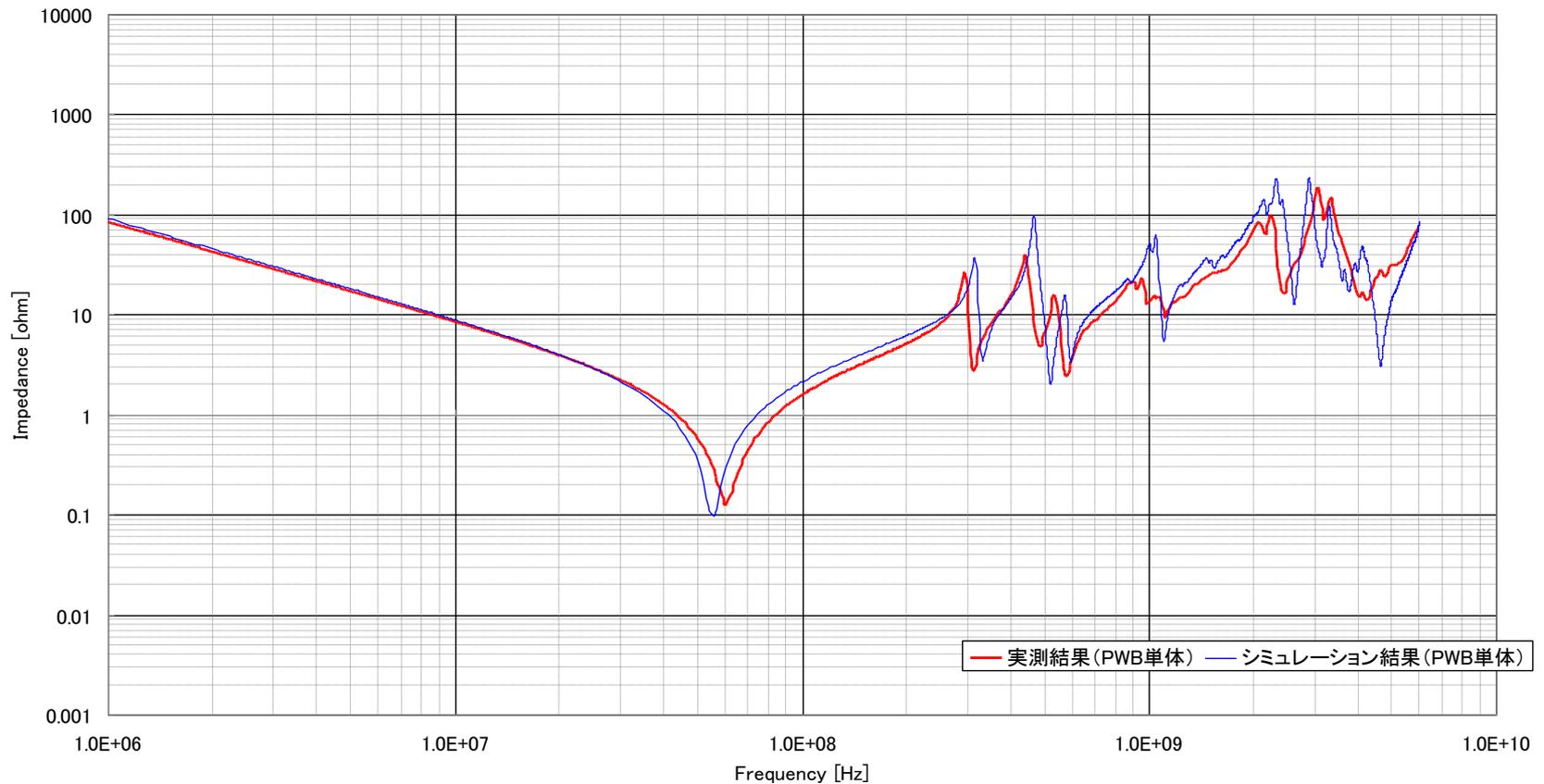
ボード単体の電源インピーダンスの実測とシミュレーション比較(1)



PWB単体の測定およびシミュレーションイメージ



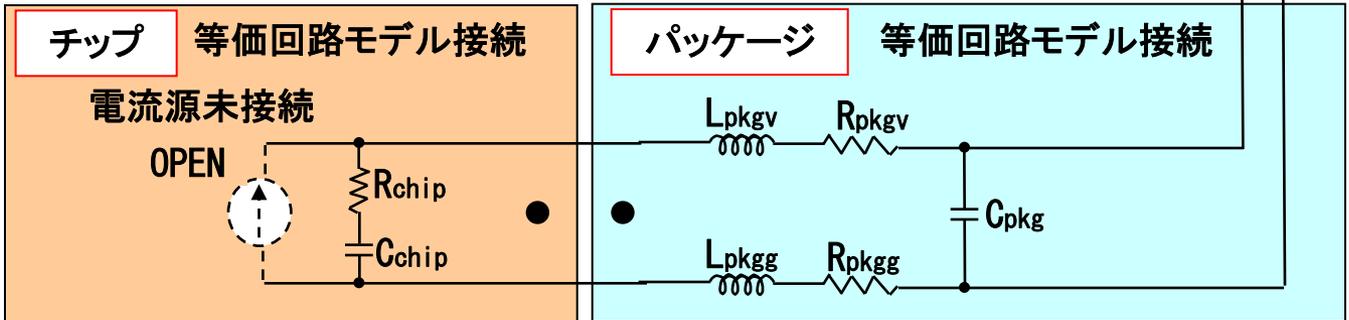
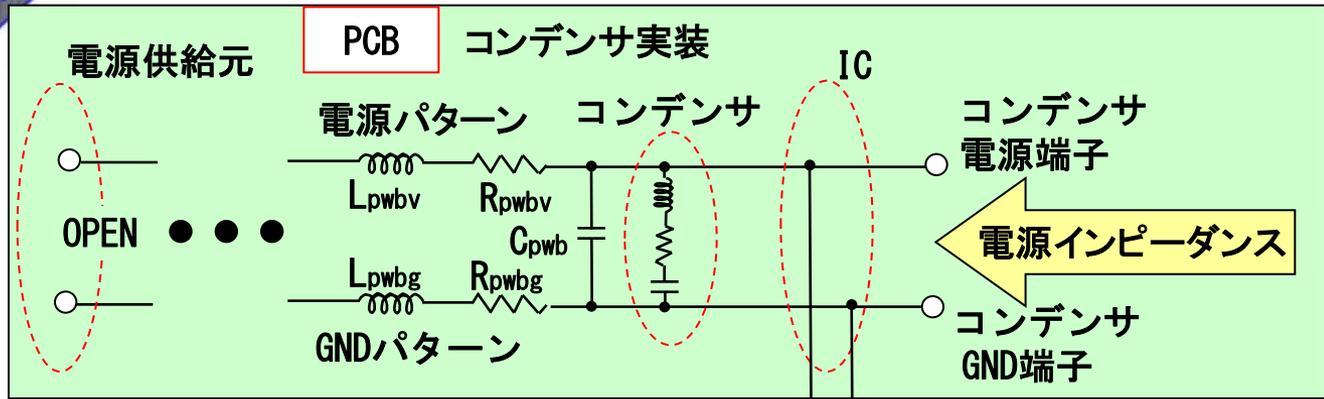
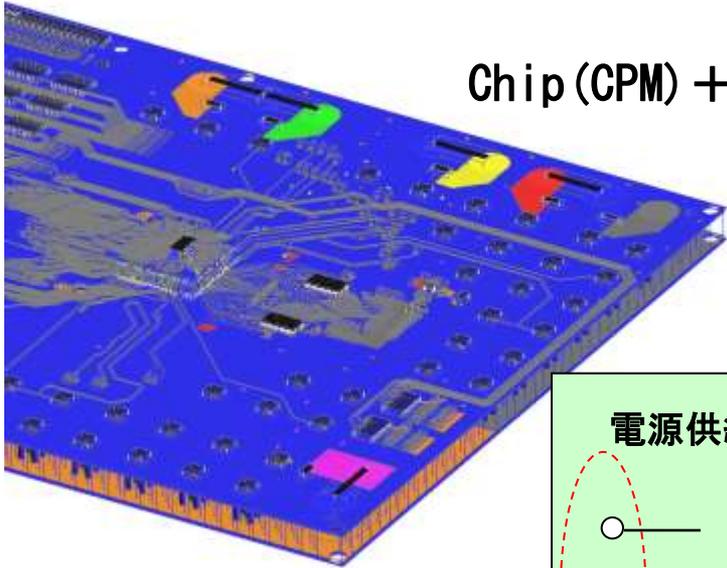
✦ ボード単体の電源インピーダンスの実測とシミュレーション比較(2)



3. 実測とシミュレーション比較

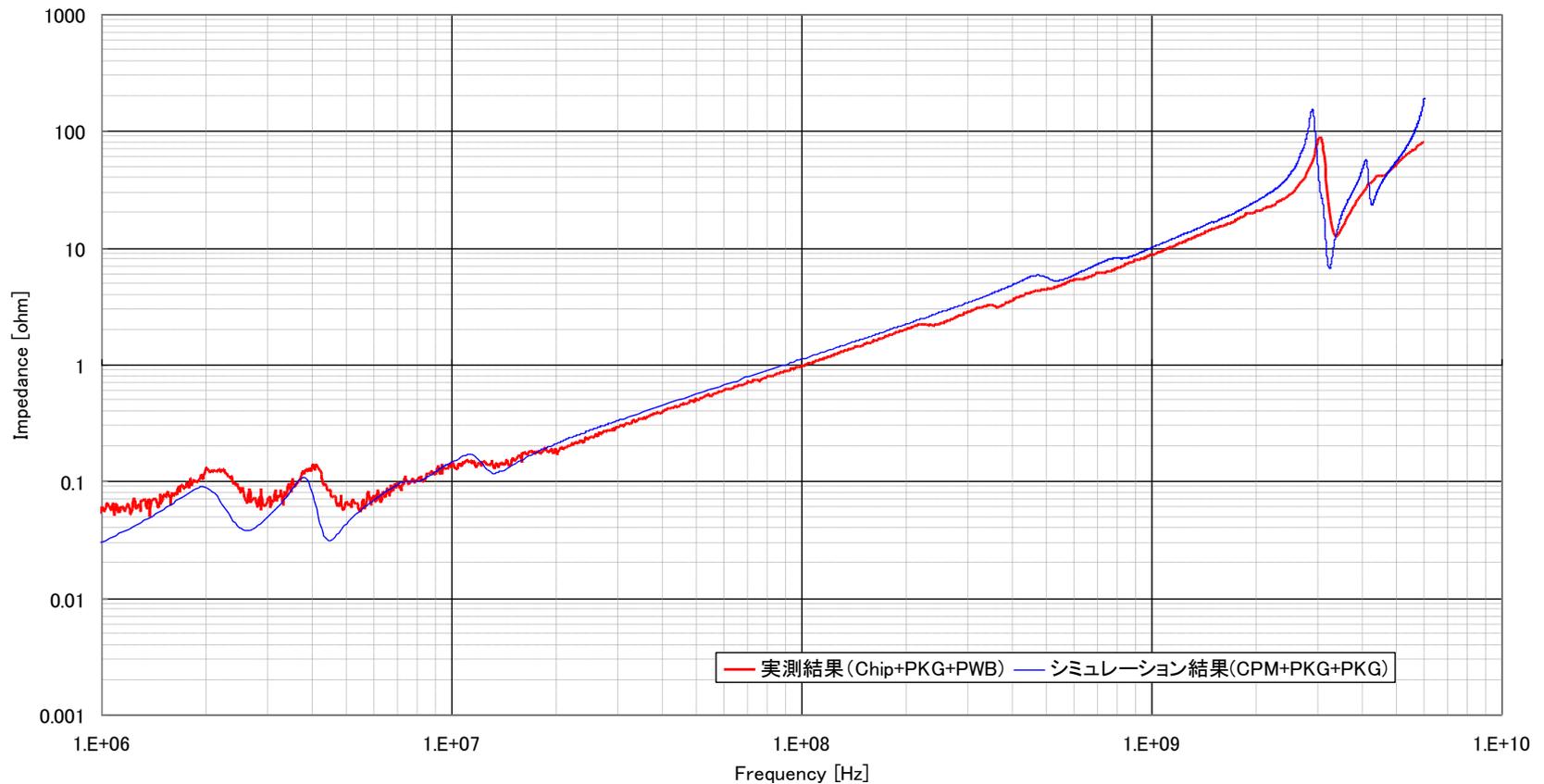
Chip+PKG+PCBの電源インピーダンスの実測とシミュレーション比較(1)

Chip (GPM) + PKG + PWBの測定およびシミュレーションイメージ

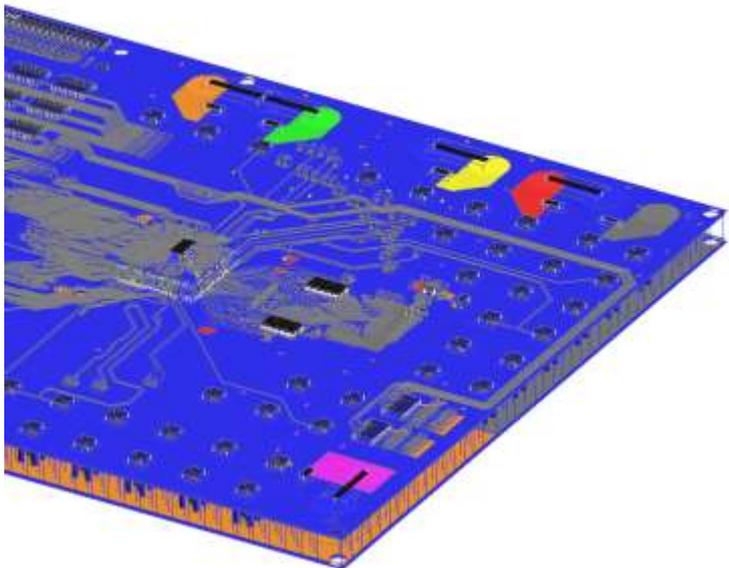


3. 実測とシミュレーション比較

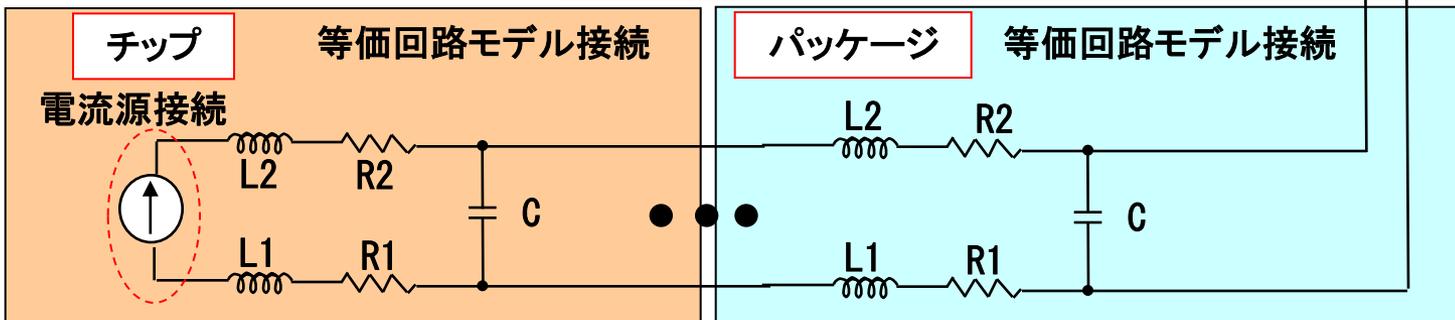
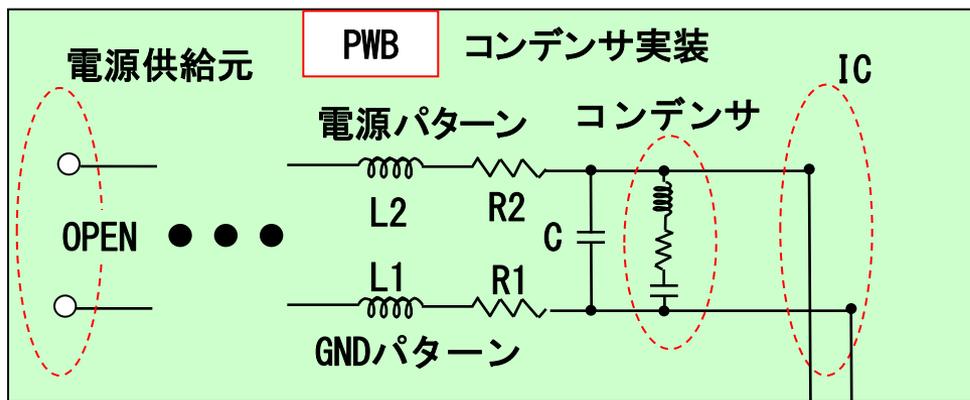
Chip+PKG+PCBの電源インピーダンスの実測とシミュレーション比較(2)



EMIシミュレーション条件



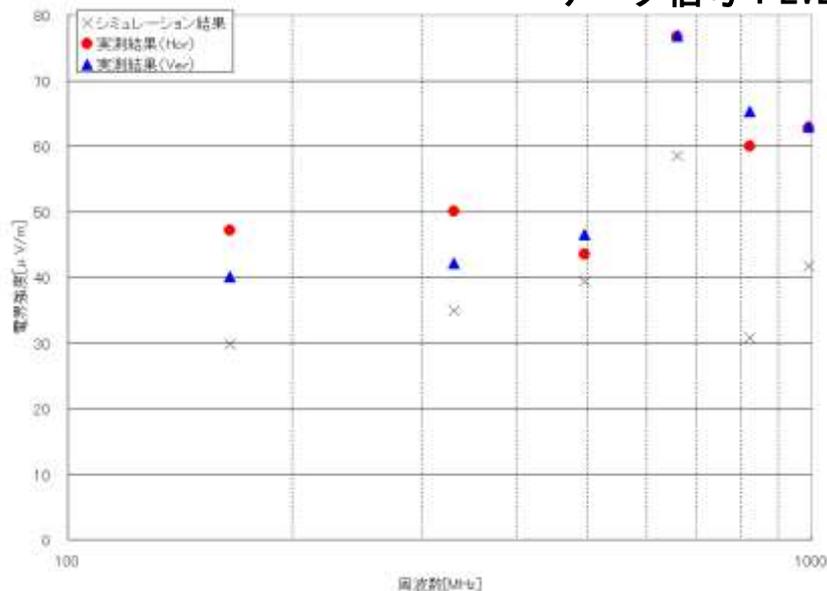
DDR3インターフェース電源の動作モードを再現した等価回路モデル



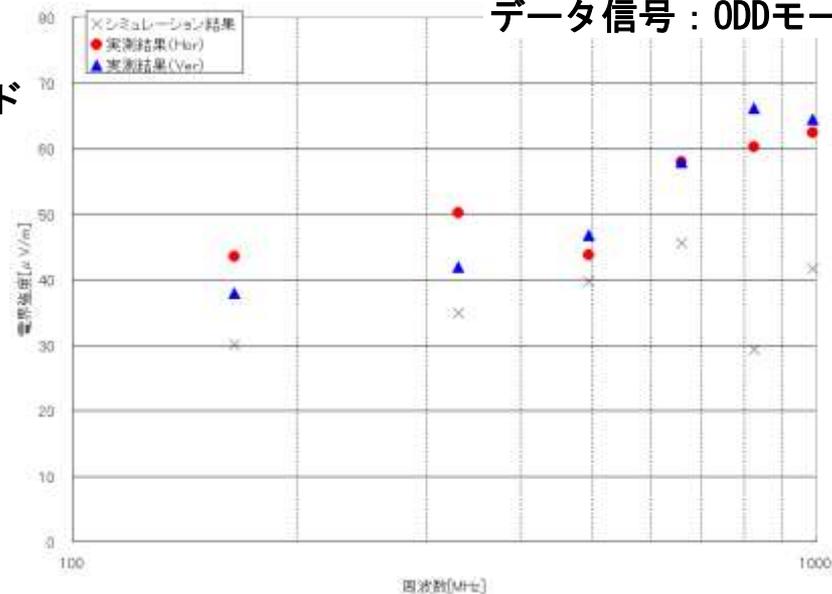
3. 実測とシミュレーション比較

EMI実測結果とシミュレーション比較

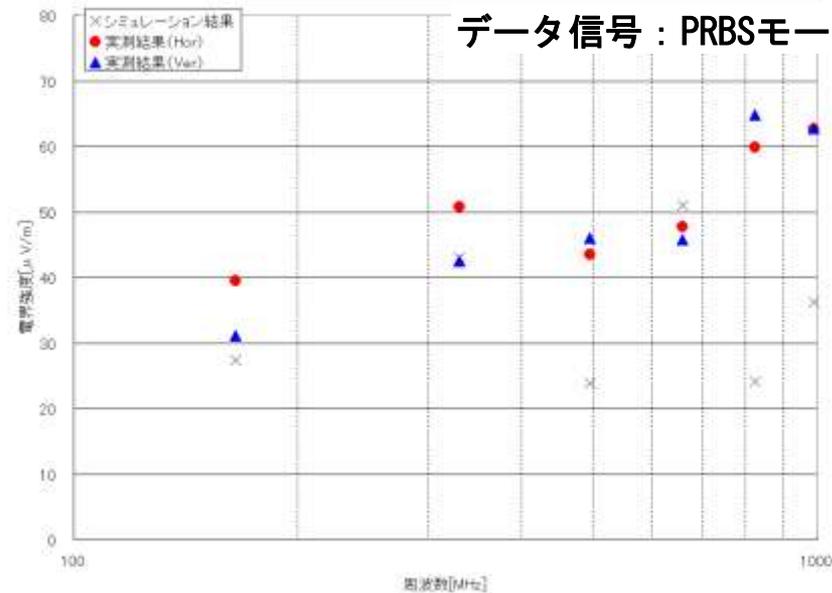
データ信号：EVENモード



データ信号：ODDモード



データ信号：PRBSモード



✦ DDR3の動作モードと電源ノイズ実測結果 まとめ

1. DDRインターフェースの動作モードによって、電源ノイズに含まれる周波数成分が異なることを確認した。
⇒RPBSモードではレベルが小さく、広帯域にノイズが発生している。
2. データ信号の動作周波数である660MHzのEMIは、電源ノイズに含まれている周波数成分同様に、動作モードによってレベルが異なることを確認した。
⇒EVENモードが最も大きく、PRBSモードでは小さくなっている。
3. チップパワーモデルに電流源波形が定義されていれば、電流源波形を元に、EMIシミュレーションを実施することが可能となる。
ただし、動作モードを考慮した電流源波形を作成する必要がある。



今後とも
トッパンNECサーキットソリューションズを
お引き立て頂けます様
よろしくお願ひ申し上げます。

お問合せ先

(株)トッパンNECサーキットソリューションズ 設計部
〒108-8536 東京都港区芝浦3-19-26 トッパン芝浦ビル
Tel: 03-5419-9717 Fax: 03-3457-6618
担当: 金子 (Email: toshiyuki.kaneko@tncsi.com)