

最新のDDRメモリの測定評価手法



テクトロニクス・イノベーション・フォーラム2012

高橋 誠

www.tektronix.com/ja

内容

はじめに

第1章 オシロスコープによる測定ソリューション

- 1.1 オシロスコープとプローブ
- 1.2 プロービング
- 1.3 測定
- 1.4 解析
- 1.5 推奨機器構成
- 1.6 補足

第2章 ロジック・アナライザによる測定ソリューション

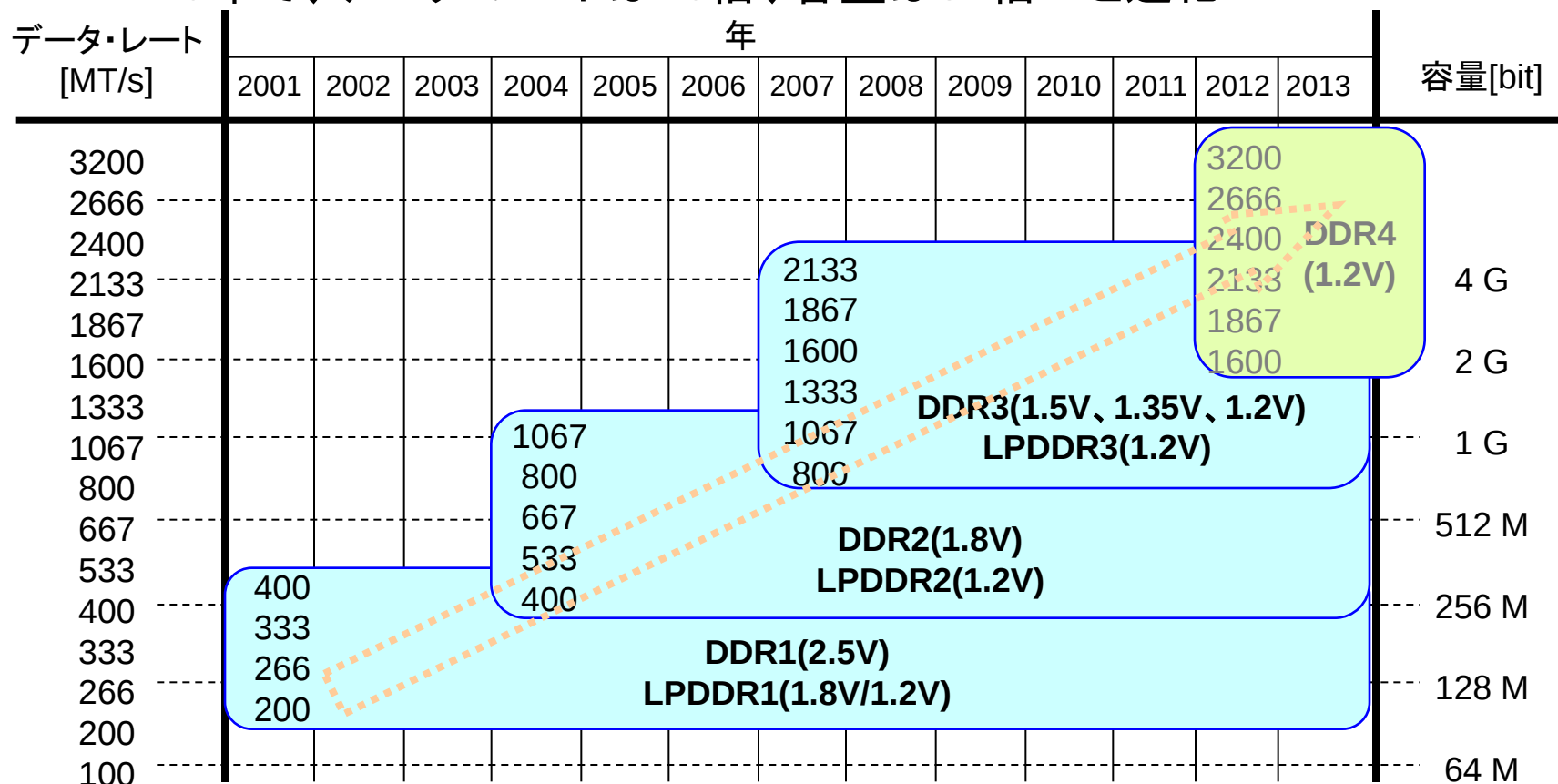
- 2.1 次世代のシステム検証
- 2.2 簡単なセットアップ
- 2.3 ステート、タイミング解析
- 2.4 プロトコル解析
- 2.5 推奨機器構成
- 2.6 補足

まとめ

はじめに

■ DDRメモリのトレンド

— 10年で、データ・レートは10倍、容量は32倍へと進化



- 様々な世代とデータ・レートが存在・・・複数の世代の対応が必要
- 高速化と低電圧化・・・信頼性の高いプロービングが必要
- 厳しさ増す業界再編・・・部品認定に向けメモリ・インタフェースの評価は重要
- 動作の確証・・・部品の安定供給・製品の信頼性のリスク回避と不具合への対応も重要

MT/s: Mega Transfer Per Second

1.1 オシロスコープとプローブ オシロスコープの目安

■ 帯域の目安は5次高調

メモリの世代とデータ・レート [MT/s]				基本周波数 [MHz]	5次高調波 [MHz]	オシロスコープ		
DDR	DDR2	DDR3	DDR4 *			MSO70000C DSA70000C	DPO7000C	MSO5000 DPO5000
			4266	2133	10665	12.5G	-	-
			3733	1867	9335	12.5G	-	-
			3200	1600	8000	8G	-	-
			2666	1333	6665	8G	-	-
			2400	1200	6000	6G	-	-
		2133	2133	1066	5330	6G	-	-
		1867	1867	933	4665	6G	-	-
		1600	1600	800	4000	4G	-	-
		1333		667	3335	4G	3.5G	-
	1066	1066		533	2665	4G	3.5G	-
	800	800		400	2000	4G	2.5G	2G
	667			333	1665	4G	2.5G	2G
	533			266	1330	4G	2.5G	2G
400	400			200	1000	4G	1G	1G
333				166	830	4G	1G	1G
266				133	665	4G	1G	1G
200				100	500	4G	1G	1G

*: DDR4は、想定されるデータ・レートを記述してます。

MT/s: Mega Transfer Per Second

■ 立上り時間の目安は、2倍

タイプ別メモリと 代表データ・レート	最大SEスルー・レート	信号スウィングの代表値	測定対象の立上り時間	高精度測定のための オシロスコープの立上り時間	推奨オシロスコープ
DDR-400	5 V/ns	1.8 V	180 ps	90.0 ps	MSO/DSA70404C
DDR2-800	5 V/ns	1.25 V	125 ps	62.5 ps	MSO/DSA70604C
DDR3-1600	5 V/ns	1.0 V	100 ps	50.0 ps	MSO/DSA70804C

1.1 オシロスコープとプローブ プローブの目安

■ 帯域の目安は5次高調

メモリの世代とデータ・レート [MT/s]				基本周波数 [MHz]	5次高調波 [MHz]	プローブ			
DDR	DDR2	DDR3	DDR4 *1			P7500	P7300	TDP	TAP
			4266	2133	10665	P7513A	P7313	-	-
			3733	1867	9335	P7513A	P7313	-	-
			3200	1600	8000	P7508	P7380A	-	-
			2666	1333	6665	P7508	P7380A	-	-
			2400	1200	6000	P7506	P7360A		
		2133	2133	1066	5330	P7506	P7360A	-	-
		1867	1867	933	4665	P7506	P7360A	-	-
		1600	1600	800	4000	P7504	P7340A	-	-
		1333		667	3335	P7504	P7340A	TDP3500	TAP3500
	1066	1066		533	2665	P7504	P7340A	TDP3500	TAP3500
	800	800		400	2000	P7504	P7340A	TDP3500	TAP2500
	667			333	1665	P7504	P7340A	TDP3500	TAP2500
	533			266	1330	P7504	P7340A	TDP1500	TAP1500
400	400			200	1000	P7504 *2	P7340A	TDP1500	TAP1500
333				166	830	-	P7340A	TDP1500	TAP1500
266				133	665	-	P7340A	TDP1500	TAP1500
200				100	500	-	P7340A	TDP1500	TAP1500

*1: DDR4は、想定されるデータ・レートを記述してます。

*2: DDR2にお使い下さい。

立ち上がり時間に関しては、オシロスコープの目安を参照して下さい。

MT/s: Mega Transfer Per Second

1.2 プロービング

課題：信頼性の高いシグナル・インテグリティ

■ FBGA(Fine Ball Grid Array)

－ 問題点

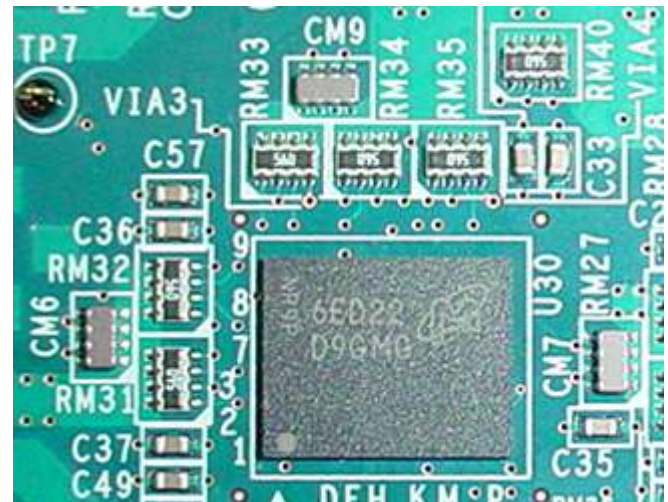
- ・ 信号端子がデバイス真下に位置
- ・ パターンの途中にプローブすると、反射による段差が発生

－ 解決方法

- ・ ソルダージン
- ・ 配線が裏面にある場合、設計段階からビアを設けておく
- ・ クロック、DQ、DQSの最短、最長ラインの受信端、隣接する信号とのギャップが厳しくクロストークの不安がある信号

－ 注意点

- ・ ビアのレジストは抜いておく
- ・ スタブ(分岐配線)を最小に



ビア設置例(株式会社アルティマ Tanzanite)



端子直近にビア配置し測定用にレジスト除去

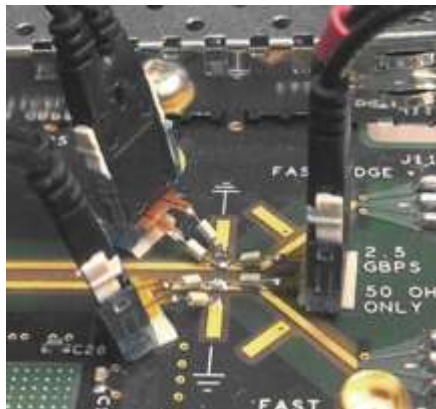
1.2 プロービング ソルダースイン例

P7500シリーズ



専用のソケットケーブル
とマイクロ同軸チップ

P7300シリーズ



専用のチップ・クリップ・アダプタ

TDP3500型



専用の直結タイプのリー
ド付抵抗



専用のアダプタとリード
付抵抗

TDP1500型



専用のアダプタとリード
付抵抗

TAP3500/2500型



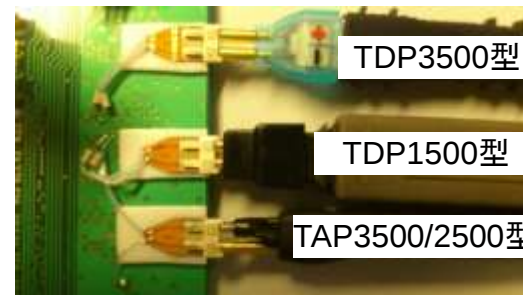
アダプタとグランド・ピン
とリード付抵抗

TAP1500型



アダプタとグランド・ピン
とリード付抵抗

その他



フレックス・アダプタとリード付抵抗

1.2 プロービング インタポーザ

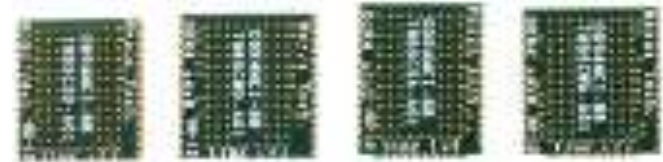
■ ダイレクト・アーキテクチャ

- DDR4(NEX-DDR4MCIシリーズ)
- DDR3(NEX-DDR4MCIシリーズ)
- DDR2(NEX-DDR2MCIシリーズ)
- GDDR5(NEX-GDDR5MCIシリーズ)
- ダイレクト・アーキテクチャの特長
 - ローコスト

ダイレクト・タイプの
DDR4インタポーザ



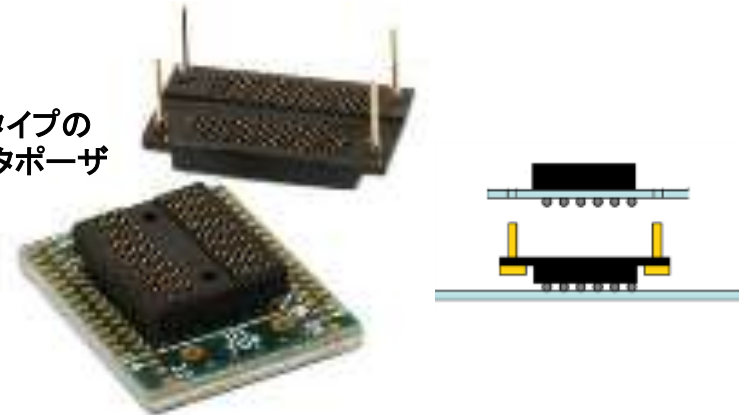
新製品！



■ ソケット・アーキテクチャ

- DDR4(NEX-DDR4MPシリーズ)
- DDR3(NEX-DDR3MPシリーズ)
- DDR2(NEX-DDR2MPシリーズ)
- LPDDR2(NEX-LPDDR2PoPシリーズ)
- LPDDR(NEX-LPDDR1MPシリーズ)
- GDDR5(NEX-GDDR5MPシリーズ)
- BGAソケット・アーキテクチャの特長
 - ロジアナ用とオシロスコープ用インタポーザの交換が容易
 - メモリICの交換が容易
 - インタポーザは再利用可能
 - 専用ソケットによりインタポーザの勘合に配慮
 - 直近のチップ部品の障害回避

ソケット・タイプの
DDR4インタポーザ



■ MSO用DIMMアーキテクチャ

- DDR3(NEX-DDR3INTR-MSO)

MSO用の
DDR3 DIMMインタポーザ



1.3 測定

課題：メモリ・サイクル切り分け、サイクル負荷

■ DQS信号とDQ信号は双方向

－ 問題点

- ・ メモリ・サイクルの切り分け
- ・ メモリ・サイクルの負荷の状態

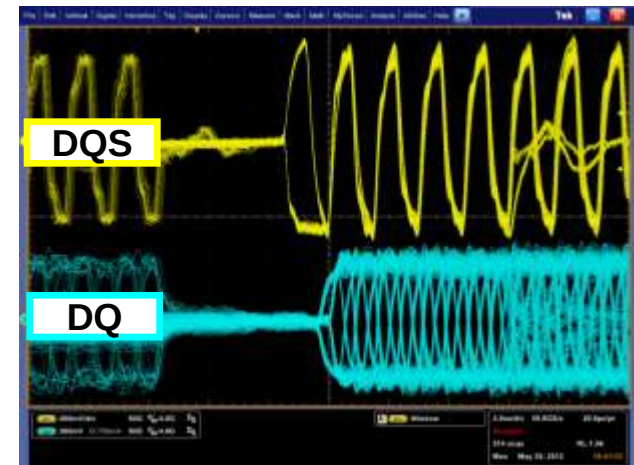
－ 解決方法

- ・ トリガーによる切り分け
 - ・ Pinpointトリガー
 - ・ コマンド・トリガー
 - ・ Visualトリガー
- ・ ポスト・プロセッシングによる切り分け
 - ・ DDRA(サーチ／マーク)
- ・ 負荷の重いメモリ・サイクル

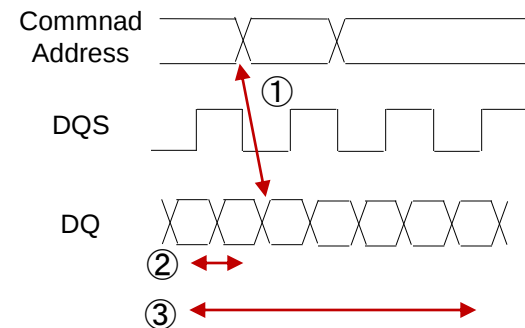
－ 注意点

- ・ トリガーは、一度に一か所測定
- ・ ポスト・プロセッシングは全エッジ測定

リードとライトのバーストが混在



負荷の重いメモリ・サイクル



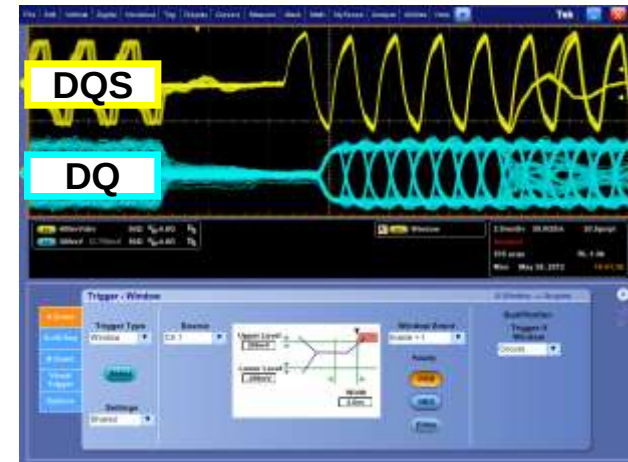
- ①コマンド／アドレスの影響
- ②データの同時スイッチングの影響
- ③データ・パターン依存度

1.3 測定

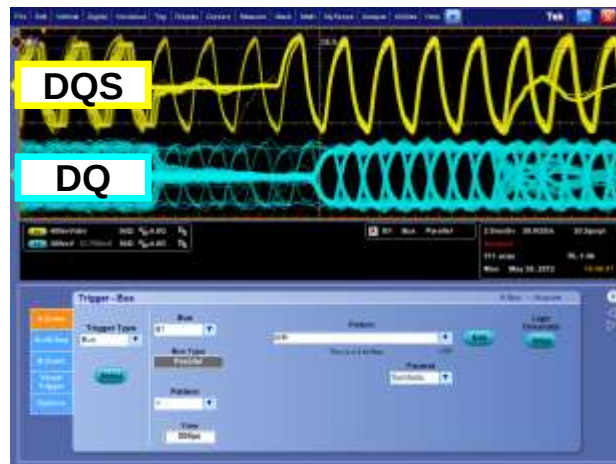
メモリ・サイクルの切り分け(トリガー)

- Pinpointトリガー
 - 強力で多彩なハード・トリガー
 - 高速取込みのDPX可能
- コマンド・トリガー
 - MSO70000C / MSO5000シリーズ
 - CS/RAS/CAS/WEのパターンをコマンドで設定
 - 高速取込みのDPX可能
- Visualトリガー
 - 管面に直感操作のソフト・トリガー

Pinpointトリガーによるライトの切り分け



ライト・コマンドによるライトの切り分け

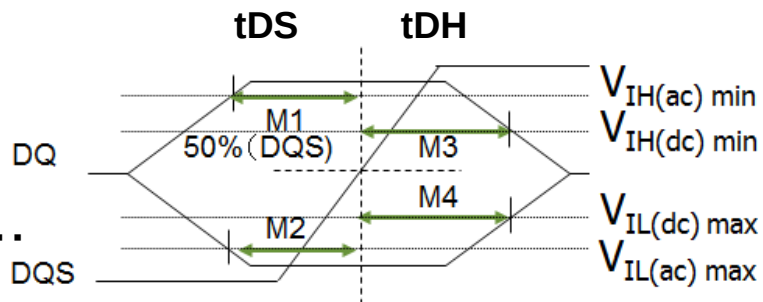


Visualトリガーによるライトの切り分け

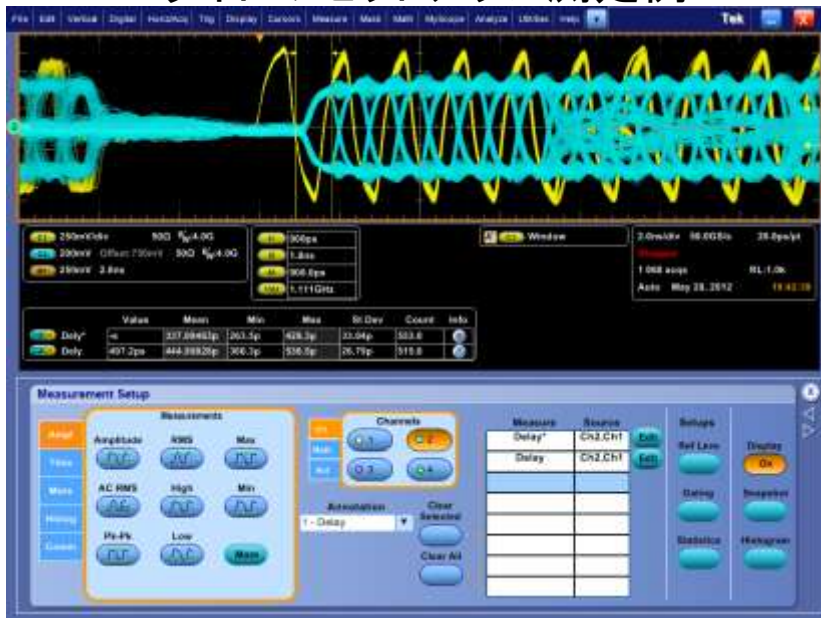


マニュアル測定

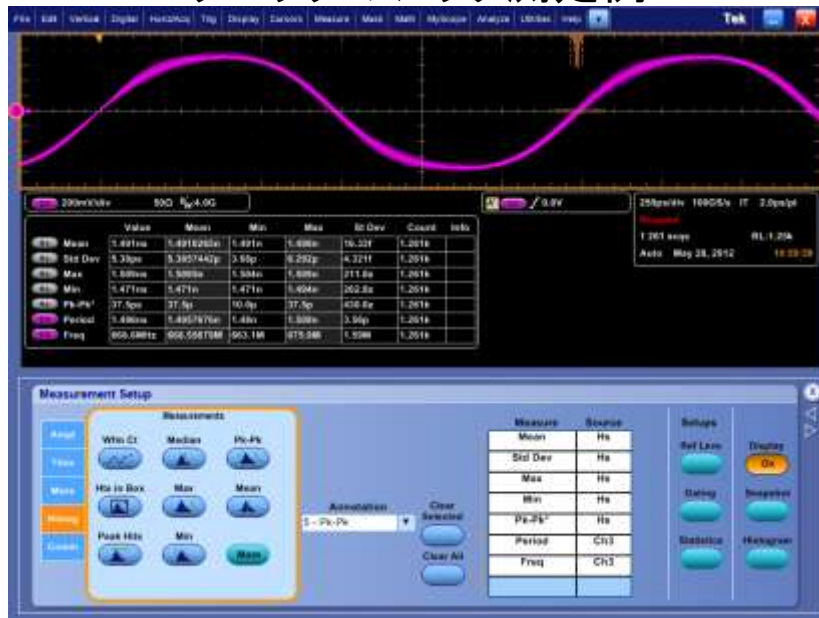
- サイクル間の依存状況が不明



ライトのセットアップ測定例



クロックのジッタ測定例



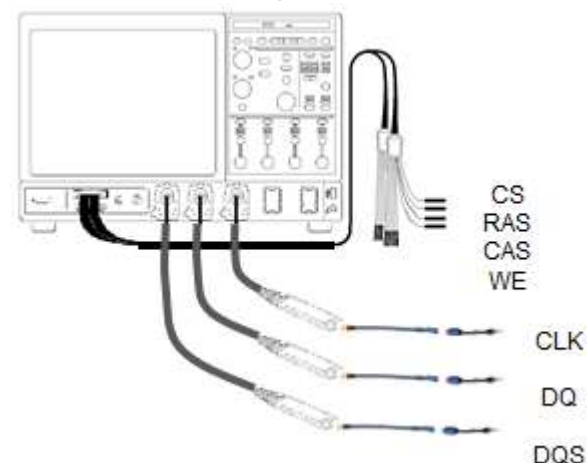
1.3 測定

DDR解析ソフトウェア(DDRA) -1

特長

- 簡単な接続
- 簡単操作のコンフィグレーション・ウィザード
- さまざまなDDRに対応
 - DDR/2/3、LPDDR/2、GDDR3/5
- 取り込んだすべてのリード／ライト・バーストを解析
 - DQSとDQの位相差
 - CSを利用し、マルチランク対応
 - コマンド対応
- アイ・ダイアグラム表示
 - リード／ライトのDQSおよびDQ
 - マスク・テスト可能
- JEDECに準拠したパス／フェイル・テスト
 - カスタマイズ要求も柔軟に対応
- 簡単にデバッグ・ツール(DPOJET)に切り替え可能
- パス／フェイル結果、統計測定値、テスト・セットアップ情報などのレポートを自動生成

アナログとロジック接続の場合



アナログのみの場合



1.3 測定

DDR解析ソフトウェア(DDRA) -2

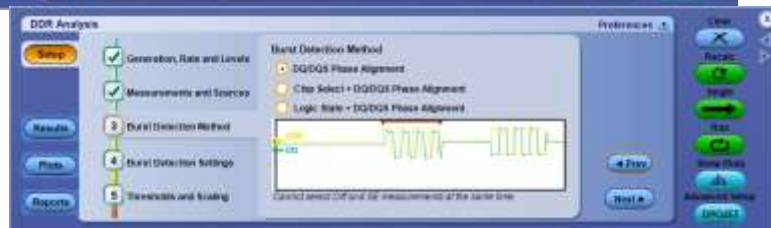
簡単操作のコンフィグレーション・ウィンドウ



メモリとデータ・レートの設定
DDR1/2/3
LPDDR1/2
GDDR3/5



測定項目の設定
ソースの設定



バースト識別設定



コマンドによるバースト設定例
Busとコマンド指定
レイテンシー指定
バースト長を指定



自動スケーリングなどの設定

1.3 測定

DDR解析ソフトウェア(DDRA) -3

メモリ・サイクル切り分け

■ポスト・プロセッシング

■接続するだけ

- トリガ設定不要
- 自動スケーリング対応

■リードとライトの自動分離

- DQSとDQの位相差
- CSを利用し、マルチランク対応
- コマンド対応

高速・高品質の測定

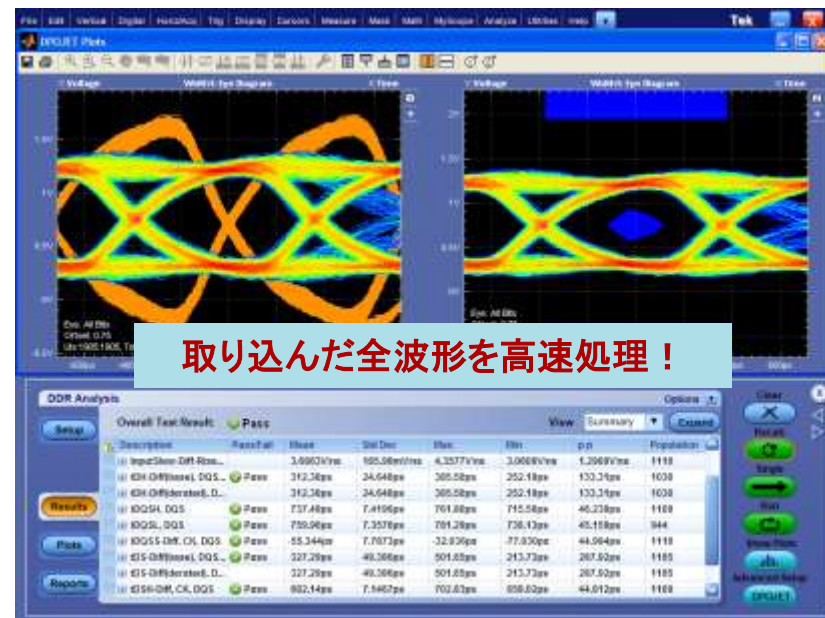
■アイ・ダイアグラム

- DQとDQSの表示、MASKテスト可能

■JEDEC規格のPass/Fail判定

■統計処理

- 平均、Min、Max
- 十数秒で計測
- 最悪値やFailの拡大表示
- 連続する全てのデータを測定



1.3 測定

DDR解析ソフトウェア(DDRA) -4

測定結果をMHTMLでレポートを自動生成

Measurement Results

Description	Mean	Std Dev	Max	Min	p-p	Population	Max-cc	Min-cc
Data Eye Height, DQ, DQS	784.55mV	0.0000V	784.55mV	784.55mV	0.0000V	1	0.0000V	0.0000V
Current Acquisition	784.55mV	0.0000V	784.55mV	784.55mV	0.0000V	1	0.0000V	0.0000V
Data Eye Width, DQ, DQS	630.20ps	0.0000s	630.20ps	630.20ps	0.0000s	1	0.0000s	0.0000s
Current Acquisition	630.20ps	0.0000s	630.20ps	630.20ps	0.0000s	1	0.0000s	0.0000s
tDH-Diff(base), DQS, DQ	317.52ps	23.758ps	378.69ps	266.64ps	110.05ps	150	81.318ps	-89.496ps
Current Acquisition	317.52ps	23.758ps	378.69ps	266.64ps	110.05ps	150	81.318ps	-89.496ps
tDS-Diff(base), DQS, DQ	328.21ps	36.886ps	441.93ps	256.81ps	185.12ps	171	104.08ps	-100.26ps
Current Acquisition	328.21ps	36.886ps	441.93ps	256.81ps	185.12ps	171	104.08ps	-100.26ps

Pass/Fail Summary

Limits Information

Location C:\TekApplications\DDRA\Limits
File Name DDR3_1333MHz_Limits.xml
Description

Pass/Fail Information

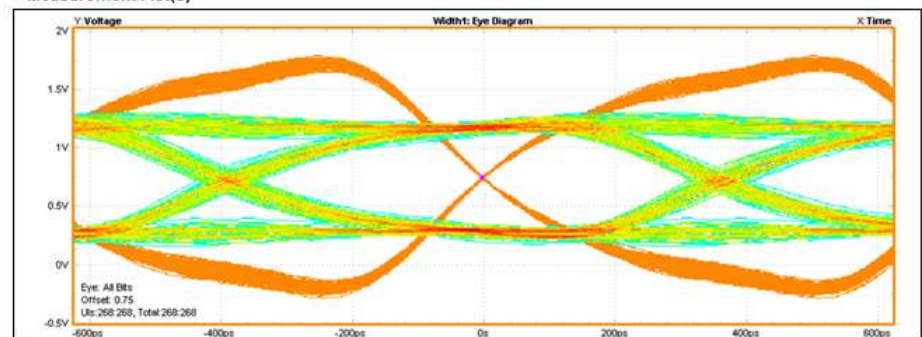
Measurement	tDH-Diff(base)
Source1	DQS(Ch1)
Source2	DQ(Ch2)
	Value High Limit Low Limit Pass Fail
Min	266.64ps 65.000ps Pass

Pass/Fail Information

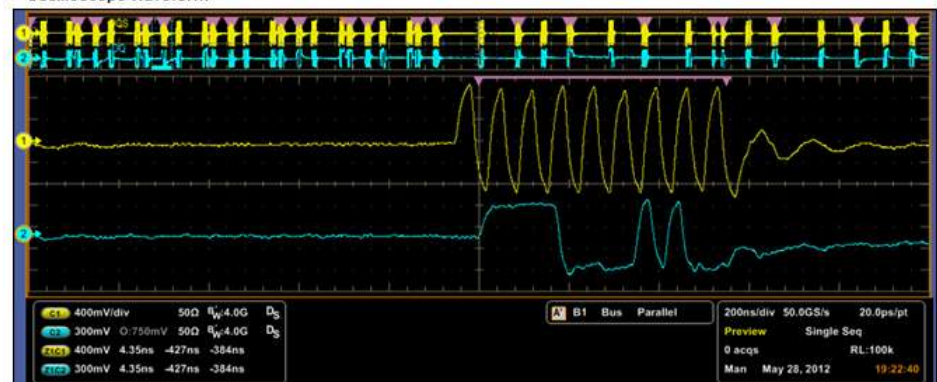
Measurement	tDS-Diff(base)
Source1	DQS(Ch1)
Source2	DQ(Ch2)
	Value High Limit Low Limit Pass Fail
Min	256.81ps 30.000ps Pass

Plot Images

Measurement Plot(s)



Oscilloscope Waveform



1.3 測定

DDRのコマンド・プロトコル -1

- メモリ特性値(クロック数で規定)

- CL :リード・コマンドとデータ間の遅延時間
- tRCD :アクティブ・コマンドからリード／ライト・コマンド間の最少時間
- tRP :プリチャージ・コマンドからアクティブ・コマンド間の最少時間

メモリ(DDR2)	メモリ特性値 CL-tRCD-tRP	メモリ(DDR3)	メモリ特性値 CL-tRCD-tRP	単位
DDR2-400	3-3-3 4-4-4	DDR3-800	5-5-5 6-6-6	CK
DDR2-533	3-3-3 4-4-4	DDR3-1066	6-6-6 7-7-7 8-8-8	CK
DDR2-667	4-4-4 5-5-5	DDR3-1333	7-7-7 8-8-8 9-9-9 10-10-10	CK
DDR2-800	4-4-4 5-5-5 6-6-6	DDR3-1600	8-8-8 9-9-9 10-10-10 11-11-11	CK
DDR2-1066	6-6-6 7-7-7	DDR3-1867	10-10-10 11-11-11 12-12-12 13-13-13	CK
		DDR3-2133	11-11-11 12-12-12 13-13-13 14-14-14	CK

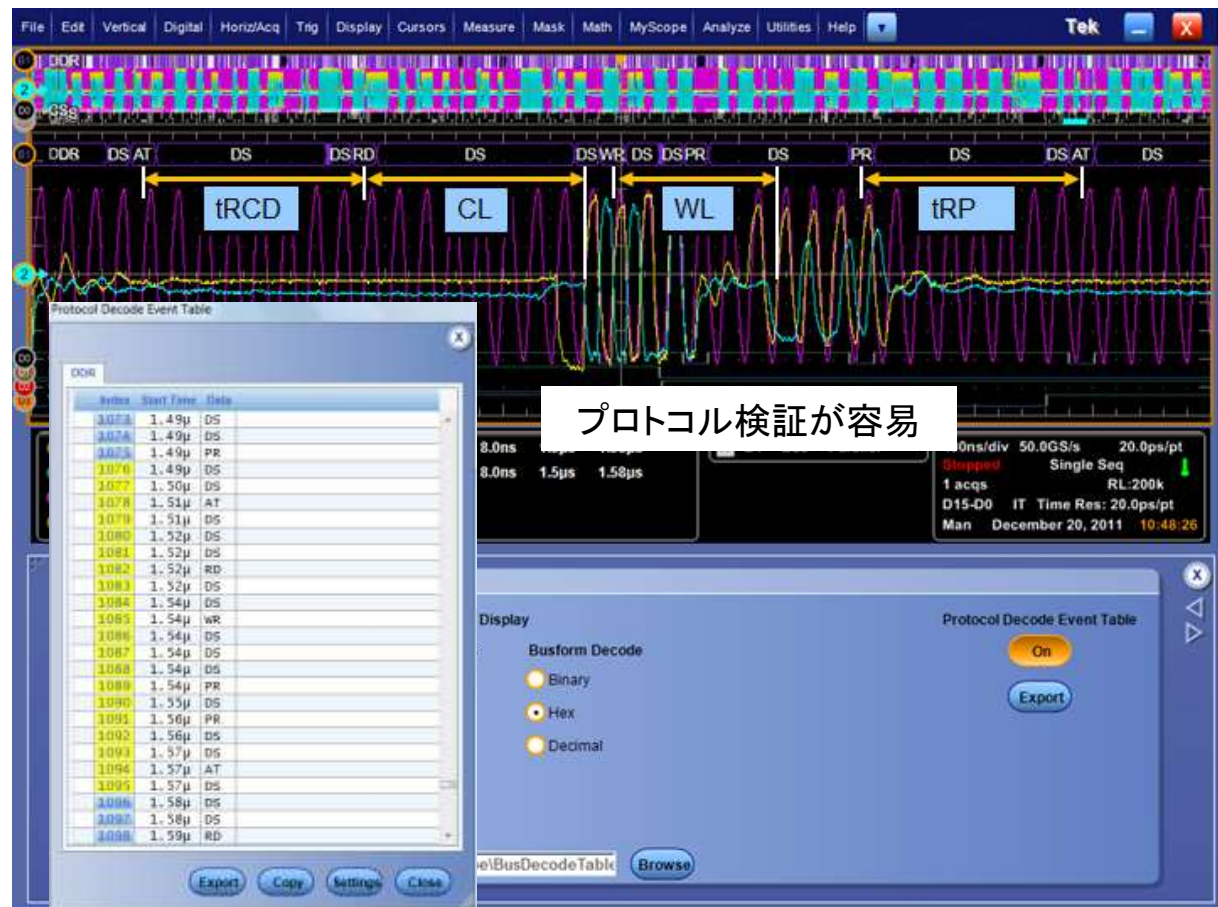
1.3 測定

DDRのコマンド・プロトコル -2

- MSO70000Cシリーズ、MSO5000シリーズのプロトコル機能
 - 自在にシンボル定義可能
 - 信号パタンのシンボル及びリスト表示
 - クロック同期のステート表示も可能

シンボル定義

#Command	CS	RAS	CAS	WE
#Symbol Name	Pattern			
PATTERN	BIN			
MD	0000			
RF	0001			
PR	0010			
AT	0011			
WR	0100			
RD	0101			
NP	0111			
DS	1XXX			



1.3 測定

DDRのコマンド・プロトコル -3

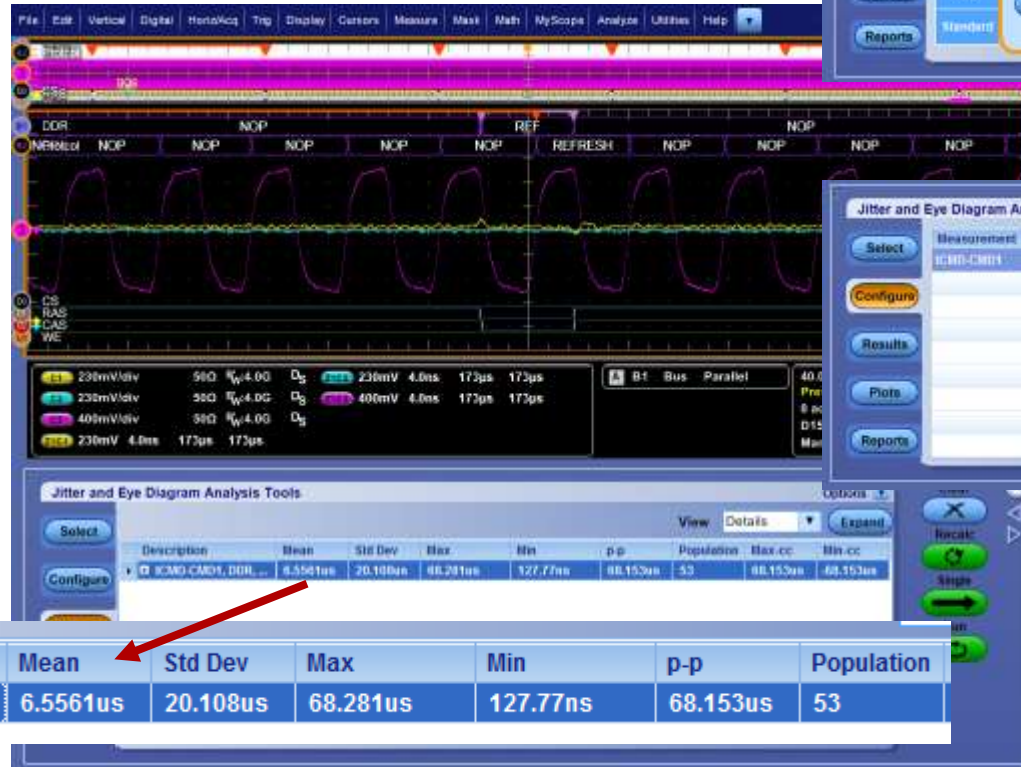
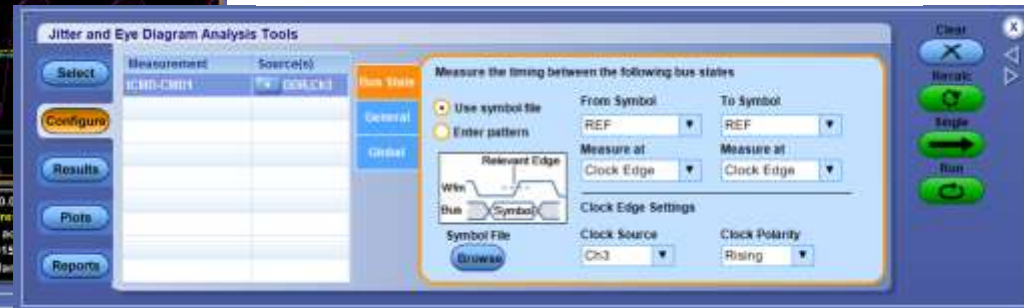
リフレッシュ・サイクル

- tREFI :リフレッシュ・コマンドの平均周期
 - 0 ~ 85°C :7.8us
 - 85 ~ 95°C :3.9us

コマンドとコマンドのタイミングを選択



リフレッシュ・コマンド設定



1.4 解析

tJIT(cc)のスペック違反箇所を自動検索した例

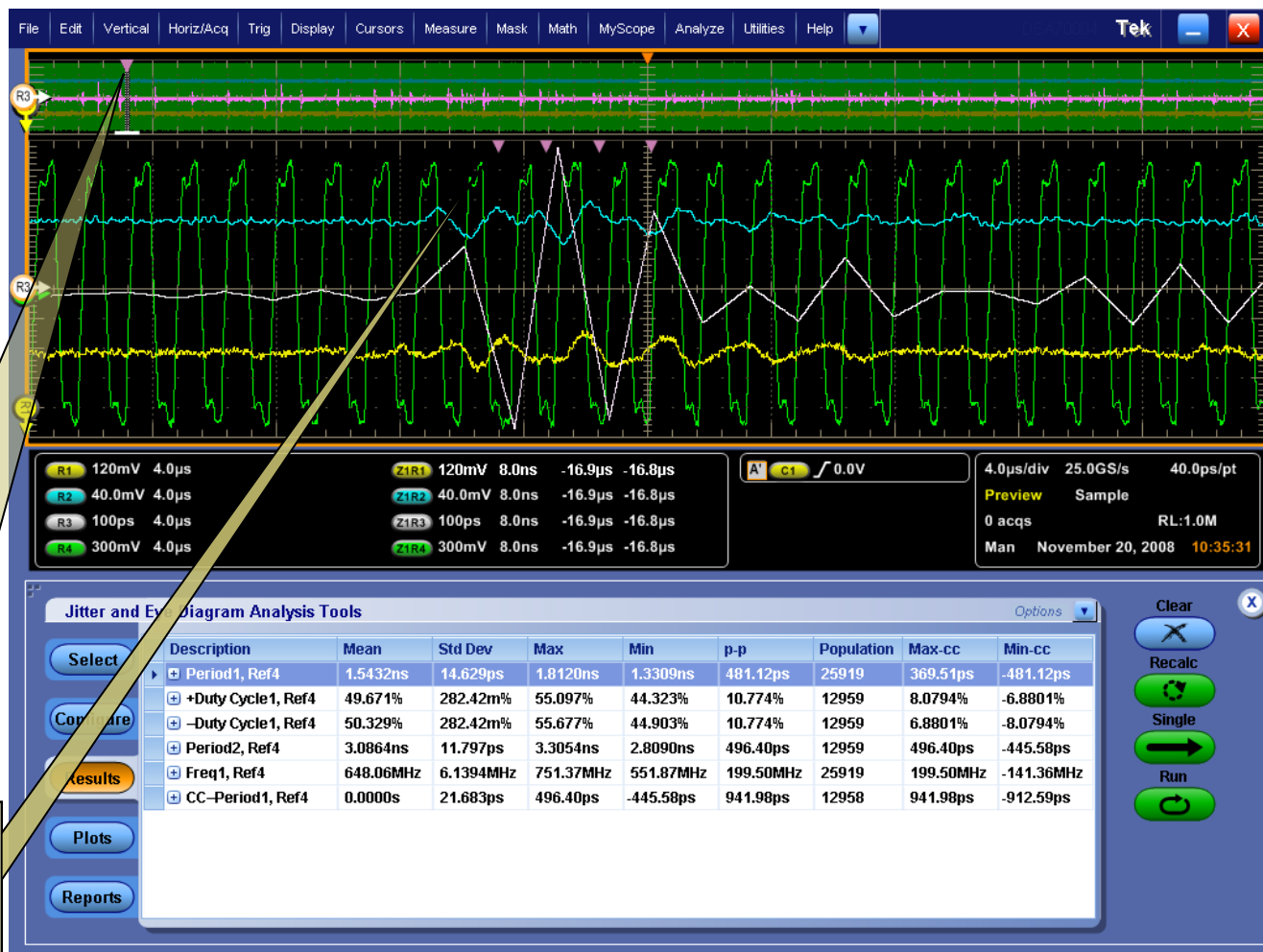
電源ノイズとの相関をスピーディに特定可能

Ref1: 電源1 (黄色)

Ref2: 電源2 (青色)

Ref4: Clock (緑色)

Ref3: tJIT(cc)の
タイム・トレンド (白色)

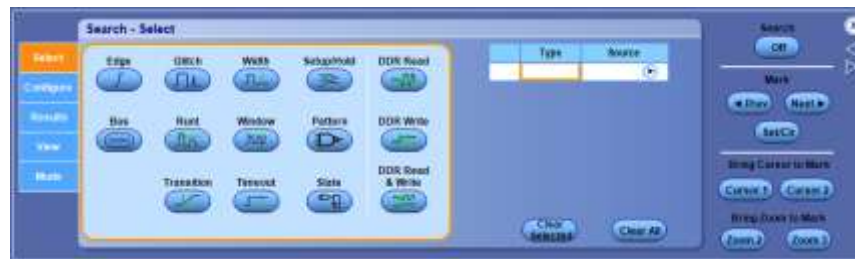


スペック違反箇所に
マーキング
(ピンクの逆三角形)

1.4 解析

ASM(波形サーチ／マーク)

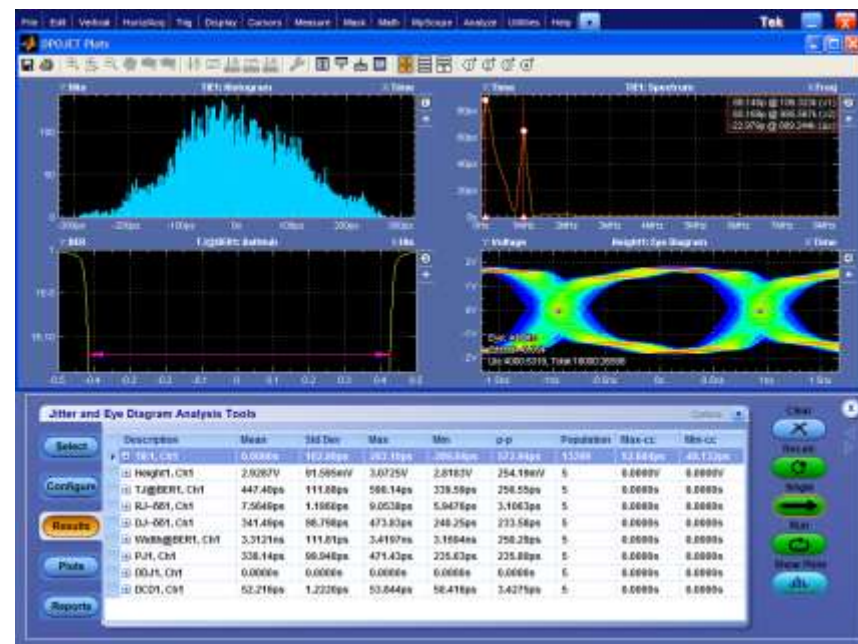
- ロング・メモリに取り込んだ波形から検索
 - － 多彩な項目
 - ・ エッジ
 - ・ グリッジ
 - ・ ラント
 - ・ トランジション
 - ・ パルス幅
 - ・ ウィンドウ
 - ・ タイムアウト
 - ・ セットアップ／ホールド
 - ・ パターン
 - ・ ステート
 - ・ Bus
 - ・ DDRメモリ・サイクル(オプションDDRA)
 - － 検出されたイベントは、マーク表示
 - － イベント間をストレスなく移動
 - － Bus対応でプロトコル解析可能
 - － 3レベル・トリガ可能
- A→B→波形サーチ／マーク



1.4 解析

DPOJET (ジッタ／アイ・ダイアグラム解析ソフトウェア)

- 規格に準拠した基準電圧による測定
 - － セットアップ／ホールド時間、スキュー測定
 - － DDR Setup Generatorにて自動測定
 - － VDDQに応じた測定
- DDR以外も様々なタイミング、ジッタ測定が可能
 - － クロック・ジッタ
 - － データ・ジッタ
 - － ACタイミング
 - － パルス・パラメータ
 - － コマンド・タイミング
- 様々な測定結果プロット機能
 - － ヒストグラム、タイム・トレンド、サイクル・トレンド、ジッタ・スペクトラム
- 単発測定/繰り返し測定
 - － トリガ・ジッタの影響がない高確度な測定
 - － メモリに取込んだすべてのパルスを測定
- ジッタ成分のRj/Dj分離とDi成分の分離
- ゲーティング測定
- 外部プログラムからコントロール可能
- 以前に保存した波形に対する測定も可能
- Pass/Failの判定機能
- LVDSなど、クロックのN逓倍での解析にも対応
- MHTML形式のレポート機能



1.5 推奨構成

■ DDR

- DSA70404C型、DPO70404C型、MSO7040C型 (4GHz)
- オプション: Opt.DDRA、Opt.DJA*
- プローブ : P7340A型 × 3本～4本
- アクセサリ: 020-2600-xx、020-2602-xx、020-2604-xx 必要分

■ DDR2

- DSA70604C型、DPO70604C型、MSO70604C型 (6GHz)
- オプション: Opt.DDRA、Opt.DJA*
- プローブ : P7506型 × 3本～4本
- アクセサリ: 020-2954-xx、020-2955-xx、020-2958-xx 必要分

■ DDR3

- DSA70804C型、DPO70804C型、MSO7080C型 (8GHz)
- オプション: Opt.DDRA、Opt.DJA*
- プローブ : P7508 × 3本～4本
- アクセサリ: 020-2954-xx、020-2955-xx、020-2958-xx、020-2959-xxまたは
020-2936-xx、020-2944-xx 必要分

*: DSA70000Cシリーズは標準装備

1.6 補足

MSO70000Cシリーズ ミックスド・シグナル・オシロスコープ
 DSA70000Cシリーズ デジタル・シリアル・アナライザ
 DPO70000Cシリーズ デジタル・フォスファ・オシロスコープ



■ 「最高の波形特性」と「強力な解析能力」

アナログ部	MSO72004C型 DSA72004C型 DPO72004C型	MSO71604C型 DSA71604C型 DPO71604C型	MSO71254C型 DSA71254C型 DPO71254C型	MSO70804C型 DSA70804C型 DPO70804C型	MSO70604C型 DSA70604C型 DPO70604C型	MSO70404C型 DSA70404C型 DPO70404C型
最高周波数帯域	20 GHz	16 GHz	12.5 GHz	8 GHz	6 GHz	4 GHz
最高サンプル・レート	100 GS/s @ 2チャンネル、50 GS/s @ 4チャンネル			25 GS/s @ 4チャンネル		
10-90%立上り時間	18 ps	24.5 ps	32 ps	49 ps	65 ps	98 ps
20-80%立上り時間	14 ps	17 ps	22 ps	34 ps	45 ps	68 ps
最大レコード長	250 Mポイント @ 4チャンネル			125 Mポイント @ 4チャンネル		
ジッタ・ノイズ・フロア	290fs (rms)	270 fs (rms)		300 fs (rms)		340 fs (rms)
デルタ時間測定確度	1.43 ps (rms)	1.15 fs (rms)	1.23 fs (rms)	1.24 ps (rms)	1.33 ps (rms)	1.48 ps (rms)
標準	ジッタ&タイミング解析、サーチ&マーク					
オプション (* DSA70000Cシリーズ標準)	- コミュニケーション・マスク・テスト*、ジッタ/アイ・ダイアグラム解析*、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ/プロトコル・デコード* - USB2/3、Ethernet、MIPI、HDMI、DisplayPort、DVI、SATA、PCI Express、QPIコンプライアンス - I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ - DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 - ビジュアル・トリガ、周波数帯域のアップグレード					
その他	- 毎秒30万の高速波形取り込み、Pinpointトリガによる効果的な波形捕捉 - DSP特性補正、フラットな周波数応答特性、低ノイズ、高有効ビット - 周波数帯域選択機能、ArbFilter機能					

1.6 補足

MSO70000Cシリーズ ミックスド・シグナル・オシロスコープ



■ 最高峰のMSO

システム検証／デバッグを新たなステージへ！

デジタル部	MSO72004C型	MSO71604C型	MSO71254C型	MSO70804C型	MSO70604C型	MSO70404C型
デジタル・チャンネル数	16チャンネル					
トリガ・クロック/クオリファイア数	1チャンネル					
最高デジタル・サンプル・レート	12.5 GS/s @ 16チャンネル(80 ps分解能)					
最大レコード長	250 Mポイント @ 16チャンネル			125 Mポイント @ 16チャンネル		
最小検出パルス幅	400 ps未満					
チャンネル間スキュー	250 ps					
グループあたりのチャンネル数	最大24(デジタル:16、アナログ:4、演算:4)					
デジタル・プローブ	■ P6780型 -2.5GHz、差動プローブ(片側 20 kΩ、差動 40 kΩ、0.5 pF) ■ P6717A型(新製品) -1GHz、パッシブ・プローブ(20 kΩ、3 pF) ■ P6750型(新製品) -1GHz、パッシブ・プローブ(20 kΩ、3 pF)、D-Maxによる高密度プロービング可能					
その他	■ パラレル・バスのシンボル表示／トリガ ■ iCapture -任意のデジタル信号のアナログ観測が可能					

1.6 補足

DPO7000Cシリーズ デジタル・フォスファ・オシロスコープ



■ 高性能普及クラス

型名	DSO7354C型	DSO7254C型	DPO7104C型	DPO7054C型
最高周波数帯域	3.5 GHz	2.5 GHz	1 GHz	500 MHz
10-90%立上り時間	145 ps	160 ps	300 ps	460 ps
20-80%立上り時間	95 ps	100 ps	200 ps	310 ps
最高サンプル・レート (標準)	40 GS/s @ 1チャンネル 20 GS/s @ 2チャンネル 10 GS/s @ 4チャンネル		20 GS/s @ 1チャンネル 10 GS/s @ 2チャンネル 5 GS/s @ 4チャンネル	
最高サンプル・レート (オプション)	-		40 GS/s @ 1チャンネル 20 GS/s @ 2チャンネル 10 GS/s @ 4チャンネル	-
最大レコード長	500 M / 250 M / 125 Mポイント		250 M / 125 M / 50 Mポイント	
標準	■ ジッタ&タイミング解析、サーチ&マーク			
オプション	■ Ethernet、USB2.0コンプライアンス、パワー測定／解析 ■ ロー・スピード・シリアル解析 (CAN / LIN、I ² C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ) ■ ジッタ／アイ・ダイアグラム解析 ■ コミュニケーション・トリガ、シリアル・パターン・トリガ、プロトコル・トリガ、ビジュアル・トリガ ■ コミュニケーション・マスク・テスト、波形リミット・テスト			
その他	■ 毎秒25万波形取込みレート、Pinpointトリガによる効果的な波形捕捉 ■ DSP特性補正、周波数帯域選択機能 ■ ArbFilter機能 ■ ビデオ信号トリガ			

1.6 補足

MSO5000シリーズ ミックスド・シグナル・オシロスコープ

DPO5000シリーズ デジタル・フォスファ・オシロスコープ



■ 高性能なコンパクト・マシーン

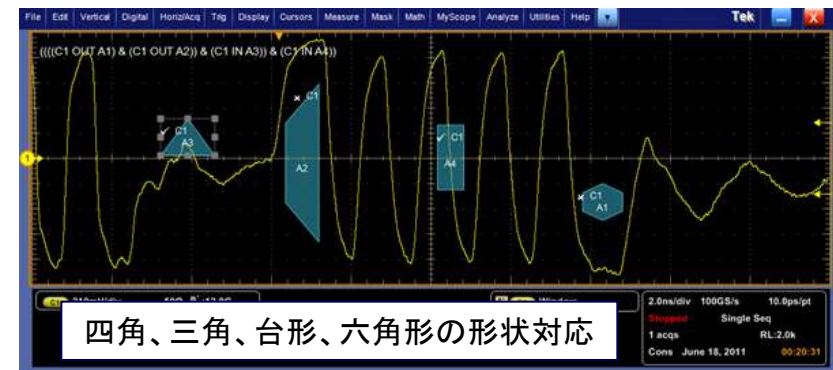
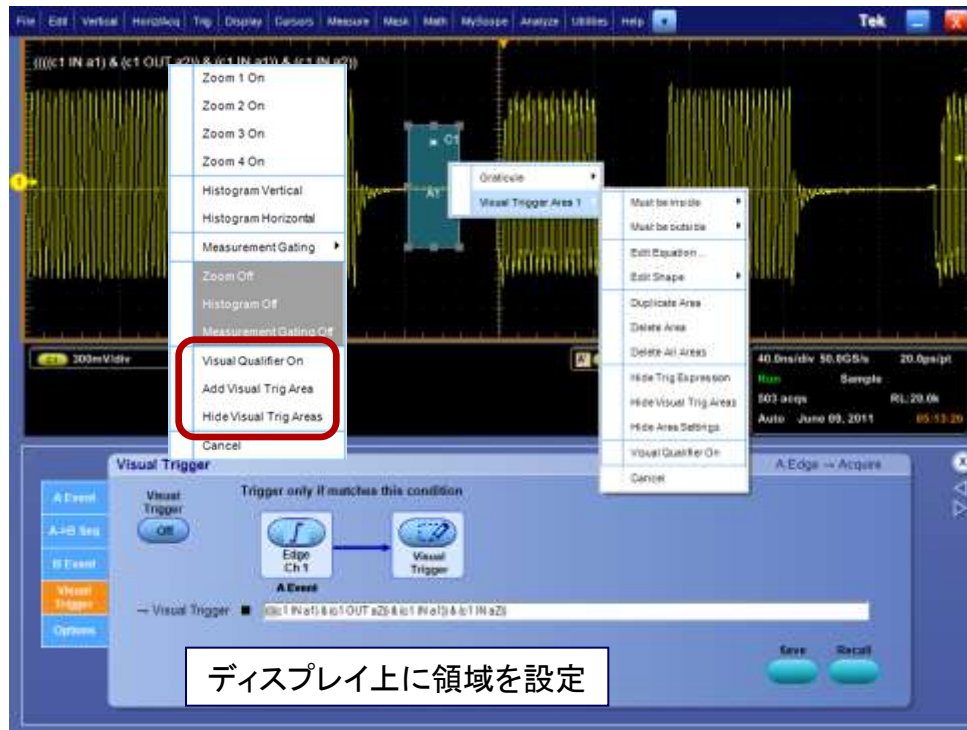
型名	MSO5204型 DPO5204型	MSO5104型 DPO5104型	MSO5054型 DPO5054型	MSO5034型 DPO5034型
アナログ周波数帯域	2 GHz	1 GHz	500 MHz	350 MHz
アナログ・サンプル・レート	10 GS/s @ 2チャンネル、5 GS/s @ 4チャンネル		5 GS/s @ 4チャンネル	
立上り時間	175 ps	350 ps	700 ps	1 ns
アナログ・レコード長	250 M @ 2チャンネル、125 M @ 4チャンネル		125 Mポイント @ 4チャンネル	
デジタル・サンプル・レート	500MS/s(メイン)、16.5GS/s(MagniVu)			
デジタル・レコード長	40M(メイン)、10K(MagniVu)			
標準	■ ジッタ&タイミング解析、サーチ & マーク			
オプション	■ USB2.0、Ethernetコンプライアンス ■ DDR解析 ■ シリアル・トリガ／デコード:I2C、SPI、RS-232/422/485/UART、USB2、CAN/LIN2 ■ ビジュアル・トリガ ■ DPOからMSOのアップグレード			
その他	■ 毎秒25万波形取込みレート ■ 周波数帯域選択機能 ■ ArbFilter機能 ■ 低容量パッシブ・プローブ			

1.6 補足

ビジュアル・トリガ

■ ビジュアル・トリガ: 特定の信号をすばやく検出

- ディスプレイに領域設定: 最大8領域可能、形状は四角、三角、台形、六角形
- 領域を通過するしないを設定、それぞれの領域に各チャンネル設定可能
- 複数の領域の論理(AND/OR/XOR)を設定可能
- 領域を非表示可能
- 対象波形の非常時可能

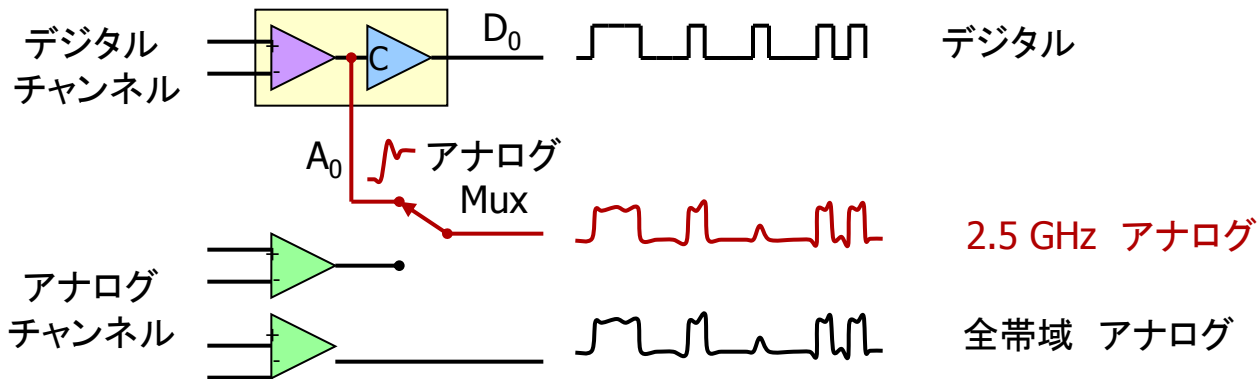


1.6 補足

MSO70000CシリーズのiCapture™

■ iCapture™ (アナログ Mux)

- 16デジタル・チャンネルのアナログ帯域は最高2.5GHz
- プローブの変更、再接続、ダブル・プロービング不要
- 負荷容量0.5pFのデジタル差動プローブ

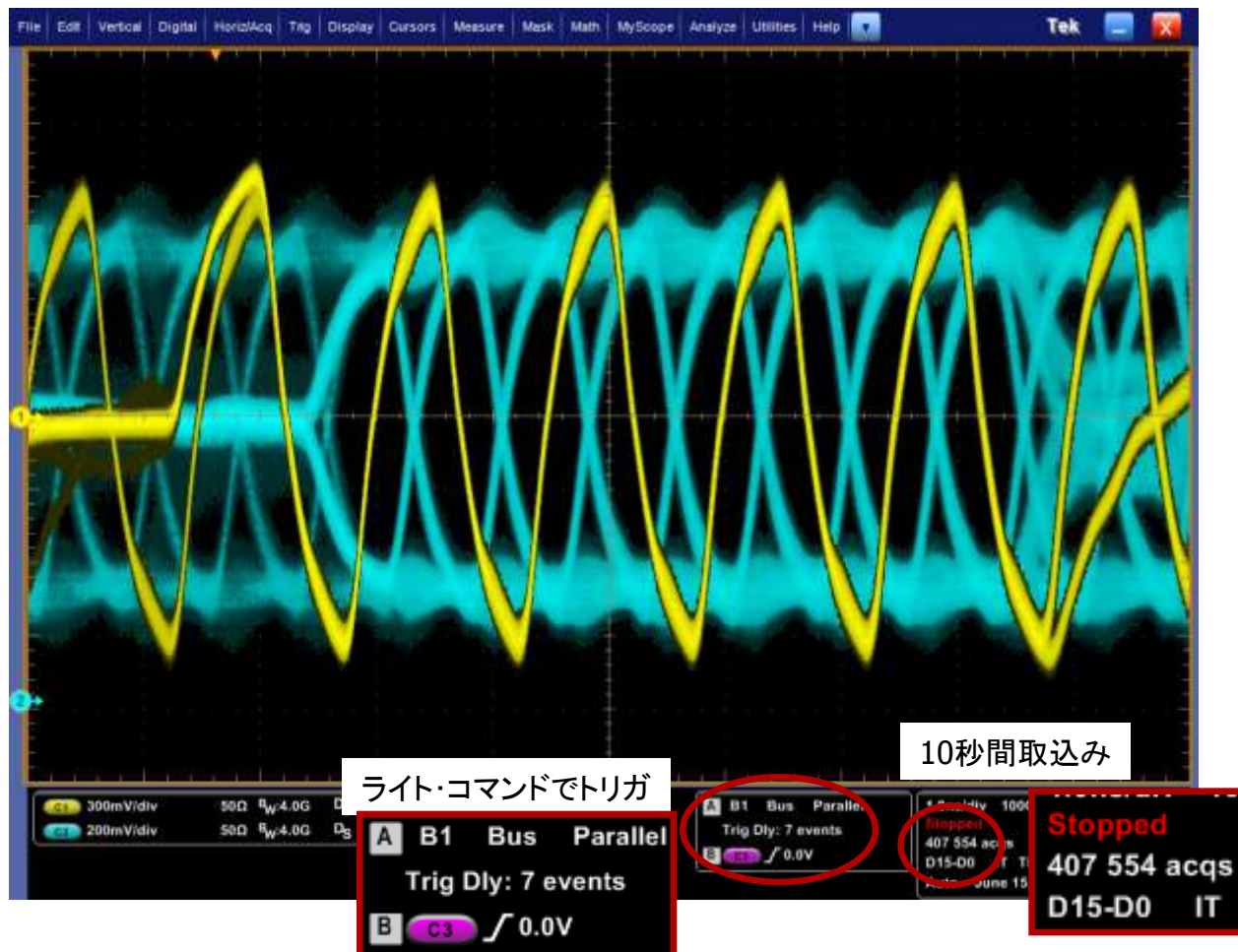


1.6 補足

高速取り込みのFastAcq(DPX)

■ FastAcq(DPX): 高速波形取り込み

- MSO/DSA/DPO70000Cシリーズは、4ch同時、毎秒30万回以上の高速波形取込み
- MSO/DPO5000、DPO7000Cシリーズは、4ch同時、毎秒25万回以上の高速波形取込み



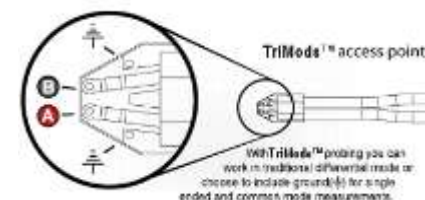
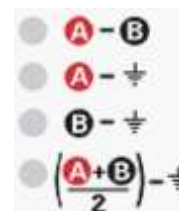
1.6 補足

P7500シリーズ

型名	P7520型	P7516型	P7513A型	P7508型	P7506型	P7504型
周波数帯域	20 GHz	16 GHz	13 GHz	8 GHz	6 GHz	4 GHz
10～90%立上り時間(代表値)	27 ps未満	32 ps未満	40 ps未満	55 ps未満	75 ps未満	105 ps未満
20～80%立上り時間(代表値)	18 ps未満	24 ps未満	28 ps未満	35 ps未満	50 ps未満	70 ps未満
差動動作入力レンジ	±625 mV(5:1) ±1.6 V(12.5:1)	±750 mV(5:1) ±1.75 V(12.5:1)				
オフセット・レンジ	+3.7 ～ -2 V	+4 ～ -2 V				

TriMode™プローブ(業界唯一)

- 1本のプローブで下記を切り替え可能
 - 差動 : $A - B$
 - シングルエンド : A あるいは B
 - コモン・モード : $(A + B)/2$



信号忠実度

- プローブ特性をDSPで最適に補正することでプローブ先端から優れた波形特性を実現
 - プローブ特性の代表データにて補正
 - アクセサリごとの特性
- ノイズ低減
- アクセサリの選択が容易



1.6 補足

P7500シリーズのアクセサリ

020-2954-00 ソケットケーブル (10.4cm)



020-2958-00 TriMode耐温度チップ (175Ω 10個入)



020-2955-00 TriModeマイクロ同軸チップ (175Ω 10個入)



020-2960-00 ソケットケーブルXL (1.5m)



020-2959-00 ダンピング・ワイヤ・チップ (175Ω 25本入)



020-2936-00 TriMode抵抗溶ダ・チップ (175Ω)



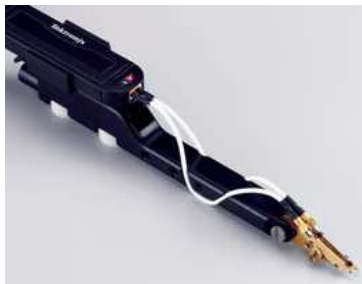
020-2944-00 TriMode拡張抵抗溶ダ・チップ (175Ω)



P75TLRST型 TriModeロング・リーチ・溶ダ・チップ



P75PDPM プロービング・モジュール



020-2937-XX

TriMode Solder Tips Replacement Resistor Kit

100 Ω leaded resistor

75 Ω surface-mount resistor, 0402

Non-conductive tube

-50°C to +150°C

10 GHz -DSP

2.1 次世代のシステム検証 課題

- 高速化するデータ・レート
- 省電力に向けたロー・ボルテージ
- 増大するメモリ容量
- ニーズに応じたフォーム・ファクター
- 検証に必要なシステム・レベルの可視化



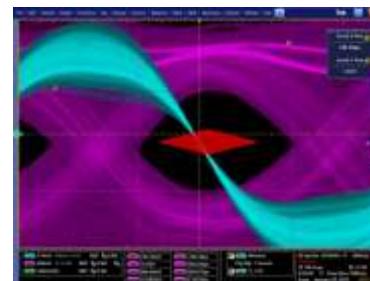
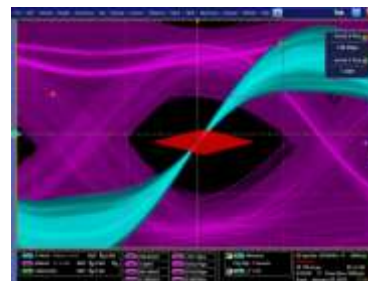
2.1 次世代のシステム検証 DDR3インタポーザのプロービング技術

新製品！

- 大幅なパフォーマンス向上
 - 超高性能SiGeハイブリッドASICテクノロジーの採用
 - ライト動作時に懸念されるプラットフォーム・トレースの損失補償
- 改良されたインタポーザの入力インピーダンス
 - バスへの影響を最小限に抑えながらターゲットの負荷を軽減
 - ターゲット上の信号の正確な捕捉
- DDR3-2400に対応
- LVDDR3に対応
- UDIMM、RDIMM、LRDIMMに対応
- DDR4に対応した要素技術の確立



NEX-DDR3INTR-HS3
DIMM Interposer



DDR3-2400のライト動作
立上り及び立下りのストロークに対するデータのアイ
TLA化必要な捕捉要件(180ps x 200mV)を満足

2.2 簡単なセットアップ

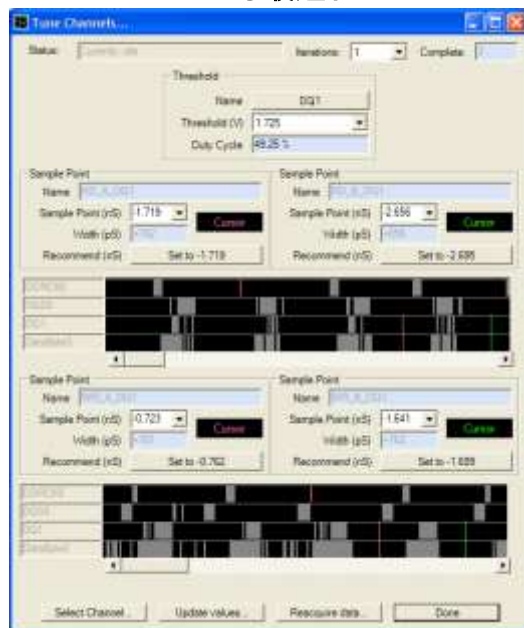
設定を開始からメモリの全データ取込が15～30分

- コマンドやアドレスのキャリブレーション不要
- SPA
 - ストローブとデータの閾値を最適化
 - データのサンプル・ポイントの最適化
- iCiS
 - 全てのデータをアイ・ダイアグラム表示

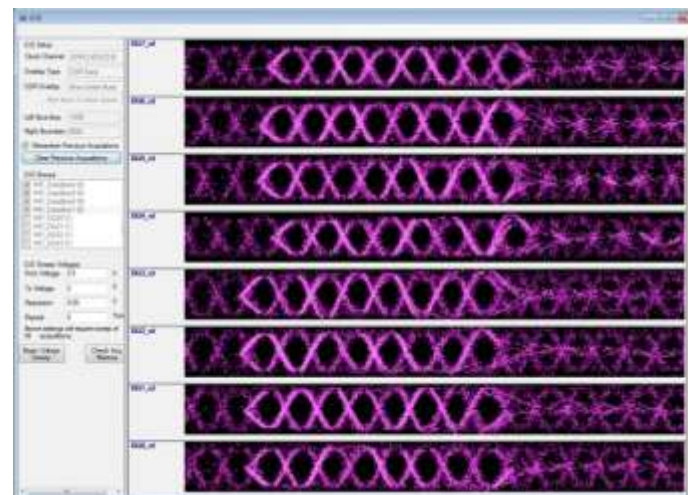
コマンド・プロトコル表示



SPAによる最適化



iCiSによるアイ・ダイアグラム表示

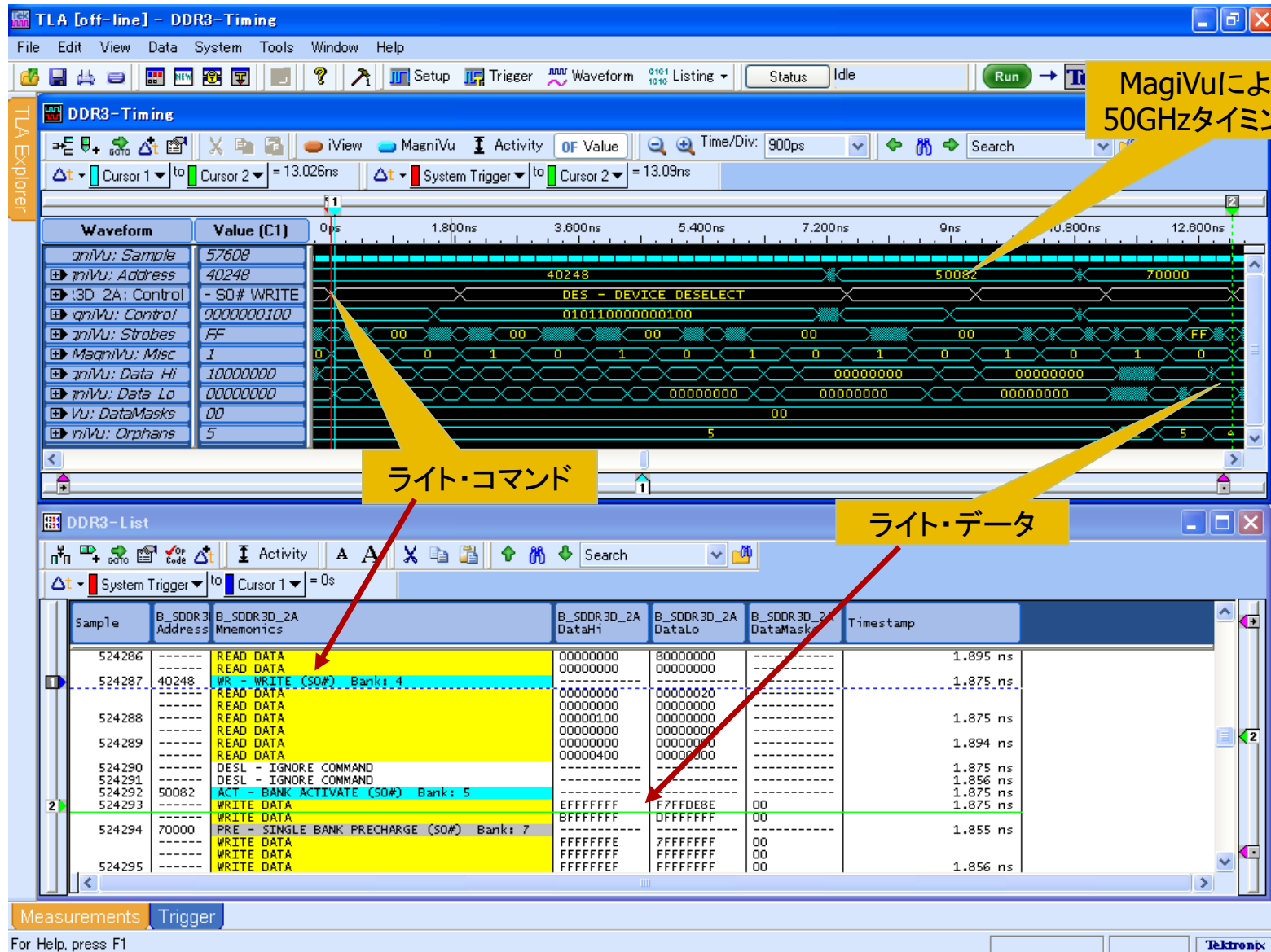


2.3 ステート、タイミング解析 モード・レジスタ

- イニシャライズ中のMode Register、Extended Mode Registerへの設定をデコード
 - CAS Latency (CL), Additive Latency (AL), Burst Length (BL) などを表示

Sample	B_SDDR3D_2A Address	B_SDDR3D_2A Mnemonics	B_SDDR3D_2A DataHi	B_SDDR3D_2A DataLo	B_SDDR3D_2A DataMasks	Timestamp
0	20008	(E)MRS - (EXTENDED) MODE REGISTER 2 (SO#)				0 ps
	20008	Rtt_WR: Dynamic ODT off				
	20008	Self-Refresh Range: Normal				
	20008	Auto Self-Refresh Method: External				
	20008	CAS Write Latency: 6				
	20008	Bank Array				
1	30000	(E)MRS - (EXTENDED) MODE REGISTER 3 (SO#)				<07,930 us
	30000	MPR: Normal Operation				
	30000	MPR Location: Predefined Pattern				
2	10042	(E)MRS - (EXTENDED) MODE REGISTER 1 (SO#)				<77,090 us
	10042	Output Buffer: Enabled				
	10042	TDQS: Disabled				
	10042	Rtt_Nom: RZQ/2 (eff 120ohm)				
	10042	Write Levelization: Disabled				
	10042	ODT: RZQ/4 (34ohm)				
	10042	Additive Latency: 0				
	10042	DLL Enable: enable (Normal)				
3	01938	(E)MRS - (EXTENDED) MODE REGISTER 0 (SO#)				<15,078 us
	01938	PD Mode: Fast Exit (DLL on)				
	01938	Write Recovery: 8				
	01938	DLL Reset: Yes				
	01938	Operating Mode: Normal				
	01938	Latency: 7				
	01938	Burst Type: Interleaved				
	01938	Burst: 8 (fixed)				
4	01838	(E)MRS - (EXTENDED) MODE REGISTER 0 (SO#)				<90,664 us
	01838	PD Mode: Fast Exit (DLL on)				
	01838	Write Recovery: 8				
	01838	DLL Reset: No				
	01838	Operating Mode: Normal				
	01838	Latency: 7				
	01838	Burst Type: Interleaved				
	01838	Burst: 8 (fixed)				

2.3 ステート、タイミング解析 メモリ・サイクルのタイミング



2.3 ステート、タイミング解析 リフレッシュ・サイクル

The screenshot displays the Tektronix TLA (Timing Logic Analyzer) software interface. The main window is titled "TLA [off-line] - DDR3-List". It features a menu bar (File, Edit, View, Data, System, Tools, Window, Help) and a toolbar with various icons. The interface is divided into several panes:

- TLA Explorer:** Shows a state machine diagram with two states, State 1 and State 2. State 1 is labeled "Clicking 'Run/Stop' button or a System trig". State 2 is labeled "Group Control = 'REF - S0# REFRESH'".
- Trigger: B_SDDR3D_2A:** Shows trigger settings, including "MagniVu 20ps" and "MagniVu Trigger Pos 44%".
- DDR3-List:** A table listing memory refresh cycles. The table has columns for "Sample", "B_SDDR3D_2A Address", and "B_SDDR3D_2A Mnemonics". The list shows a sequence of refresh cycles, with the time interval between them highlighted as "63.928ms".

The "DDR3-List" table contains the following data:

Sample	B_SDDR3D_2A Address	B_SDDR3D_2A Mnemonics
8145	00000	REF - REFRESH (S0#)
8146	00000	REF - REFRESH (S0#)
8147	00000	REF - REFRESH (S0#)
8148	00000	REF - REFRESH (S0#)
8149	00000	REF - REFRESH (S0#)
8150	00000	REF - REFRESH (S0#)
8151	00000	REF - REFRESH (S0#)
8152	00000	REF - REFRESH (S0#)
8153	00000	REF - REFRESH (S0#)
8154	00000	REF - REFRESH (S0#)
8155	00000	REF - REFRESH (S0#)
8156	00000	REF - REFRESH (S0#)
8157	00000	REF - REFRESH (S0#)
8158	00000	REF - REFRESH (S0#)
8159	00000	REF - REFRESH (S0#)
8160	00000	REF - REFRESH (S0#)
8161	00000	REF - REFRESH (S0#)
8162	00000	REF - REFRESH (S0#)
8163	00000	REF - REFRESH (S0#)
8164	00000	REF - REFRESH (S0#)
8165	00000	REF - REFRESH (S0#)
8166	00000	REF - REFRESH (S0#)
8167	00000	REF - REFRESH (S0#)
8168	00000	REF - REFRESH (S0#)
8169	00000	REF - REFRESH (S0#)
8170	00000	REF - REFRESH (S0#)
8171	00000	REF - REFRESH (S0#)
8172	00000	REF - REFRESH (S0#)
8173	00000	REF - REFRESH (S0#)
8174	00000	REF - REFRESH (S0#)
8175	00000	REF - REFRESH (S0#)
8176	00000	REF - REFRESH (S0#)
8177	00000	REF - REFRESH (S0#)
8178	00000	REF - REFRESH (S0#)
8179	00000	REF - REFRESH (S0#)
8180	00000	REF - REFRESH (S0#)
8181	00000	REF - REFRESH (S0#)
8182	00000	REF - REFRESH (S0#)
8183	00000	REF - REFRESH (S0#)
8184	00000	REF - REFRESH (S0#)
8185	00000	REF - REFRESH (S0#)
8186	00000	REF - REFRESH (S0#)
8187	00000	REF - REFRESH (S0#)
8188	00000	REF - REFRESH (S0#)
8189	00000	REF - REFRESH (S0#)
8190	00000	REF - REFRESH (S0#)
8191	00000	REF - REFRESH (S0#)
8192	00000	REF - REFRESH (S0#)
8193	00000	REF - REFRESH (S0#)
8194	00000	REF - REFRESH (S0#)
8195	00000	REF - REFRESH (S0#)

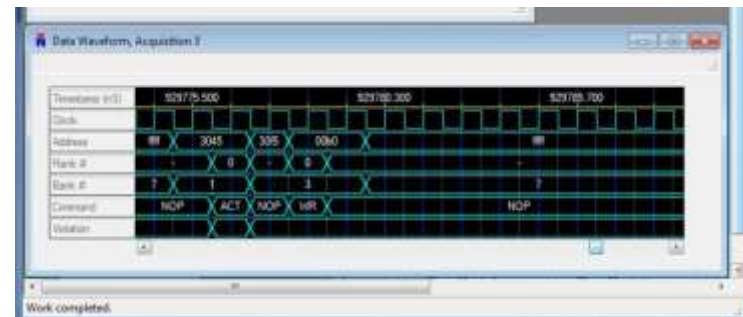
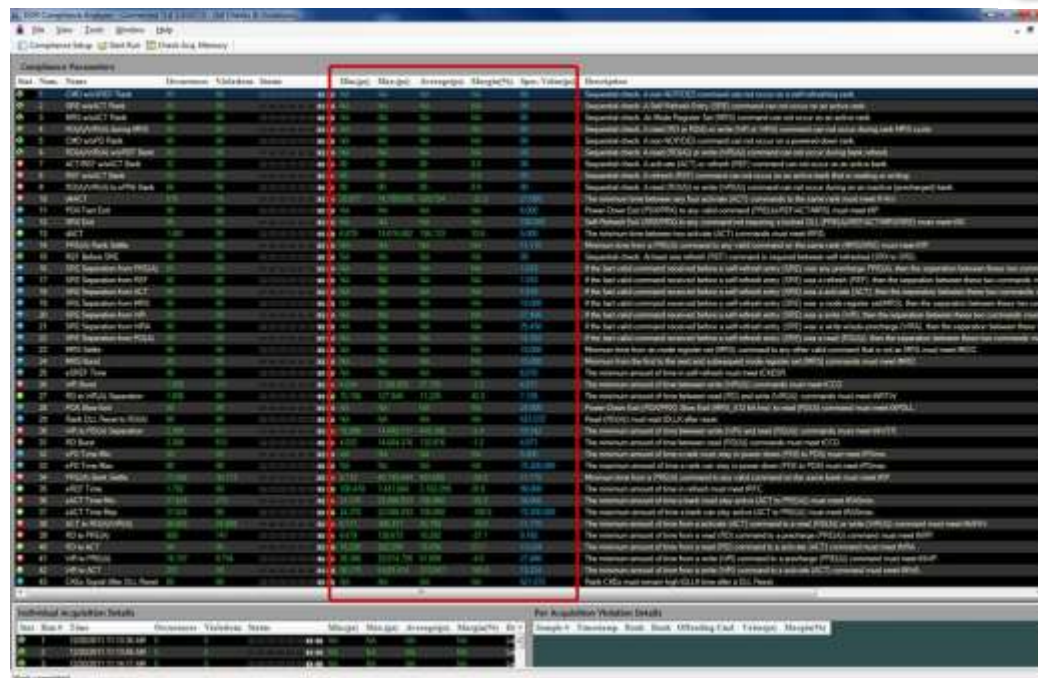
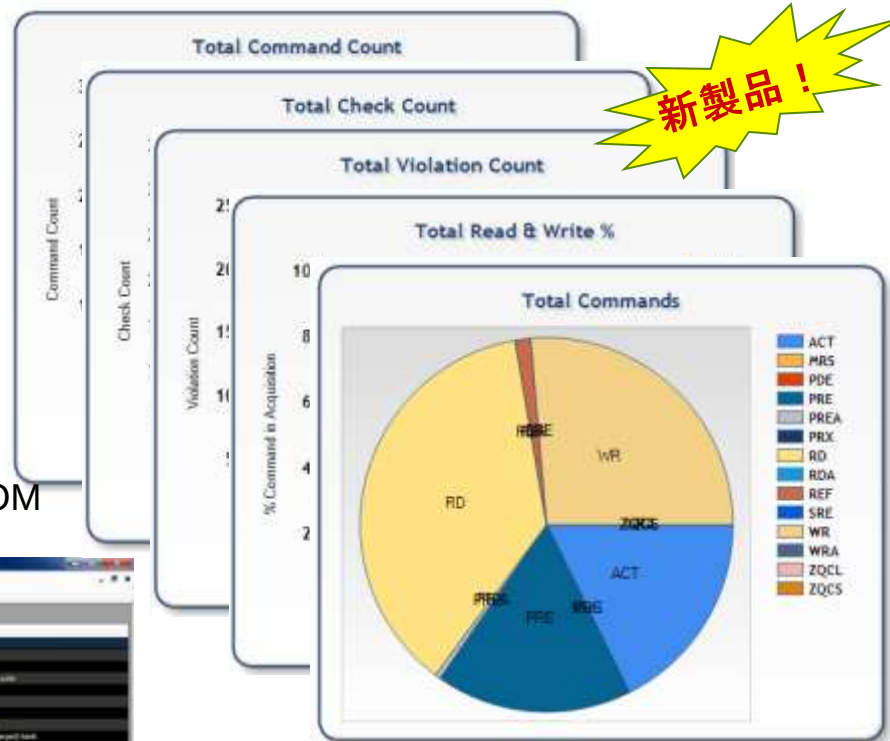
The bottom of the interface shows a "Measurements" pane with a "Trigger" button and a footer that reads "For Help, press F1".

■ tREFIの検証

- メモリが少なくてもOK
 - 例えば8192ポイント
 - リフレッシュ・サイクル数と時間から計算
 - 63.928msで8192サイクル
- 平均7.8usのリフレッシュ・サイクル

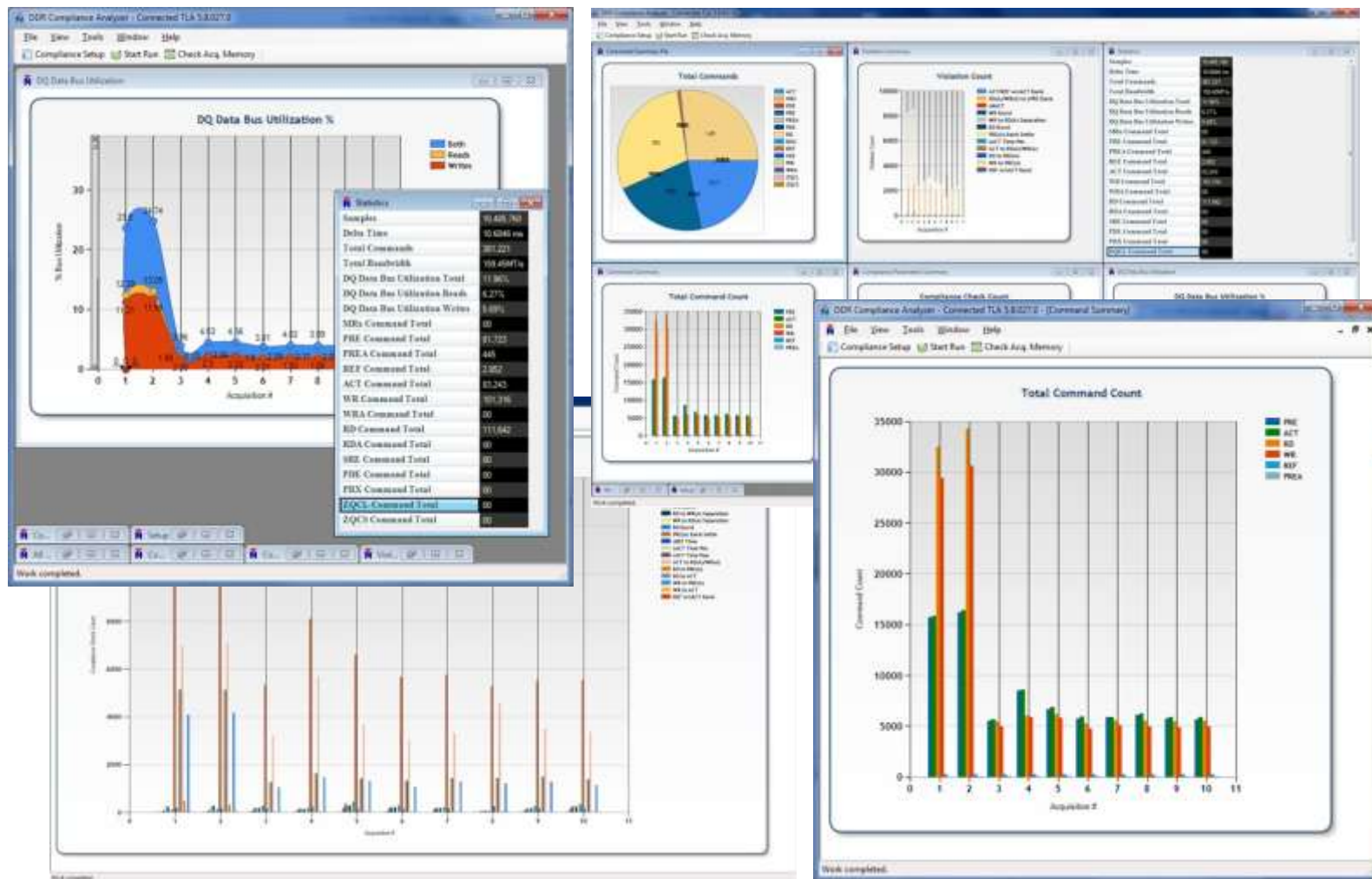
DDR3 Memory Compliance Analysis ソフトウェア

- 43項目以上のJEDECパラメータを解析
- Power-up/downとセルフリフレッシュの分析対応
- オートチャージ(RDA/ WRA)の分析対応
- 複数のメモリ・インタフェースの解析可能
- 強力なグラフィカル表示で解析容易
- コンプライアンス違反のリスト表示および波形表示
- HTMLレポート生成
- DDR3-2400/2133/1866/1600/1333/1066/800/CUSTOM



2.4 プロトコルのコンプライアンス試験 強力なグラフィカル表示

■ 統計処理結果及びグラフ処理の表示例



2.5 推奨機器構成 -1

- DDR3-2400 DIMM(全データ)
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、1.4GHzステート必要) 2
 - NEX-DDR3INTR-HS3(サポート・パッケージ、インターポーザ及びプローブ) 1
 - DDR3 Memory Compliance Analysis Software(プロトコル検証) 1
- DDR3-1867 DIMM(アドレス、コマンド)
 - TLA7012型(本体) 1
 - TLA7BB2/3/4型(モジュール、1.4MHzステート) 1
 - NEX-DDR3INTR-P-PR(サポート・パッケージ、インターポーザ及びプローブ) 1
 - DDR3 Memory Compliance Analysis Software(プロトコル検証) 1
- DDR3-1600 SO-DIMM (全データ)
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、1.4GHzステート必要) 2
 - P6960HCD型(プローブ) 4
 - NEX-SODDR3INTR-HS(サポート・パッケージ、インターポーザ) 1
 - DDR3 Memory Compliance Analysis Software(プロトコル検証) 1
- DDR3-1600 SO-DIMM (アドレス、コマンド)
 - TLA7012型(本体) 1
 - TLA7BB2/3/4型(モジュール、1.4MHzステート) 1
 - NEX-SODDR3INTR-P-PR(サポート・パッケージ、インターポーザ及びプローブ) 1
 - DDR3 Memory Compliance Analysis Software(プロトコル検証) 1

2.5 推奨機器構成 -2

- DDR3-1600/1867 バス幅16bitの単体DDR3
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、1.4GHzステート必要) 1
 - P6960HCD型(プローブ) 2
 - NEX-DDR3MP96BLASK(サポート・パッケージ、インターポーザ) 1
 - DDR3 Memory Compliance Analysis Software(プロトコル検証) 1
- DDR3-800/1067/1333 バス幅16bitの単体DDR3
 - TLA7012型(本体) 1
 - TLA7BB2型(モジュール、750MHzステート) 1
 - NEX-DDR3MP96BLASKPR(サポート・パッケージ、インターポーザ及びプローブ) 1
 - DDR3 Memory Compliance Analysis Software(プロトコル検証) 1
- DDR3-1600/1867 バス幅16bitの単体DDR3を2個
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、1.4GHzステート必要) 2
 - P6960HCD型(プローブ) 3
 - NEX-DDR3MP96BLASK(サポート・パッケージ、インターポーザ) 2
 - NEX-MCI3x16-32-16SW(サポート・パッケージ) 1
 - DDR3 Memory Compliance Analysis Software(プロトコル検証) 1
- DDR3-800/1067/1333 バス幅16bitの単体DDR3を2個
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、750MHzステート) 1
 - NEX-PRB1XL型(プローブ) 3
 - NEX-DDR3MP96BLASK(サポート・パッケージ、インターポーザ) 2
 - NEX-MCI3x16-32-13SW(サポート・パッケージ) 1
 - DDR3 Memory Compliance Analysis Software(プロトコル検証) 1

2.6 補足

TLA7000シリーズ本体

TLA7012型ポータブル本体

2モジュール

- 15型内蔵ディスプレイ(1024×768ドット)
- 外部デュアル・モニタ・サポート(1600×1200ドット)
- タッチ・スクリーン(オプション)

TLA7016型ベンチトップ本体

6モジュール

- 1000BASE-T

共通

- Windows XP Professional
- PC、あるいはTLA7012型をホストとしたシステム・アップが可能
- 最大8本体／システム
- ロジック・アナライザ・モジュール9種類
- パターン・ゼネレータ・モジュール1種類
- 外部TDS/DPOシリーズ・オシロスコープ、DSA70000シリーズ・デジタル・シリアル・アナライザとのリンク機能(iView)



2.6 補足

TLA7Bxx型TLAモジュール

- 68/102/136チャンネル入力
 - － 最大680チャンネルまでマージ可能
 - － 全モジュールがマージ可能！
 - － DDR3-1867に対応可能
- メモリ長・・・2M～128M@フル・チャンネル
- **業界唯一！3GHz** iCapture(アナログMUX)
- **世界最高！**高速タイミング・・・MagniVu™ **50GHz** 128K
- 汎用タイミング・・・1.6GHzコンベンショナル@フル・チャンネル、3.2GHzコンベンショナル@1/2チャンネル、6.4GHzコンベンショナル@1/4チャンネル、750MHzトランジショナル・フル・メモリ
- 高速タイミング解析と汎用タイミング解析、あるいはステート解析をのプローブを通して同時に実現
- 標準750MHz／1.5Gbps、最高1.4GHz／2.8Gbpsステート
- トリガ・・・800MHzトリガ・ステート遷移速度、40ps分解能セットアップ&ホールド時間違反トリガ
- 20ps分解能タイムスタンプ
- 0.5p-0.7pFプローブ入力容量(P68xxシリーズ、P69xxシリーズ)
 - － 差動にも対応

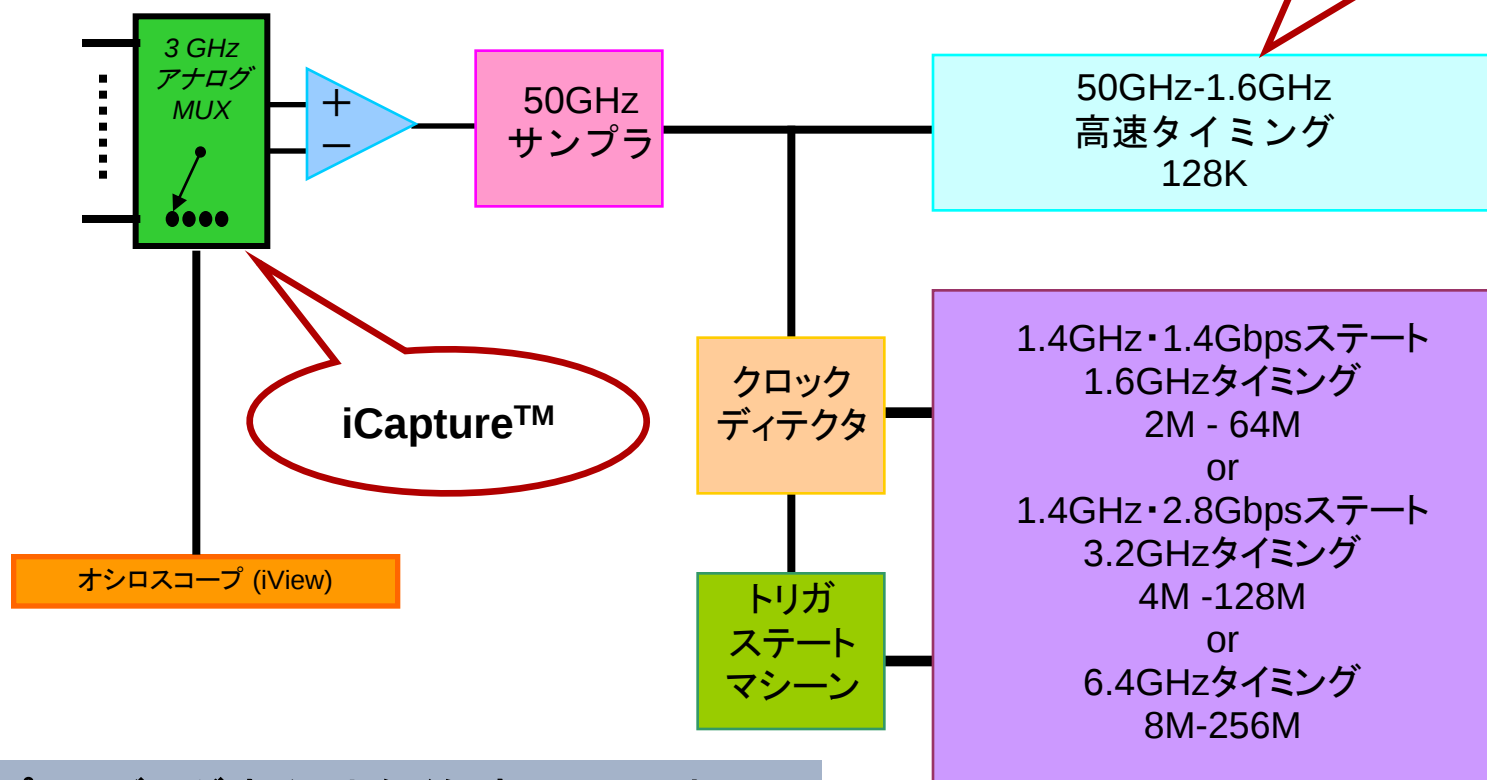


2.6 補足

MagniVu™、iCaptuer™

汎用ロジック・アナライザと高速タイミング・アナライザを一台で同時に実現

- 常時全チャンネルを50GHzでサンプリングするフロントエンド
- 外部クロック変動に追従(PLLロック・タイプでない)

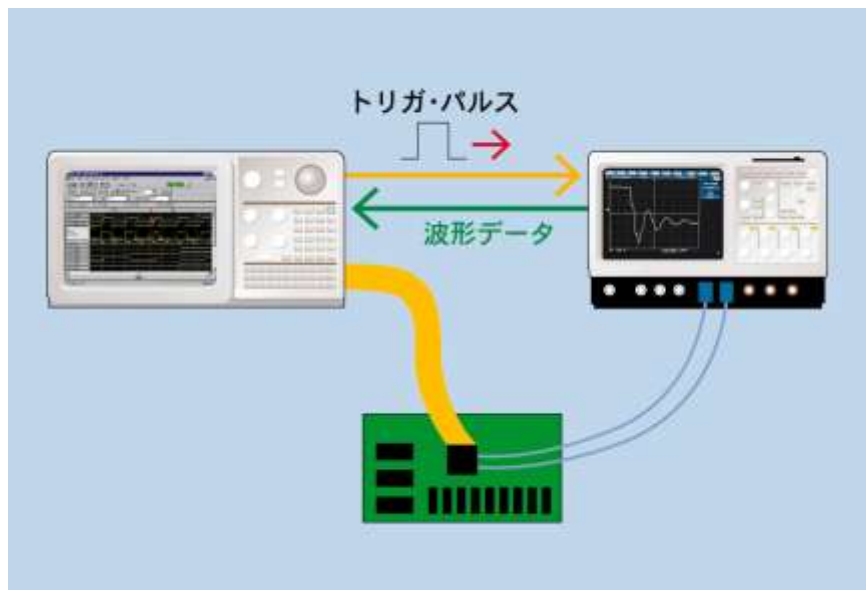


ダブル・プロービングすることなく任意のチャンネルのアナログ波形をオシロスコープで観測可能！

2.6 補足

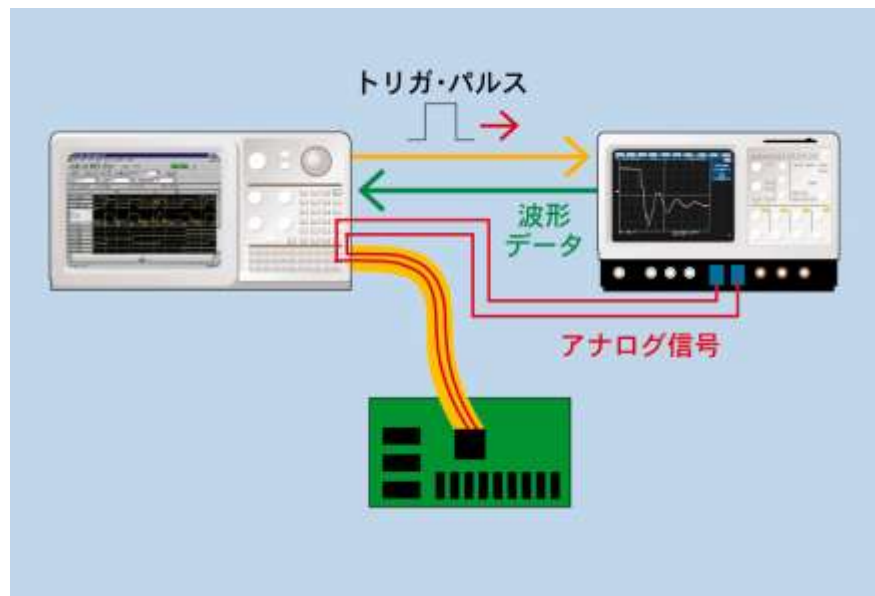
アナログとロジック統合デバック

iView



ロジック・アナライザのプローブと
オシロスコープのプローブを別々
に接続

iCapture



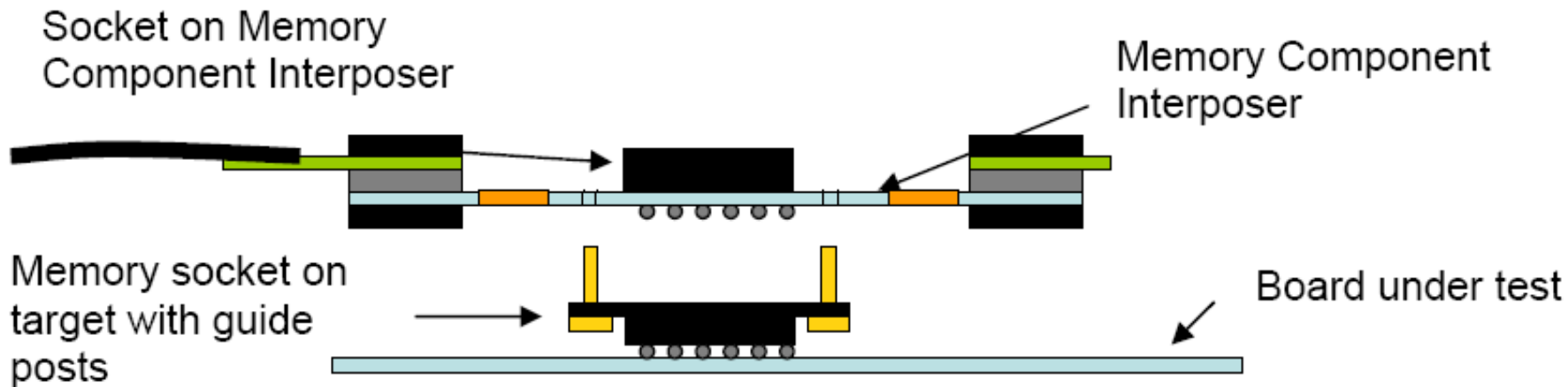
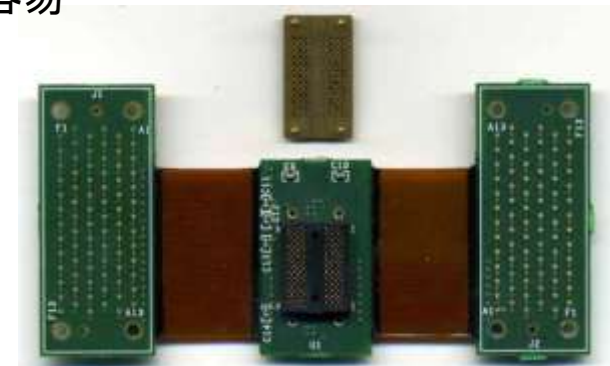
ロジック・アナライザのプローブだけを
接続し、ロジック・アナライザのプロー
ブを通してのアナログ信号解析

業界唯一のロジック・アナライザ・プローブを通しての
アナログ信号解析ソリューション

2.6 補足

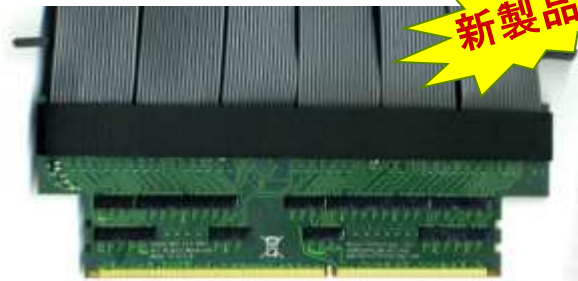
BGAインタポーザ

- NEX-DDR3MP/NEX-DDR2MPシリーズBGAインタポーザ
 - 業界唯一のDDR3-1867対応のBGAインタポーザ
 - ソケット・アーキテクチャを採用
 - 専用ソケットによりインタポーザの勘合に配慮
 - ロジアナ用とオシロスコープ用インタポーザの交換が容易
 - 直近の部品の障害回避
 - メモリICの交換が容易
 - インタポーザは再利用可能
 - 低ランニング・コスト



2.6 補足 モジュール用インタポーザ

NEX-DDR3INTR-HS3
DDR3-2400



新製品!

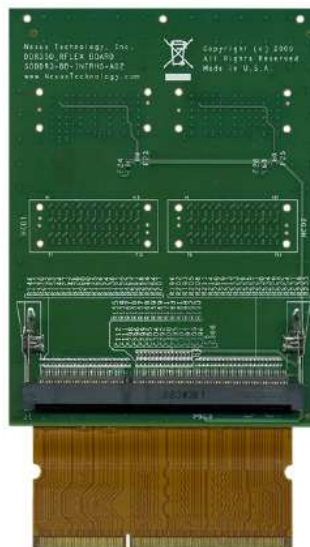
NEX-DDR3INTR-HS
DDR3-1867



NEX-DDR3INTR-P
DDR3-1867 Protocol



NEX-SODDR3INTR-HS
DDR3-1600



NEX-SODDR3INTR-P
DDR3-1600 Protocol



NEX-MINIDDDR3INTR
DDR3-1600



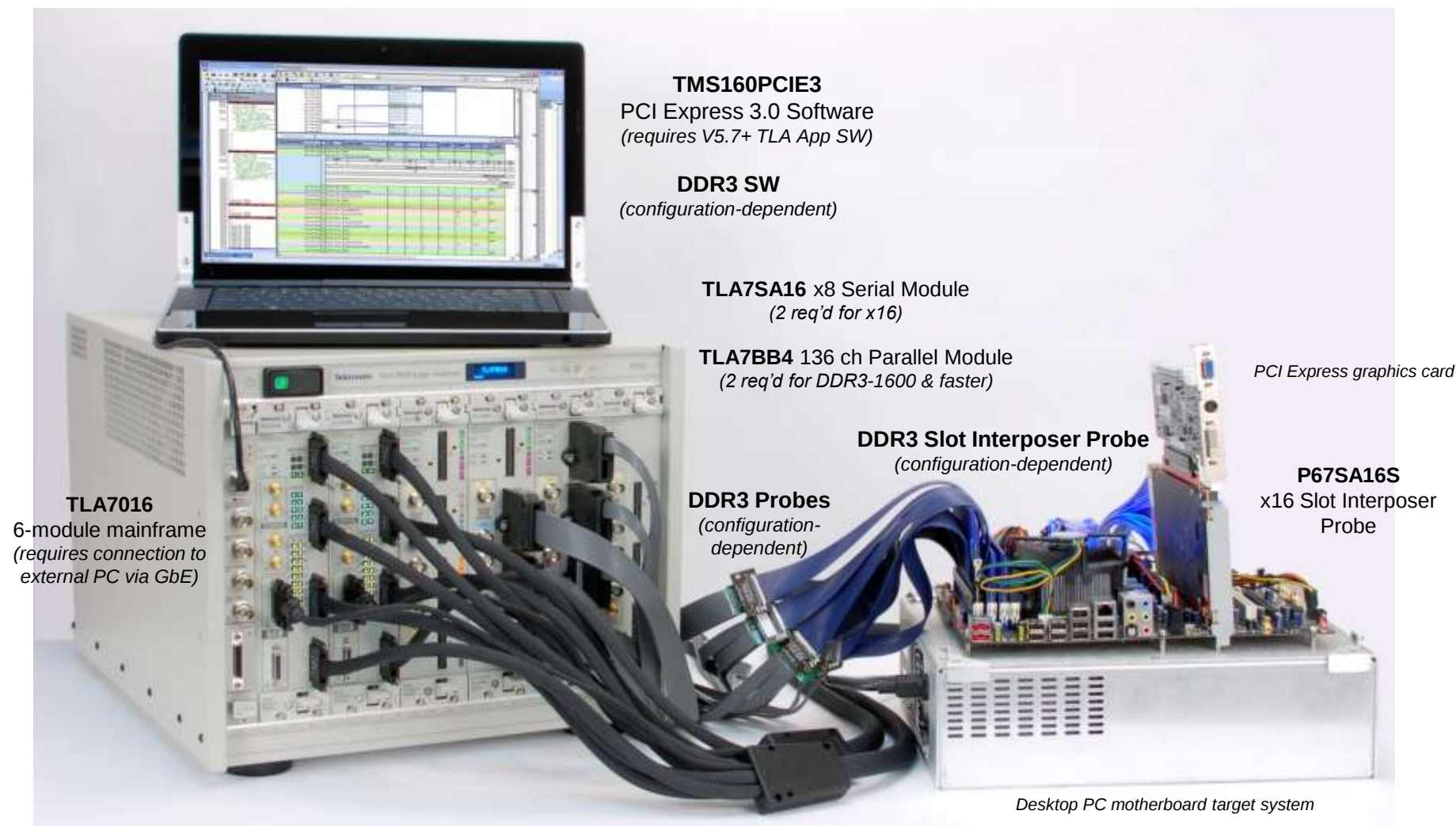
DDR3 DIMM NexVu
DDR3-1867



DDR3 SODIMM NexVu
DDR3-1600



2.6 補足 複合システムの検証例

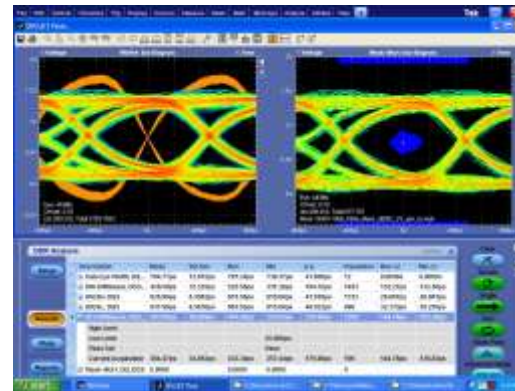
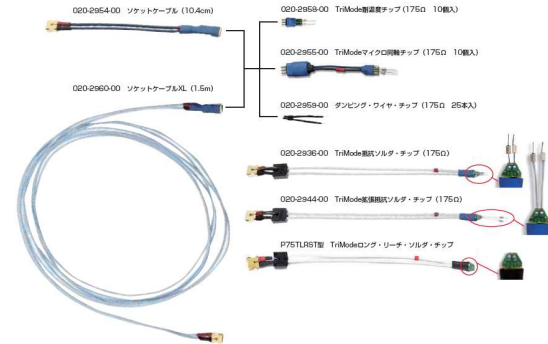


x16 PCI Express 3.0 + DDR3-1600 検証システム例

まとめ

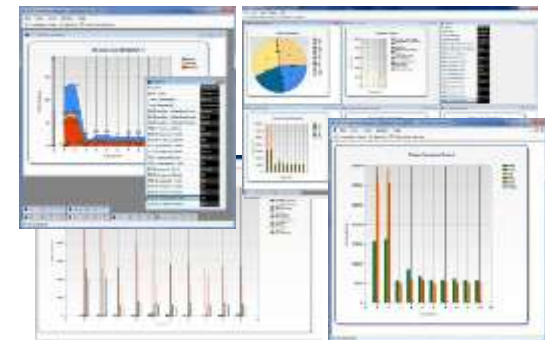
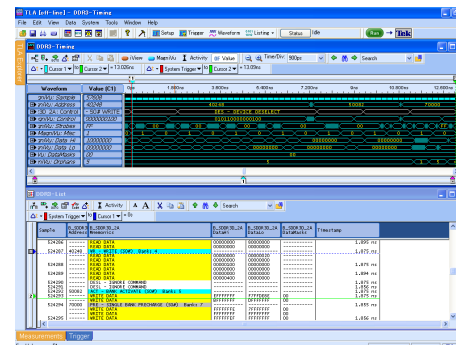
波形観測／シグナル・インテグリティ／タイミング、ジッタ計測

- オシロスコープ(70000C/7000C/5000シリーズ)
- コマンド・プロトコル(MSO70000C/MSO5000シリーズ)
- DDRメモリ・バス検証／解析ソフトウェア(DDRA)
 - ジッタ／アイ・ダイアグラム解析ソフトウェア(DPOJET)
 - 波形サーチ／マーク・ソフトウェア(ASM)
- 広帯域Tri-Modeプローブ(P7500シリーズ)
- 豊富なプローブアクセサリ
- BGAインタポーザ
 - GDDR5、DDR4、DDR3、DDR2、LPDDR、LPDDR2



デジタル・デバッグ、システム・レベル・デバッグ

- ロジック・アナライザ(TLA7000シリーズ)
- 最強のモジュール(TLA7Bxx)
- サポート・パッケージ
 - サポート・ソフトウェア
 - インタポーザ(DIMM/SO-DIMM/BGA)
 - NEXVu(DIMM/SO-DIMM)
- プロトコル解析ソフトウェア
- 高実装密度差動プローブ
- 統合デバッグ対応(ロジックとアナログ)
 - iView、iCapture、FPGAView



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>