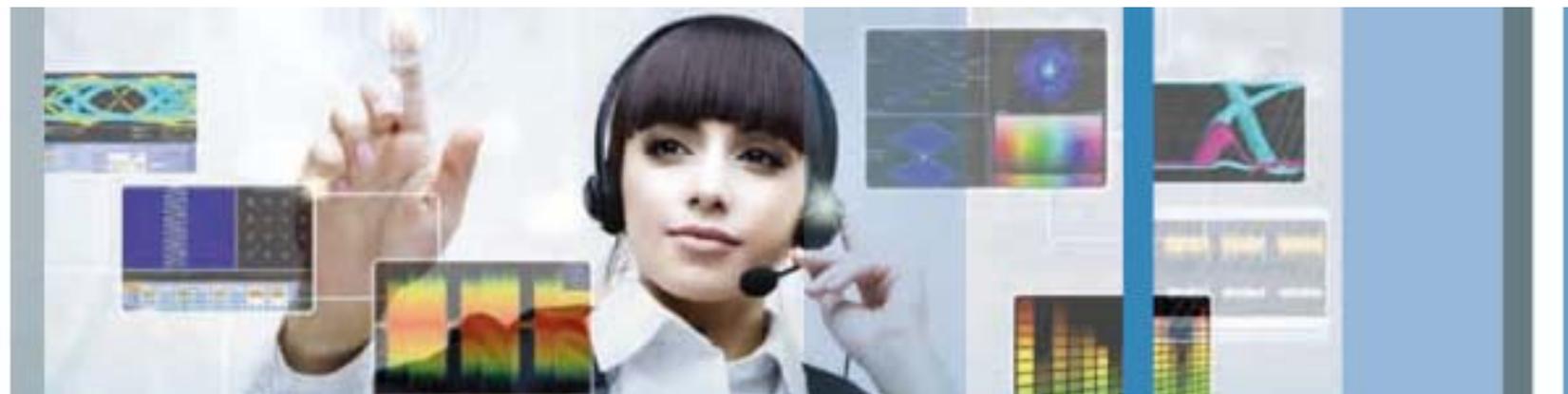


最新のDDRメモリの測定評価手法



テクトロニクス・イノベーション・フォーラム2011

高橋 誠

www.tektronix.com/ja

内容

はじめに

第1章 オシロスコープによる測定ソリューション

- 1.1 オシロスコープ
- 1.2 プローブ
- 1.3 測定
- 1.4 解析
- 1.5 推奨機器

第2章 ロジック・アナライザによる測定ソリューション

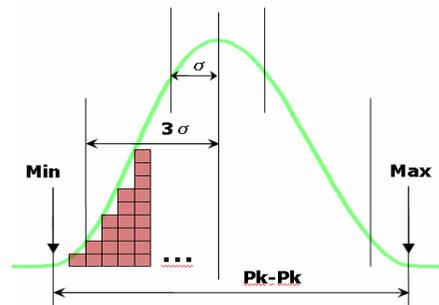
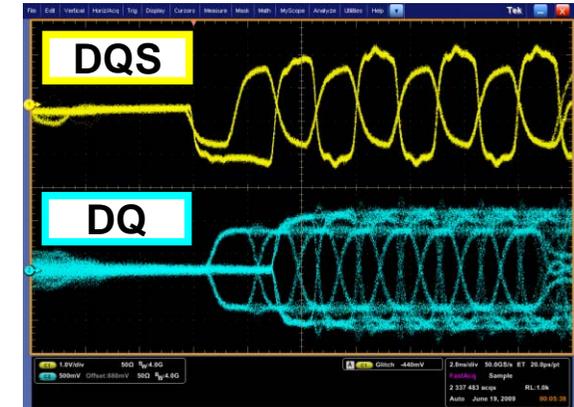
- 2.1 ロジック・アナライザ
- 2.2 プローブ
- 2.3 ステート、タイミング解析
- 2.4 プロトコル解析
- 2.5 推奨機器構成

まとめ

はじめに

DDRメモリ評価の課題

- 測定ポイントとプロービング
 - 簡単で、信頼性の高い接続
 - 周波数帯域とシグナル・インテグリティ
- リード／ライト・バーストの特定
 - トリガまたは後処理
- JEDEC適合性試験の複雑さ
 - パラメータのタイミング／振幅測定
 - V_{REF} 、 $V_{IH(AC/DC)}$ 、 $V_{IL(AC/DC)}$ 、デイレートイング
- 短時間で有効性のある統計データ処理
- 効率的なレポート／保存
- プロトコルの確認
 - CL-tRCD-tRP
 - リフレッシュ・サイクル
- 高度な解析
 - 特性評価
 - デバッグ



最大値、最小値、平均値...

NOTE: The following general notes from page 170 apply to Table 65: Note a. VDD = VDDQ = 1.5V ± 0.075V.

JEDEC Standard No. 79-3C
Page 164

Table 65 — Timing Parameters by Speed Bin (Cont'd)

Parameter	Symbol	DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600		Units	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Cumulative error across 8 cycles	ERR8(per)	-241	-241	-217	-217	-193	-193	-169	-169	ps	
Cumulative error across 9 cycles	ERR9(per)	-249	-249	-224	-224	-200	-200	-175	-175	ps	
Cumulative error across 10 cycles	ERR10(per)	-257	-257	-231	-231	-205	-205	-180	-180	ps	
Cumulative error across 11 cycles	ERR11(per)	-263	-263	-237	-237	-210	-210	-184	-184	ps	
Cumulative error across 12 cycles	ERR12(per)	-269	-269	-242	-242	-215	-215	-188	-188	ps	
Cumulative error across n = 13, 14, ..., 48, 50 cycles	ERR(per)			ERR(per)max = (1 + 0.682(n-1)) * tTRP(max)		ERR(per)max = (1 + 0.682(n-1)) * tTRP(max)		ERR(per)max = (1 + 0.682(n-1)) * tTRP(max)		ps	24
Data Timing											
DQS, DQ# to DQ skew, per group, per access	dDQSQ	-	200	-	150	-	125	-	100	ps	13
DQ output hold time from DQS, DQ#	QH	0.38	-	0.38	-	0.38	-	0.38	-	ns	13, 4
DQ low impedance time from CK, CK#	RLZ(DQ)	-800	-400	-600	-300	-500	-250	-450	-225	ps	13, 14, 7
DQ high impedance time from CK, CK#	RLZ(DQ)	-	400	-	300	-	250	-	225	ps	13, 14, 7
Data wrap time to DQS, DQ# referenced to VIL(AC) levels	DSW(burst)	75	-	25	-	30	-	10	-	ps	4, 17
Data hold time from DQS, DQ# referenced to VIL(AC) levels	DSH(burst)	150	-	100	-	65	-	45	-	ps	4, 17
DQ and DQ# input pulse width for each input	dDPW	600	-	400	-	400	-	360	-	ps	28
Data Strobes Timing											
DQS, DQ# differential READ Preamble	dRPPE	0.3	Note 19	0.3	Note 19						
DQS, DQ# differential READ Postamble	dRPST	0.3	Note 11	0.3	Note 11						
DQS, DQ# differential output high time	QH	0.38	-	0.38	-						
DQS, DQ# differential output low time	QL	0.38	-	0.38	-						
DQS, DQ# differential WRITE Preamble	dWPPE	0.3	-	0.3	-						
DQS, DQ# differential WRITE Postamble	dWPST	0.3	-	0.3	-						
DQS, DQ# timing to q output access time from rising CK, CK#	dQSCK	-400	400	-300	300						

8.1 AC and DC Logic Input Levels for Single-Ended Signals

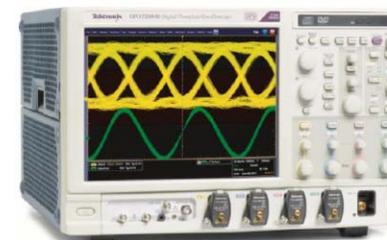
8.1.1 AC and DC Input Levels for Single-Ended Command and Address Signals

Table 24 — Single-Ended AC and DC Input Levels for Command and Address

Symbol	Parameter	DDR3-800/1066/1333/1600		Unit	Notes
		Min	Max		
V _{IH} (CA/DC)	DC input logic high	V _{ref} + 0.100	V _{DD}	V	1
V _{IL} (CA/DC)	DC input logic low	V _{SS}	V _{ref} - 0.100	V	1
V _{IH} (CA/AC)	AC input logic high	V _{ref} + 0.175	Note 2	V	1, 2
V _{IL} (CA/AC)	AC input logic low	Note 2	V _{ref} - 0.175	V	1, 2
V _{IH} (CA/AC150)	AC input logic high	V _{ref} + 0.150	Note 2	V	1, 2
V _{IL} (CA/AC150)	AC input logic low	Note 2	V _{ref} - 0.150	V	1, 2
V _{REF} (A/DC)	Reference Voltage for ADD, CMD inputs	0.49 * V _{DD}	0.51 * V _{DD}	V	3, 4

1.1 オシロスコープ

DSA70000Dシリーズ デジタル・シリアル・アナライザ
 DPO70000Dシリーズ デジタル・フォスファ・オシロスコープ



新製品!

■ 「世界一正確なオシロスコープ」

アナログ部	DSA73304D型 DPO73304D型	DSA72504D型 DPO72504D型
最高周波数帯域	33 GHz	25 GHz
最高サンプル・レート	100 GS/s @ 2チャンネル、50 GS/s @ 4チャンネル	
10-90%立上り時間	12.5 ps	16 ps
20-80%立上り時間	9 ps	12 ps
最大レコード長	250 Mポイント @ 4チャンネル	
ジッタ・ノイズ・フロア	347fs (rms)	330 fs (rms)
デルタ時間測定確度	1.43 ps (rms)	1.24 ps (rms)
標準	<ul style="list-style-type: none"> ジッタ&タイミング解析、サーチ&マーク 	
オプション (* DSA70000Dシリーズ標準)	<ul style="list-style-type: none"> コミュニケーション・マスク・テスト*、ジッタ/アイ・ダイアグラム解析*、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ/プロトコル・デコード* USB2/3、Ethernet、MIPI、HDMI、DisplayPort、DVI、SATA、PCI Express、QPIコンプライアンス I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 ビジュアル・トリガ 	
その他	<ul style="list-style-type: none"> 毎秒30万の高速波形取り込み、Pinpointトリガによる効果的な波形捕捉 DSP特性補正、フラットな周波数応答特性、低ノイズ、高有効ビット 周波数帯域選択機能、ArbFilter機能 	

1.1 オシロスコープ

MSO70000Cシリーズ ミックスド・シグナル・オシロスコープ
 DSA70000Cシリーズ デジタル・シリアル・アナライザ
 DPO70000Cシリーズ デジタル・フォスファ・オシロスコープ



■ 「最高の波形特性」と「強力な解析能力」

アナログ部	MSO72004C型 DSA72004C型 DPO72004C型	MSO71604C型 DSA71604C型 DPO71604C型	MSO71254C型 DSA71254C型 DPO71254C型	MSO70804C型 DSA70804C型 DPO70804C型	MSO70604C型 DSA70604C型 DPO70604C型	MSO70404C型 DSA70404C型 DPO70404C型
最高周波数帯域	20 GHz	16 GHz	12.5 GHz	8 GHz	6 GHz	4 GHz
最高サンプル・レート	100 GS/s @ 2チャンネル、50 GS/s @ 4チャンネル			25 GS/s @ 4チャンネル		
10-90%立上り時間	18 ps	24.5 ps	32 ps	49 ps	65 ps	98 ps
20-80%立上り時間	14 ps	17 ps	22 ps	34 ps	45 ps	68 ps
最大レコード長	250 Mポイント @ 4チャンネル			125 Mポイント @ 4チャンネル		
ジッタ・ノイズ・フロア	290fs (rms)	270 fs (rms)		300 fs (rms)		340 fs (rms)
デルタ時間測定確度	1.43 ps (rms)	1.15 fs (rms)	1.23 fs (rms)	1.24 ps (rms)	1.33 ps (rms)	1.48 ps (rms)
標準	<ul style="list-style-type: none"> ジッタ&タイミング解析、サーチ&マーク 					
オプション (* DSA70000Cシ リーズ標準)	<ul style="list-style-type: none"> コミュニケーション・マスク・テスト*、ジッタ/アイ・ダイアグラム解析*、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ/プロトコル・デコード* USB2/3、Ethernet、MIPI、HDMI、DisplayPort、DVI、SATA、PCI Express、QPIコンプライアンス I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 ビジュアル・トリガ、周波数帯域のアップグレード 					
その他	<ul style="list-style-type: none"> 毎秒30万の高速波形取り込み、Pinpointトリガによる効果的な波形捕捉 DSP特性補正、フラットな周波数応答特性、低ノイズ、高有効ビット 周波数帯域選択機能、ArbFilter機能 					

1.1 オシロスコープ

MSO70000Cシリーズ ミックスド・シグナル・オシロスコープ

■ 最高峰のMSO

システム検証／デバッグを新たなステージへ！

新製品！



デジタル部	MSO72004C型	MSO71604C型	MSO71254C型	MSO70804C型	MSO70604C型	MSO70404C型
デジタル・チャンネル数	16チャンネル					
トリガ・クロック/クオリファイア数	1チャンネル					
最高デジタル・サンプル・レート	12.5 GS/s @ 16チャンネル(80 ps分解能)					
最大記録長	250 Mポイント @ 16チャンネル			125 Mポイント @ 16チャンネル		
最小検出パルス幅	400 ps未満					
チャンネル間スキュー	250 ps					
グループあたりのチャンネル数	最大24(デジタル:16、アナログ:4、演算:4)					
デジタル・プローブ	<ul style="list-style-type: none">■ P6780型 -2.5GHz、差動プローブ(片側 20 kΩ、差動 40 kΩ、0.5 pF)、ソルダーイン・プロービング可能■ P6717A型(新製品) -1GHz、パッシブ・プローブ(20 kΩ、3 pF)■ P6750型(新製品) -1GHz、パッシブ・プローブ(20 kΩ、3 pF)、D-Maxによる高密度プロービング可能					
その他	<ul style="list-style-type: none">■ 平行バス・バスのシンボル表示／トリガ■ iCapture -任意のデジタル信号のアナログ観測が可能					

1.1 オシロスコープ

DPO7000Cシリーズ デジタル・フォスファ・オシロスコープ



新製品!

■ 高性能普及クラス

型名	DSO7354C型	DSO7254C型	DPO7104C型	DPO7054C型
最高周波数帯域	3.5 GHz	2.5 GHz	1 GHz	500 MHz
10-90%立上り時間	145 ps	160 ps	300 ps	460 ps
20-80%立上り時間	95 ps	100 ps	200 ps	310 ps
最高サンプル・レート (標準)	40 GS/s @ 1チャンネル 20 GS/s @ 2チャンネル 10 GS/s @ 4チャンネル		20 GS/s @ 1チャンネル 10 GS/s @ 2チャンネル 5 GS/s @ 4チャンネル	
最高サンプル・レート (オプション)	-		40 GS/s @ 1チャンネル 20 GS/s @ 2チャンネル 10 GS/s @ 4チャンネル	-
最大レコード長	500 M / 250 M / 125 Mポイント		250 M / 125 M / 50 Mポイント	
標準	<ul style="list-style-type: none"> ジッタ&タイミング解析、サーチ&マーク 			
オプション	<ul style="list-style-type: none"> Ethernet、USB2.0コンプライアンス、パワー測定／解析 ロー・スピード・シリアル解析 (CAN / LIN、I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ) ジッタ／アイ・ダイアグラム解析 コミュニケーション・トリガ、シリアル・パターン・トリガ、プロトコル・トリガ、ビジュアル・トリガ コミュニケーション・マスク・テスト、波形リミット・テスト 			
その他	<ul style="list-style-type: none"> 毎秒25万波形取込みレート、Pinpointトリガによる効果的な波形捕捉 DSP特性補正、周波数帯域選択機能 ArbFilter機能 ビデオ信号トリガ 			

1.1 オシロスコープ

MSO5000シリーズ ミックスド・シグナル・オシロスコープ
DPO5000シリーズ デジタル・フォスファ・オシロスコープ



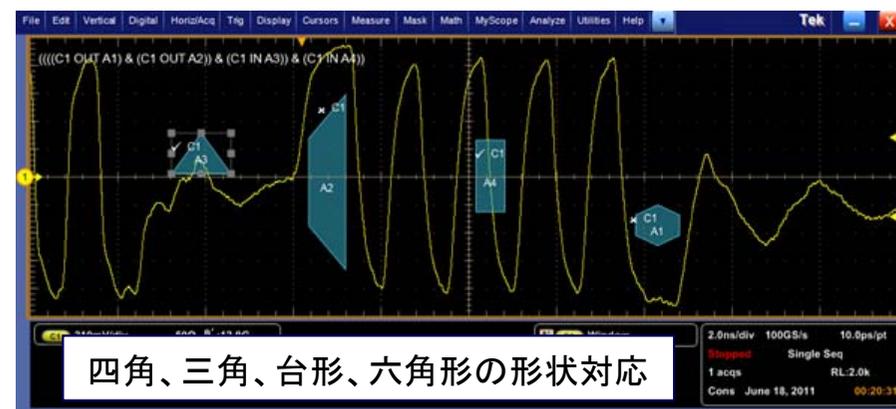
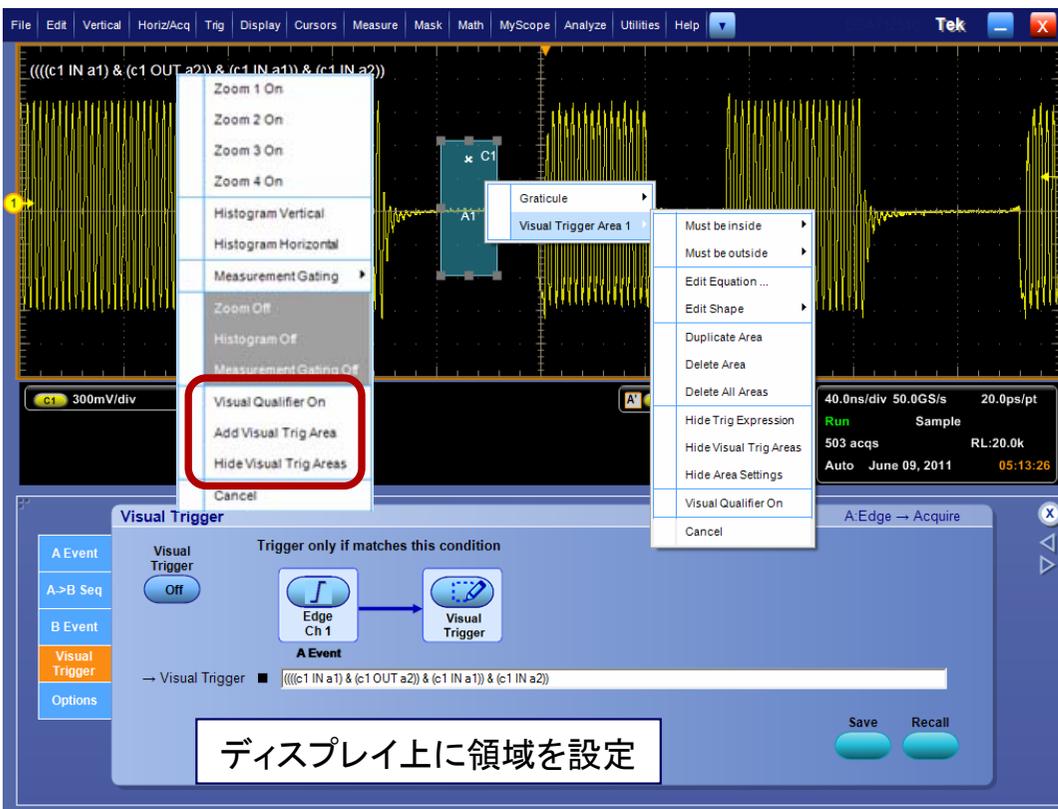
新製品!

■ 高性能なコンパクト・マシーン

型名	MSO5204型 DPO5204型	MSO5104型 DPO5104型	MSO5054型 DPO5054型	MSO5034型 DPO5034型
アナログ周波数帯域	2 GHz	1 GHz	500 MHz	350 MHz
アナログ・サンプル・レート	10 GS/s @ 2チャンネル、5 GS/s @ 4チャンネル		5 GS/s @ 4チャンネル	
立上り時間	175 ps	350 ps	700 ps	1 ns
アナログ・レコード長	250 M @ 2チャンネル、125 M @ 4チャンネル		125 Mポイント @ 4チャンネル	
デジタル・サンプル・レート	500MS/s(メイン)、16.5GS/s(MagniVu)			
デジタル・レコード長	40M(メイン)、10K(MagniVu)			
標準	■ ジッタ&タイミング解析、サーチ&マーク			
オプション	■ USB2.0、Ethernetコンプライアンス ■ DDR解析 ■ シリアル・トリガ/デコード: I2C、SPI、RS-232/422/485/UART、USB2、CAN/LIN2 ■ ビジュアル・トリガ ■ DPOからMSOのアップグレード			
その他	■ 毎秒25万波形取込みレート ■ 周波数帯域選択機能 ■ ArbFilter機能 ■ 低容量パッシブ・プローブ			

1.1 オシロスコープ ビジュアル・トリガ

- ビジュアル・トリガ: 特定の信号をすばやく検出
 - ディスプレイに領域設定: 最大8領域可能、形状は四角、三角、台形、六角形
 - 領域を通過するしないを設定、それぞれの領域に各チャンネル設定可能
 - 複数の領域の論理(AND/OR/XOR)を設定可能
 - 領域を非表示可能
 - 対象波形の非表示可能



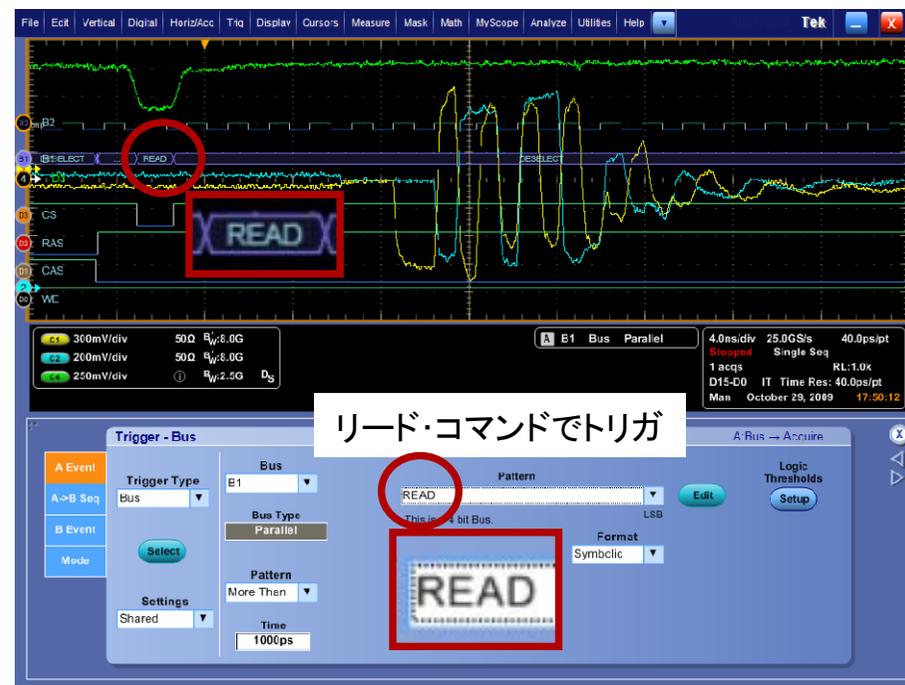
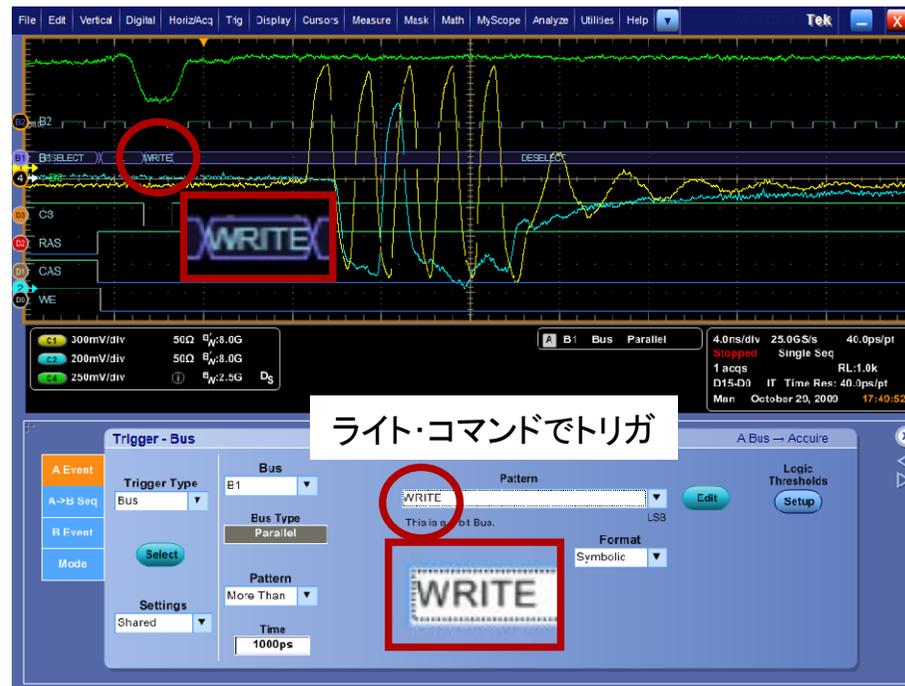
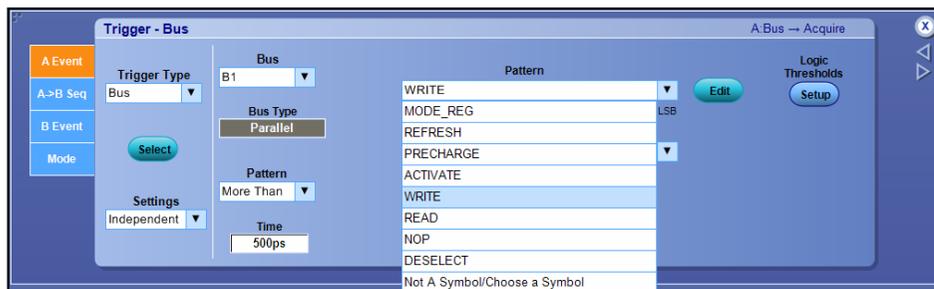
1.1 オシロスコープ バス・トリガとデコード

- **バス機能：トリガとデコード**
 - 信号パターンを自在にシンボル定義可能
 - 信号パタンのシンボル表示
 - シンボルによるトリガ設定
 - MSO70000C、MSO5000シリーズ

シンボル定義

#Command	CS	RAS	CAS	WE
#Symbol Name	Pattern			
PATTERN	BIN			
MODE_REG	0000			
REFRESH	0001			
PRECHARGE	0010			
ACTIVATE	0011			
WRITE	0100			
READ	0101			
NOP	0111			
DESELECT	1XXX			

シンボル選択

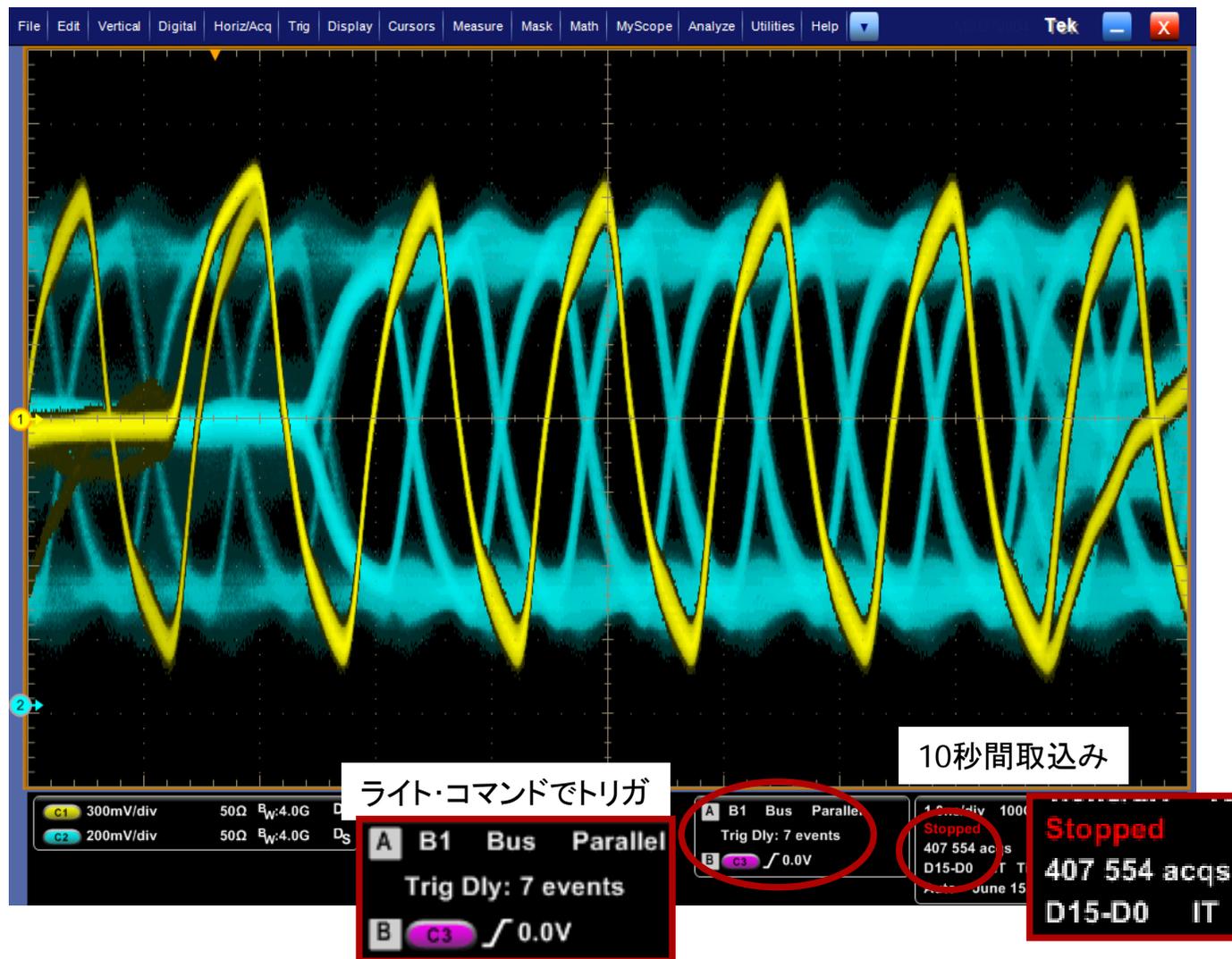


1.1 オシロスコープ

高速取り込みのFastAcq(DPX)

FastAcq(DPX): 高速波形取り込み

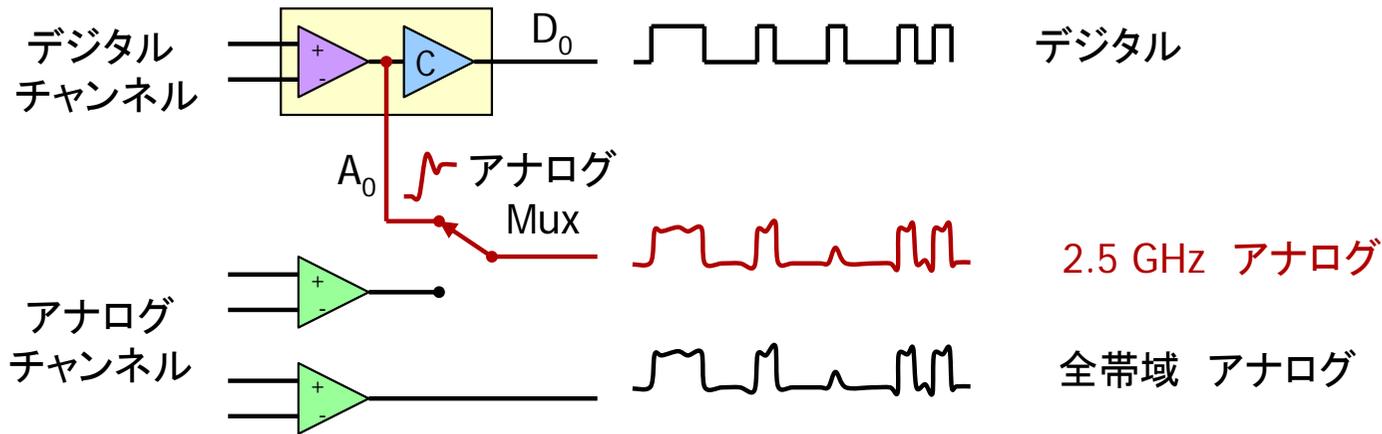
- MSO/DSA/DPO70000Cシリーズは、4ch同時、毎秒30万回以上の高速波形取り込み
- MSO/DPO5000、DPO7000Cシリーズは、4ch同時、毎秒25万回以上の高速波形取り込み



1.1 オシロスコープ

MSO70000CシリーズのiCapture™

- iCapture™ (アナログ Mux)
 - 16デジタル・チャンネルのアナログ帯域は最高2.5GHz
 - プローブの変更、再接続、ダブル・プロービング不要
 - 負荷容量0.5pFのデジタル差動プローブ



1.1 オシロスコープ 波形サーチ／マーク(ASM)

- ロング・メモリに取り込んだ波形から検索
 - 多彩な項目
 - エッジ
 - グリッジ
 - ラント
 - トランジション
 - パルス幅
 - ウィンドウ
 - タイムアウト
 - セットアップ／ホールド
 - パターン
 - ステート
 - バス
 - DDRメモリ・サイクル(オプションDDRA)
 - 検出されたイベントは、マーク表示
 - イベント間をストレスなく移動
 - Bus対応でプロトコル解析可能
 - 3レベル・トリガ可能
- A→B→波形サーチ／マーク

トリガと同じ条件を波形サーチ／マーク
サーチ結果は逆三角でマーク

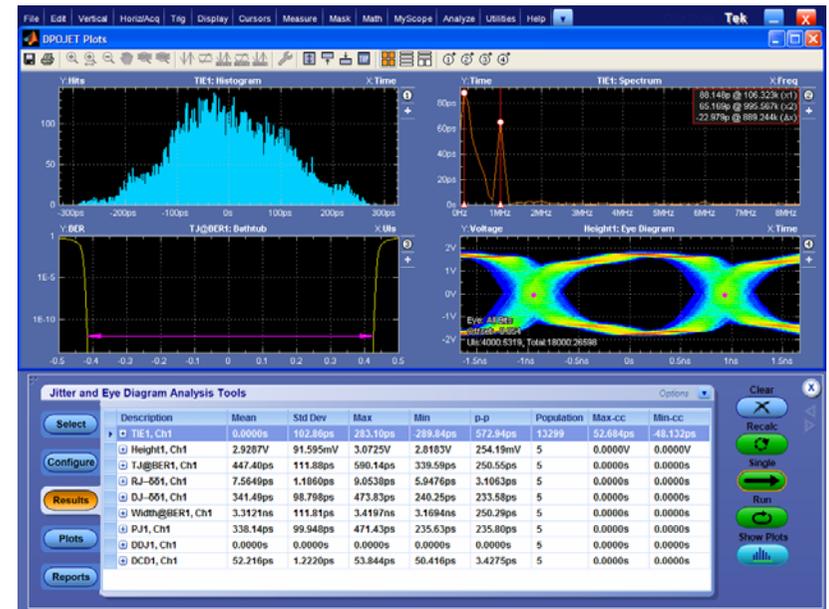
Index	Type	Src	Location	Time Delta				Description	
sec	ms	us	ns						
9	Transition	C1	-1.421ms	000	000	003	071	20C	+Transition: time=2.2Ems
10	Transition	C1	-1.421ms	000	000	000	034	07C	+Transition: time=4.9Ems
11	Transition	C1	80ps	000	001	420	000	06C	+Transition: time=6.2Ems
12	Transition	C1	34.96ns	000	000	000	034	07C	+Transition: time=4.9Ems
13	Transition	C1	1.44ms	000	001	430	541	08C	+Transition: time=2.2Ems
14	Transition	C1	1.44ms	000	000	000	034	07C	+Transition: time=4.9Ems

 Summary statistics: Total Marks: 16, ΔZ1Z2, ΔZ2Z3, ΔZ1Z3. The interface also includes buttons for saving, clearing, and viewing search marks.

1.1 オシロスコープ

ジッタ／アイ・ダイアグラム解析ソフトウェア(DPOJET)

- 規格に準拠した基準電圧による測定
 - セットアップ／ホールド時間、スキュー測定
 - DDR Setup Generatorにて自動測定
 - VDDQに応じた測定
- DDR2/3以外も様々なタイミング、ジッタ測定が可能
 - クロック・ジッタ
 - データ・ジッタ
 - ACタイミング
 - パルス・パラメータ
- 様々な測定結果プロット機能
 - ヒストグラム、タイム・トレンド、サイクル・トレンド、ジッタ・スペクトラム
- 単発測定/繰り返し測定
 - トリガ・ジッタの影響がない高確度な測定
 - メモリに取込んだすべてのパルス測定
- ジッタ成分のRj/Dj分離とDi成分の分離
- ゲーティング測定
- 外部プログラムからコントロール可能
- 以前に保存した波形に対する測定も可能
- Pass/Failの判定機能
- LVDSなど、クロックのN逡倍での解析にも対応
- MHTML形式のレポート機能

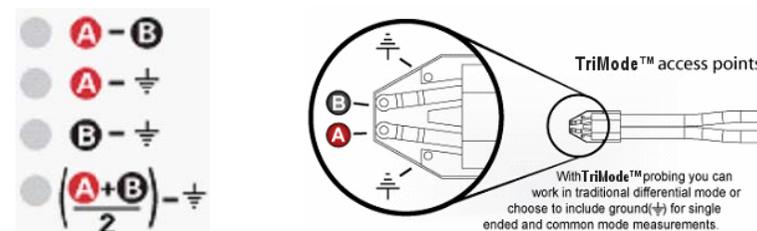


1.2 プローブ P7500シリーズ

型名	P7520型	P7516型	P7513A型	P7508型	P7506型	P7504型
周波数帯域	20 GHz	16 GHz	13 GHz	8 GHz	6 GHz	4 GHz
10～90%立上り時間(代表値)	27 ps未満	32 ps未満	40 ps未満	55 ps未満	75 ps未満	105 ps未満
20～80%立上り時間(代表値)	18 ps未満	24 ps未満	28 ps未満	35 ps未満	50 ps未満	70 ps未満
差動動作入力レンジ	±625 mV(5:1) ±1.6 V(12.5:1)	±750 mV(5:1) ±1.75 V(12.5:1)				
オフセット・レンジ	+3.7 ~ -2 V	+4 ~ -2 V				

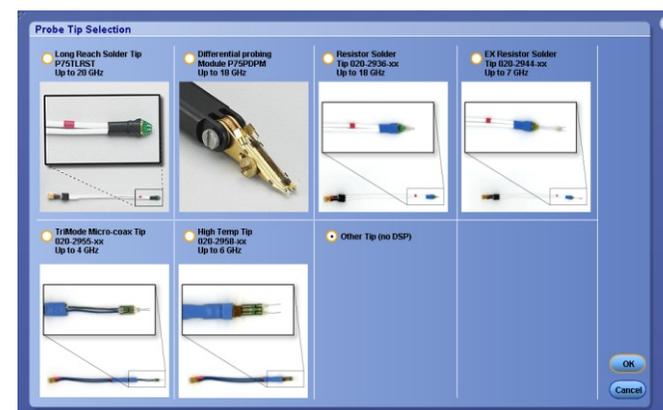
TriMode™プローブ(業界唯一)

- 1本のプローブで下記を切り替え可能
 - 差動 : A-B
 - シングルエンド : AあるいはB
 - コモン・モード : (A+B)/2



信号忠実度

- プローブ特性をDSPで最適に補正することでプローブ先端から優れた波形特性を実現
 - プローブ特性の代表データにて補正
 - アクセサリごとの特性
- ノイズ低減
- アクセサリの選択が容易

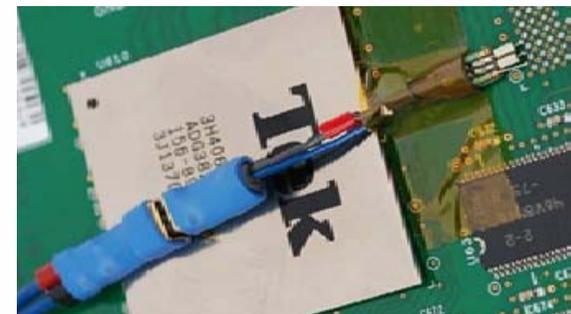


1.2 プローブ

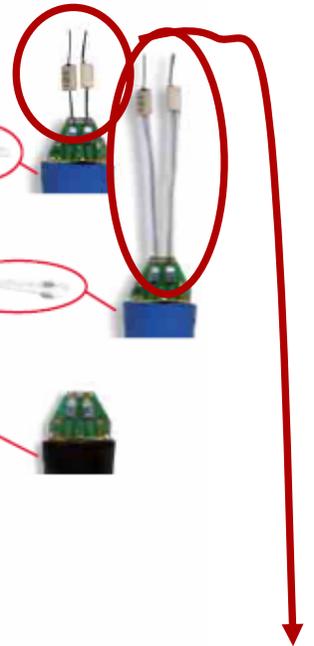
P7500シリーズのプローブ・アクセサリとソルダーイン・プロービング例



-50°C to +150°C
10 GHz -DSP



P75PDPM プロービング・モジュール



020-2937-XX

TriMode Solder Tips Replacement Resistor Kit
100 Ω leaded resistor
75 Ω surface-mount resistor, 0402
Non-conductive tube

- 優れたランニング・コスト
- 200回以上の着脱可能
 - メンテナンス部品の充実

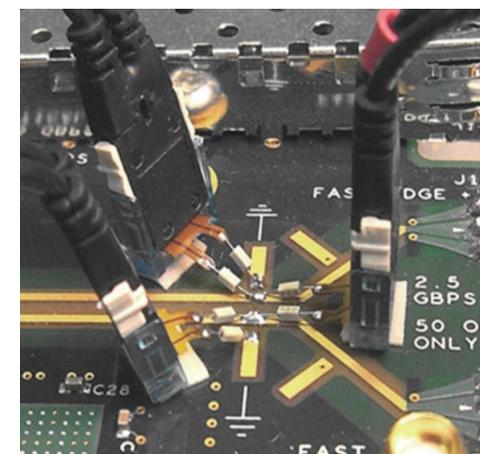
1.2 プローブ

Z-Active差動プローブとソルダーイン・プロービング例

型名	P7313型	P7380A型	P7360A型	P7340A型
周波数帯域(代表値)	13GHz*	8GHz	6GHz	4GHz
10~90%立上り時間 (保証値)	40ps以下	55 ps以下	70ps以下	100ps以下
20~80%立上り時間 (代表値)	25ps以下	35 ps以下	50ps以下	75ps以下
AC負荷	200 Ω 以上	290 Ω 以上		
DC抵抗	100kΩ 差動入力			
減衰比	25:1/5:1			
差動動作入力レンジ	±625mV / ±2.0V	±1.0V / ±2.5V		
オフセット・レンジ	+4~-3V			



- 広範囲な使い方
 - ソルダイン
 - ハンドヘルド
 - プロービング・アーム
 - ヘッダ・ピン



1.2 プローブ

DPO7000C/5000シリーズ、MSO5000シリーズのソルダーイン・プロービング例

差動プローブ

- TDP3500型
 - 周波数帯域: 3.5GHz
 - 差動動作電圧: $\pm 2V$
 - 標準ソルダーイン・アダプタ(020-2505-xx)
 - オプション・アクセサリ(196-3492-xx)
- TDP1500型
 - 周波数帯域: 1.5GHz
 - 差動動作電圧: $\pm 8.5V$
 - 標準チップ・セーバ(016-1781-xx)
 - オプション・アクセサリ(196-3493-xx)

FETプローブ

- TAP3500型／TAP2500型
 - 周波数帯域: 3.5GHz／2.5GHz
 - 動作電圧: $\pm 4V$
- TAP1500型
 - 周波数帯域: 1.5GHz
 - 差動動作電圧: $\pm 8V$
- オプション・アクセサリ
 - チップ・セーバ(016-1781-xx)
 - ソルダーイン用抵抗(196-3493-xx)

TDP3500型のプロービング例

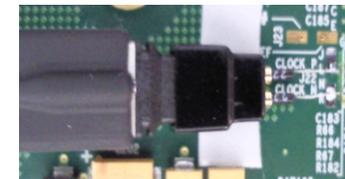
196-3492-xx利用

020-2505-xx利用



TDP1500型のプロービング例

016-1781-xxと196-3493-xx利用



TAP3500型／TAP2500型のプロービング例

016-1781-xxと196-3493-xxと016-1773-xx利用



TAP1500型のプロービング例

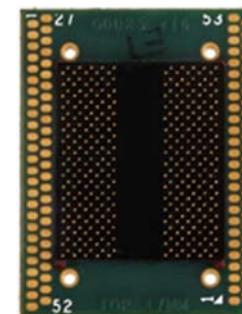
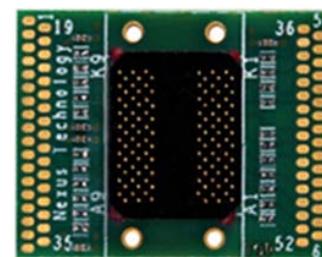
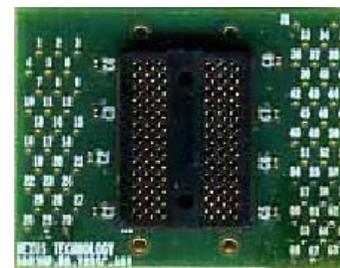
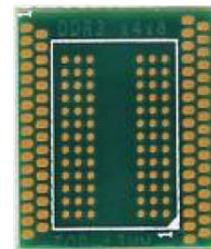
016-1781-xxと196-3493-xxと131-5777-xx利用



1.2 プローブ BGAインタポーザ

- NEX-DDR3MCI/NEX-DDR2MCIシリーズBGAインタポーザ
 - ダイレクト・アーキテクチャ
 - ローコスト
- NEX-DDR3MP/NEX-DDR2MP/NEX-LPDDR1MP/NEX-GDDR5MPシリーズBGAインタポーザ
 - ソケット・アーキテクチャ
 - ロジアナ用とオシロスコープ用インタポーザの交換が容易
 - メモリICの交換が容易
 - インタポーザは再利用可能
 - 専用ソケットによりインタポーザの勘合に配慮
 - 直近のチップ部品の障害回避
 - 独自の支持機構
- DDR3-1867対応のBGAインタポーザ
 - 分岐配線となる引き出し信号線を埋込み抵抗により分離
 - スタブ・アイソレーション・レジスタ
 - プローブ・アッテネータを兼ねる構造
- P7500シリーズ・ソルダイン・アダプタ併用
 - 特性補正用(ディエンベッド)フィルタ・ファイル提供

020-3022-xx インタポーザ用
マイクロ同軸チップ(75Ω 10個入)



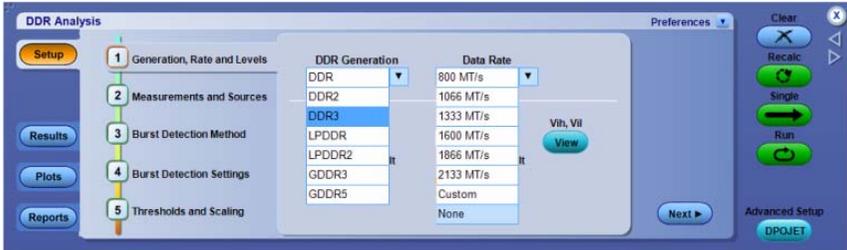
1.3 測定

DDR解析ソフトウェア(DDRA)の特長

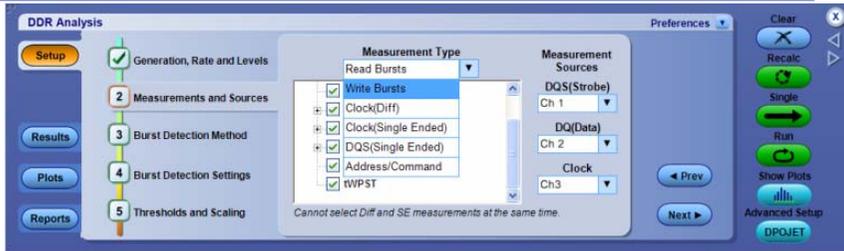
- 自動コンフィグレーション・ウィザードにより、測定項目の選択と設定が容易
- さまざまなDDRに対応
 - DDR/2/3、LPDDR/2、GDDR3/5
- 取込んだすべてのリード／ライト・バーストを解析
 - DQSとDQの相関だけでメモリ・サイクルを分離
 - CSを利用し、マルチランク対応
 - コマンドによるメモリ・サイクルの分離可能
- リード／ライトのDQSおよびDQのアイ・ダイアグラムを作成
 - ジッタ／アイ・ダイアグラム解析ソフトウェア(DPOJET)と連動
- 取込んだリードとライトを識別してタイムスタンプを付加
 - 波形サーチ／マーク(ASM)と連動
- JEDECに準拠したパス／フェイル・テストを実行
 - カスタマイズ要求も柔軟に対応
- DDRAと解析／デバッグ・ツール(DPOJET)が簡単に切り替え可能
- パス／フェイル結果、統計測定値、テスト・セットアップ情報などのレポートを自動作成
- MSO/DSA/DPO70000シリーズ、DPO7000シリーズ、MSO/DPO5000シリーズで動作

1.3 測定

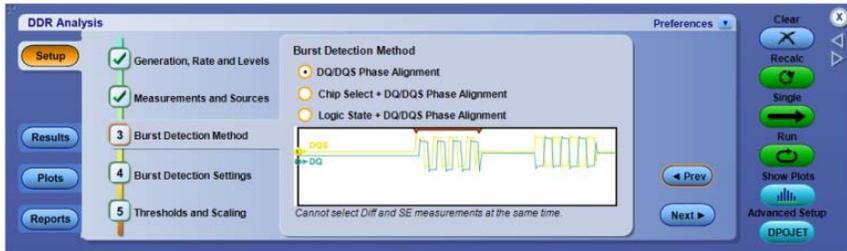
DDRAの自動コンフィグレーション・ウィンドウ



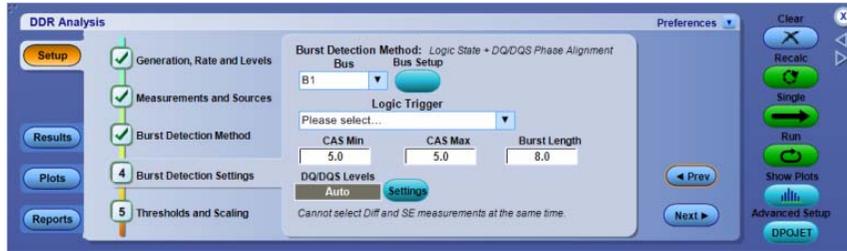
メモリとデータ・レートの設定



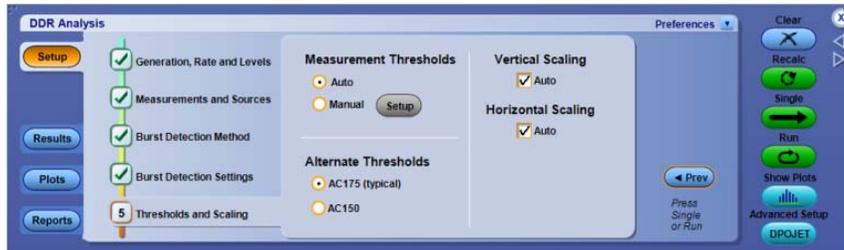
測定項目の設定
ソースの設定



バースト識別設定



コマンドによるバースト設定例
Busとコマンド指定
レイテンシー指定
バースト長を指定



自動スケーリングなどの設定

1.3 測定

DDRAによるメモリ・サイクル分離

接続するだけ！ 取り込んだ全波形をメモリ・サイクル分離！！

自動識別可能なDDR
のタイプ

- LPDDR
- LPDDR2
- DDR
- DDR2
- DDR3
- GDDR3
- GDDR5

トリガ操作必要なし

メモリ知識必要なし

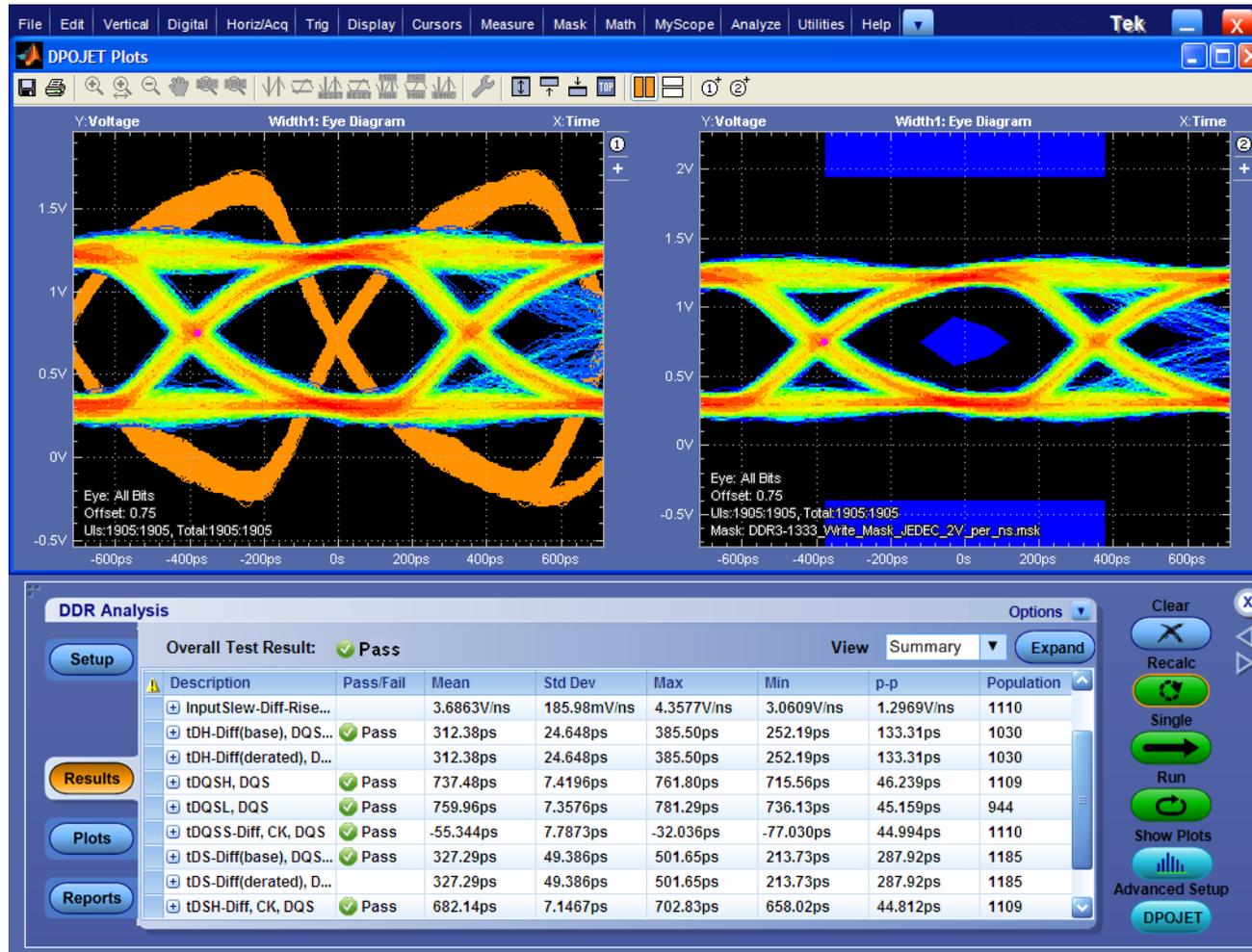


DDRAによるDDR3の読出し、ライト・サイクルの自動識別とマーキングの例
(青色の逆三角形:ライト・サイクル、ピンクの逆三角形:リード・サイクル)

1.3 測定

DDRAによるアイ・ダイアグラム

アイ・ダイアグラムで信号品質を一目で判断！



左はDQSのアイ・ダイアグラムとDQのアイ・ダイアグラムを重ねて表示
右は、DQのアイ・ダイアグラムをマスク・テストした例
(ピンク・ドットはDQSのエッジ位置を示しています)

1.3 測定

DDRAによるクロック測定

JEDEC規格に準拠した自動測定とPass/Fail判定！



DDR3-1333のクロック自動測定例、Fail箇所を拡大表示

3.3 測定

DDRAによるタイミング測定

高速に統計処理！

- 統計データ採取に最適
 - 全データ・エッジを測定
 - 例えば、数十秒程度でtDSとtDHを1000箇所以上の測定可能
- Pass/Fail判定
- ワーストやFail箇所の拡大



DDR3-1333の自動測定の設定例、tDHのワースト箇所を拡大表示
(ピンクの逆三角形マークは自動識別されたライト・サイクルを示しています)

1.3 測定

簡単に測定結果をMHTMLでレポート化

Pass/Fail Information

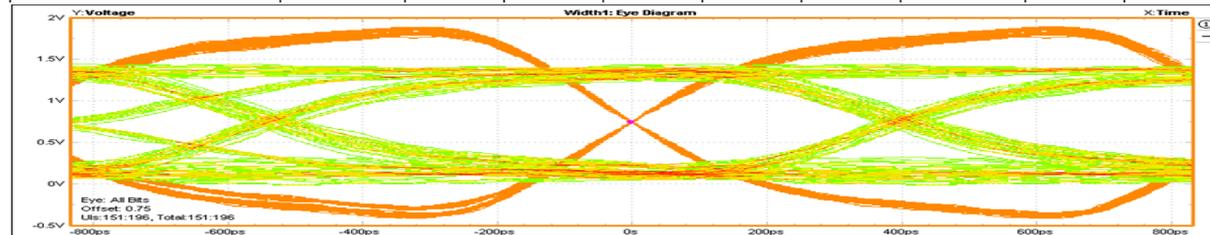
Description	DDR Hold-Diff1,Ch1,Ch2			
User Name	tDH-Diff(base)			
DQS	Ch1			
DQ	Ch2			
	Value	High Limit	Low Limit	Pass Fail
Min	290.00ps		100.00ps	Pass

Pass/Fail Information

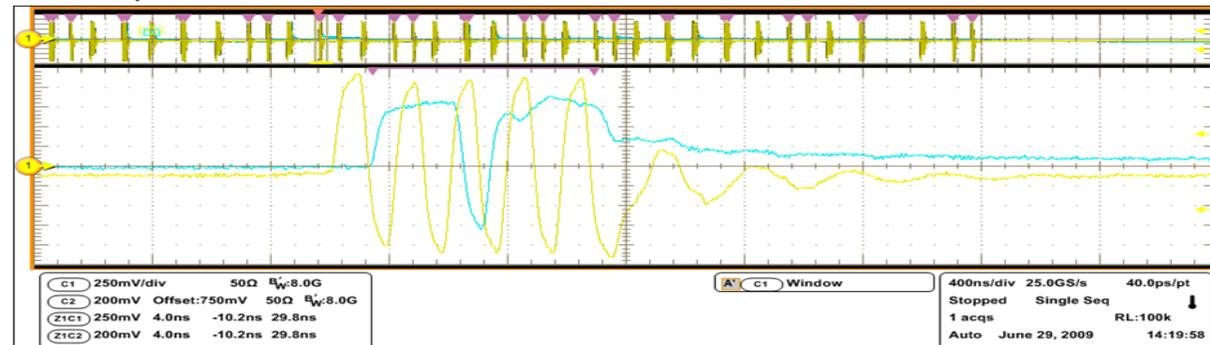
Description	DDR Setup-Diff1,Ch1,Ch2			
User Name	tDS-Diff(base)			
DQS	Ch1			
DQ	Ch2			
	Value	High Limit	Low Limit	Pass Fail
Min	383.01ps		25.000ps	Pass

Measurement Results

Description	User Name	Mean	Std Dev	Max	Min	p-p	Population	Max-cc	Min-cc
Data Eye Width, DQ, DQS		797.32ps	0.0000s	797.32ps	797.32ps	0.0000s	1	0.0000s	0.0000s
Current Acquisition		797.32ps	0.0000s	797.32ps	797.32ps	0.0000s	1	0.0000s	0.0000s
tDH-Diff(base), DQS, DQ		363.15ps	25.637ps	421.06ps	290.00ps	131.06ps	107	97.250ps	-80.051ps
Current Acquisition		363.15ps	25.637ps	421.06ps	290.00ps	131.06ps	107	97.250ps	-80.051ps
tDS-Diff(base), DQS, DQ		467.69ps	50.331ps	714.02ps	383.01ps	331.01ps	110	121.40ps	-124.79ps
Current Acquisition		467.69ps	50.331ps	714.02ps	383.01ps	331.01ps	110	121.40ps	-124.79ps



Oscilloscope Waveform



1.4 解析

tJIT(cc)のスペック違反箇所を自動検索した例

電源ノイズとの相関をスピーディに特定可能

- Ref1: 電源1 (黄色)
- Ref2: 電源2 (青色)
- Ref4: Clock (緑色)
- Ref3: tJIT(cc)の
タイム・トレンド (白色)



スペック違反箇所に
マーキング
(ピンクの逆三角形)

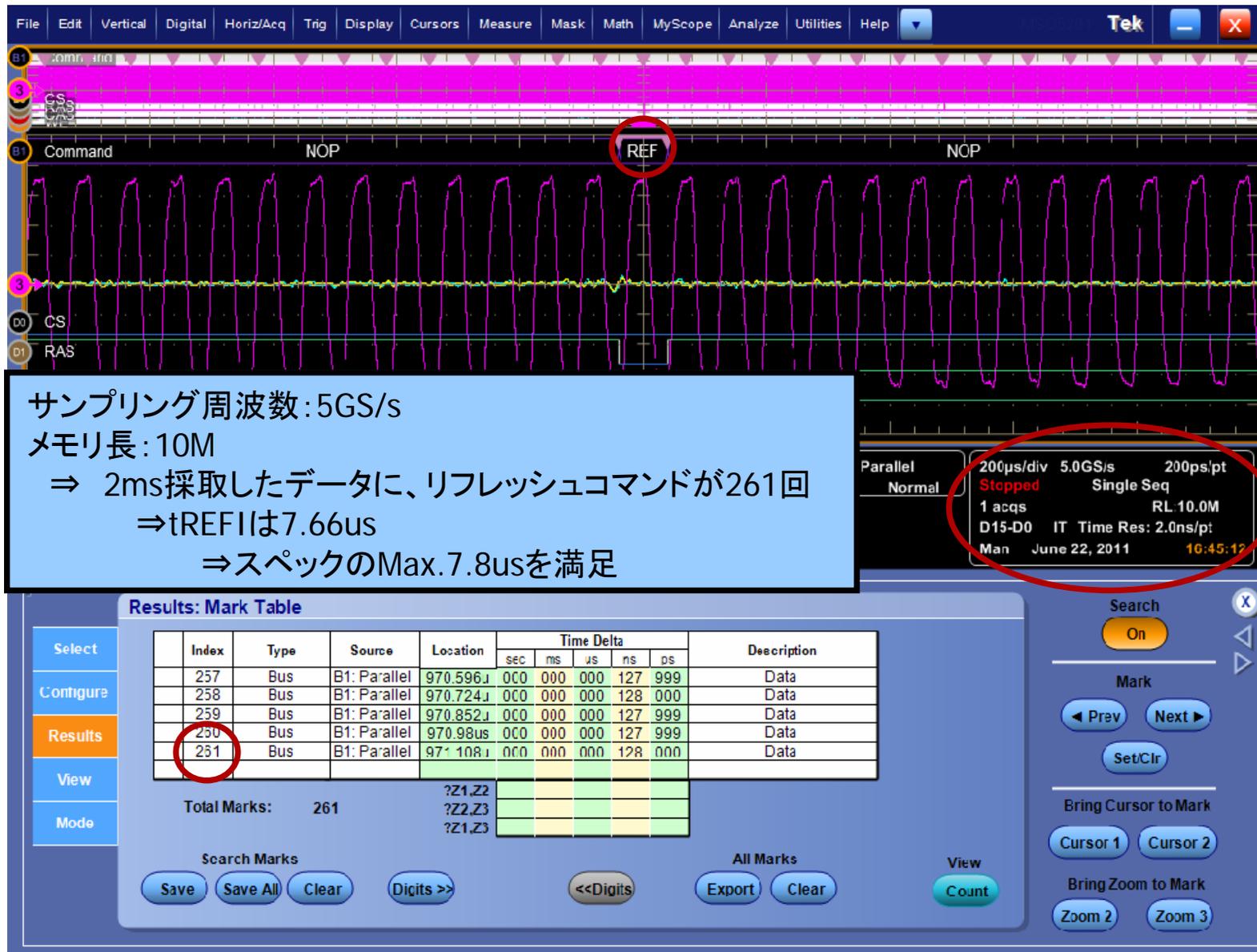
1.4 解析

プロトコルの確認: コマンドのマーキングとリスト表示



1.4 解析

プロトコルの確認:リフレッシュ・サイクル



1.5 推奨機器構成

■ DDR/LPDDR

- DSA70404C型、DPO70404C型、MSO7040C型 (4GHz)
- オプション: Opt.DDRA、Opt.DJA*
- プローブ : P7340A型 × 3本~4本
- アクセサリ: 020-2600-xx、020-2602-xx、020-2604-xx 必要分

■ DDR2/LPDDR2

- DSA70604C型、DPO70604C型、MSO70604C型 (6GHz)
- オプション: Opt.DDRA、Opt.DJA*
- プローブ : P7506型 × 3本~4本
- アクセサリ: 020-2954-xx、020-2955-xx、020-2958-xx 必要分

■ DDR3/DDR3L

- DSA70804C型、DPO70804C型、MSO7080C型 (8GHz)
- オプション: Opt.DDRA、Opt.DJA*
- プローブ : P7508 × 3本~4本
- アクセサリ: 020-2954-xx、020-2955-xx、020-2958-xx、020-2959-xxまたは
020-2936-xx、020-2944-xx 必要分

*: DSA70000Cシリーズは標準装備

2.1 ロジック・アナライザ

ロジック・アナライザ本体

TLA7012型ポータブル本体

2モジュール

- 15型内蔵ディスプレイ(1024×768ドット)
- 外部デュアル・モニタ・サポート(1600×1200ドット)
- タッチ・スクリーン(オプション)

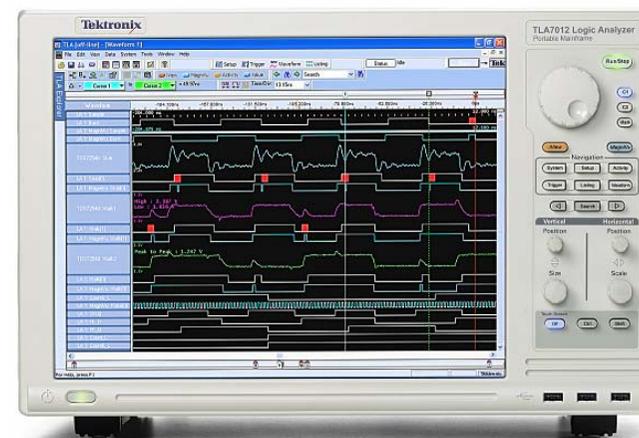
TLA7016型ベンチトップ本体

6モジュール

- 1000BASE-T

共通

- Windows XP Professional
- PC、あるいはTLA7012型をホストとしたシステム・アップが可能
- 最大8本体／システム
- ロジック・アナライザ・モジュール9種類
- パターン・ゼネレータ・モジュール1種類
- 外部TDS/DPOシリーズ・オシロスコープ、DSA70000シリーズ・デジタル・シリアル・アナライザとのリンク機能(iView)



4.1 ロジック・アナライザ

TLA7ACx型ロジック・アナライザ・モジュール

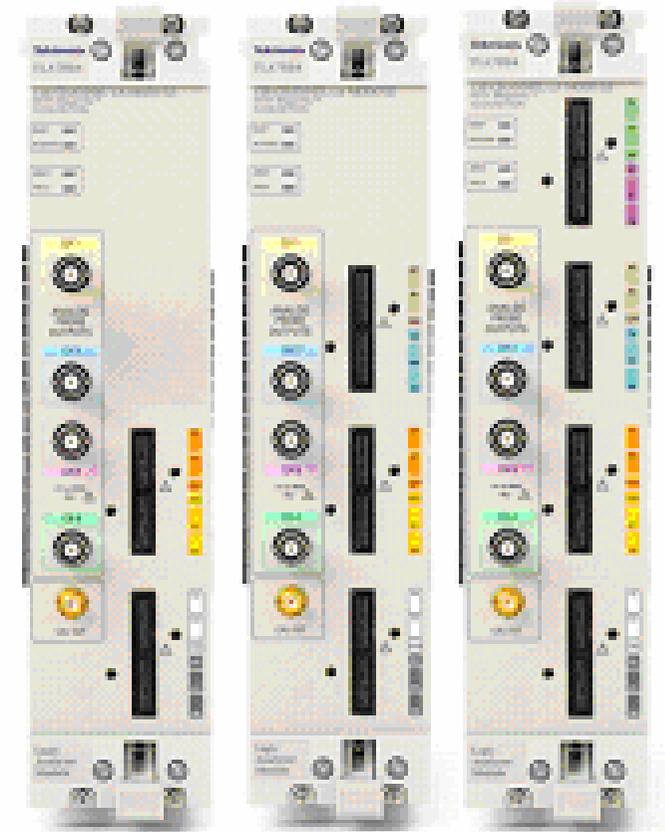
- 入力チャンネル数・・・68、102、136チャンネル
 - 最大680チャンネルまでマージ可能
 - DDR2-800に対応可能
- メモリ長・・・2M~128M@フル・チャンネル
- **業界唯一!** 2GHz iCapture (アナログMUX)
 - 標準: 固定4チャンネル、オプション: 全チャンネル
- 高速タイミング・・・MagniVu™ 8GHz 16K
- 汎用タイミング・・・500 MHzコンベンショナル@フル・チャンネル、1GHzコンベンショナル@1/2チャンネル、2GHzコンベンショナル@1/4チャンネル、500MHzトランジショナル・フル・メモリ
- 高速タイミング解析と汎用タイミング解析、あるいはステート解析を1本のプローブを通して同時に実現
- 最高800MHz、1.25Gbpsステート
 - NEX-SRIO2のためには450MHzステート・オプションが必要
- トリガ・・・500MHzトリガ・ステート遷移速度、125ps分解能セットアップ&ホールド時間違反トリガ
- 0.5pFプローブ入力容量
 - 差動にも対応



2.1 ロジック・アナライザ

TLA7Bxx型ロジック・アナライザ・モジュール

- 68/102/136チャンネル入力
 - 最大680チャンネルまでマージ可能
 - 全モジュールがマージ可能！
 - DDR3-1867に対応可能
- メモリ長・・・2M～128M@フル・チャンネル
- **業界唯一！3GHz iCapture** (アナログMUX)
- **世界最高！** 高速タイミング・・・MagniVu™ **50GHz** 128K
- 汎用タイミング・・・1.6GHzコンベンショナル@フル・チャンネル、3.2GHzコンベンショナル@1/2チャンネル、6.4GHzコンベンショナル@1/4チャンネル、750MHzトランジショナル・フル・メモリ
- 高速タイミング解析と汎用タイミング解析、あるいはステート解析をのプローブを通して同時に実現
- 標準750MHz / 1.5Gbps、最高1.4GHz / 2.8Gbpsステート
- トリガ・・・800MHzトリガ・ステート遷移速度、40ps分解能セットアップ & ホールド時間違反トリガ
- 20ps分解能タイムスタンプ
- 0.5p-0.7pFプローブ入力容量 (P68xxシリーズ、P69xxシリーズ)
 - 差動にも対応

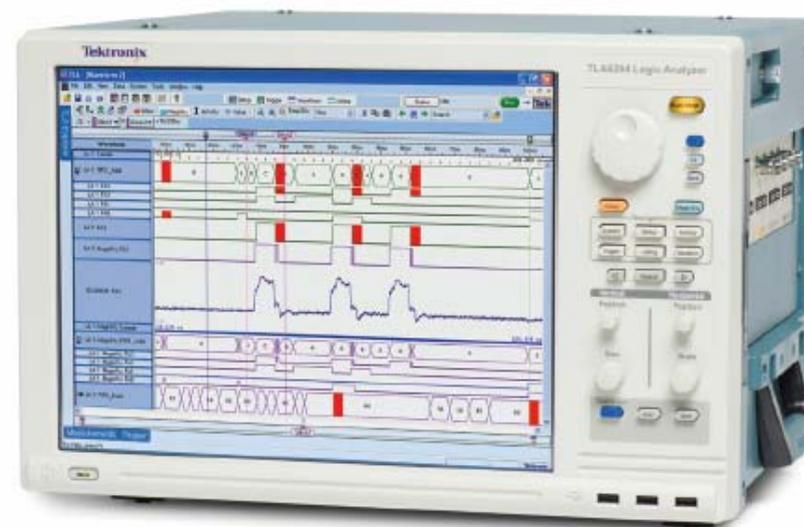


2.1 ロジック・アナライザ

TLA6000シリーズ・ロジック・アナライザ

新製品!

- 最大136チャンネル入力
 - TLA6204型:136、TLA6203型:102、TLA6202型:68
- メモリ長 — 2M(標準)~128M(最大)
- **業界唯一! 2GHz iCapture(アナログMUX)**
- 高速タイミング — MagniVu™ **8GHz 16K**
- タイミング・サンプル・レート
 - 2GHz(4x)、1GHz(2x)、500MHz(1x)
- ステート・クロック・レート
 - 標準:450MHz(4x)、450MHz (2x)、235MHz(1x)
 - 最高:625MHz(4x)、450MHz (2x)、235MHz(1x)
- ステート・データ・レート
 - 標準:900MHz(4x)、470MHz (2x)、235MHz(1x)
 - 最高:1.25GHz(4x)、900MHz (2x)、450MHz(1x)
- 高速タイミング解析と汎用タイミング解析、あるいはステート解析を1本のプローブを通して同時に実現
- D-Max低容量コンタクトレスのP6960シリーズを継続使用可能
- P6810型またはP6434型がチャンネル分標準装備
- DDR2メモリ検証パッケージをサポート
 - DDR2-800まで対応、TLA6203型またはTLA6204型
 - NEX-DDR2CI60:x4/x8対応
 - NEX-DDR2CI84:x16対応

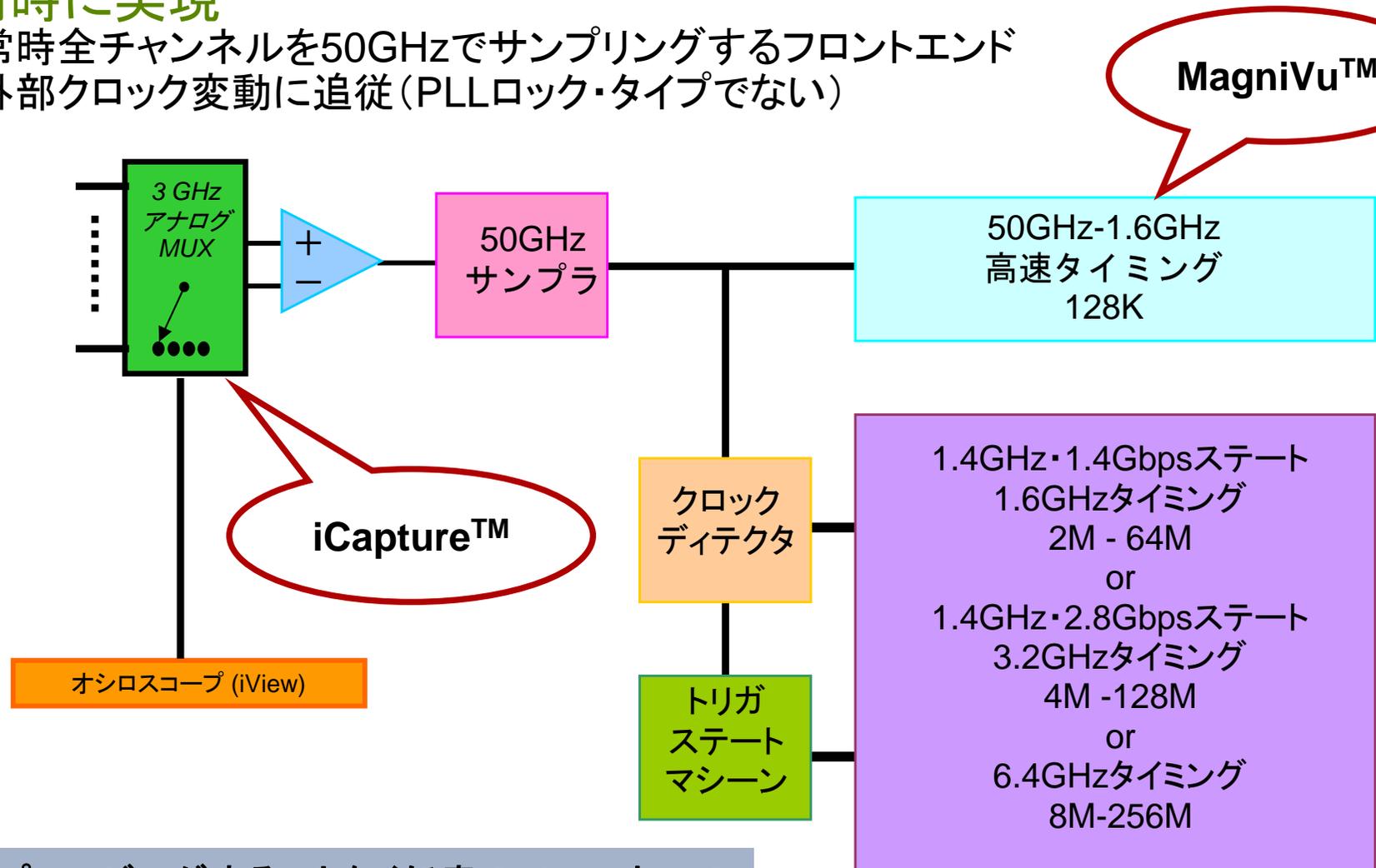


2.1 ロジック・アナライザ

MagniVu™、iCaptuer™

汎用ロジック・アナライザと高速タイミング・アナライザを一台で同時に実現

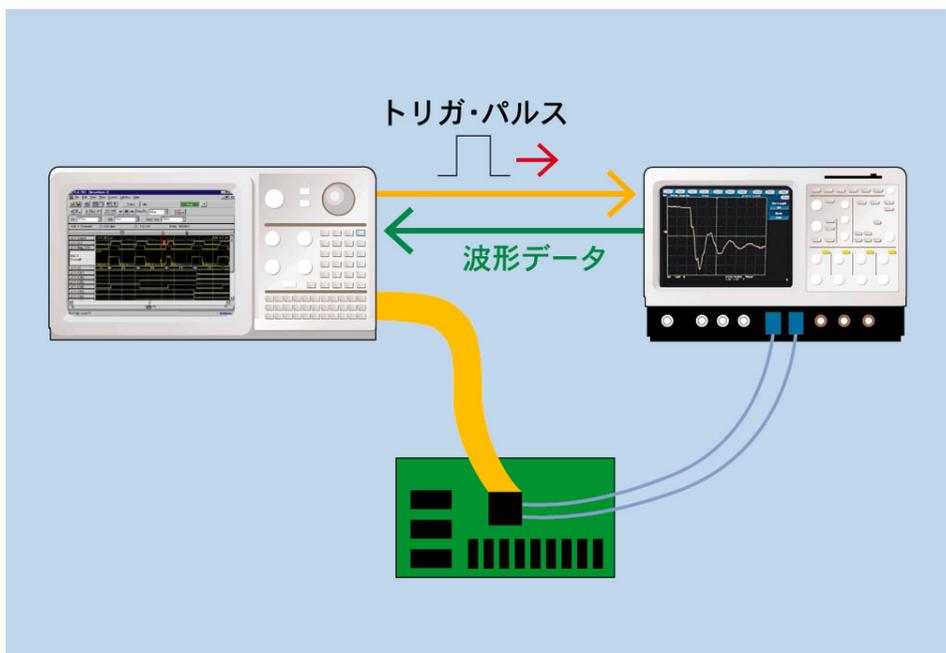
- 常時全チャンネルを50GHzでサンプリングするフロントエンド
- 外部クロック変動に追従(PLLロック・タイプでない)



ダブル・プロービングすることなく任意のチャンネルのアナログ波形をオシロスコープで観測可能！

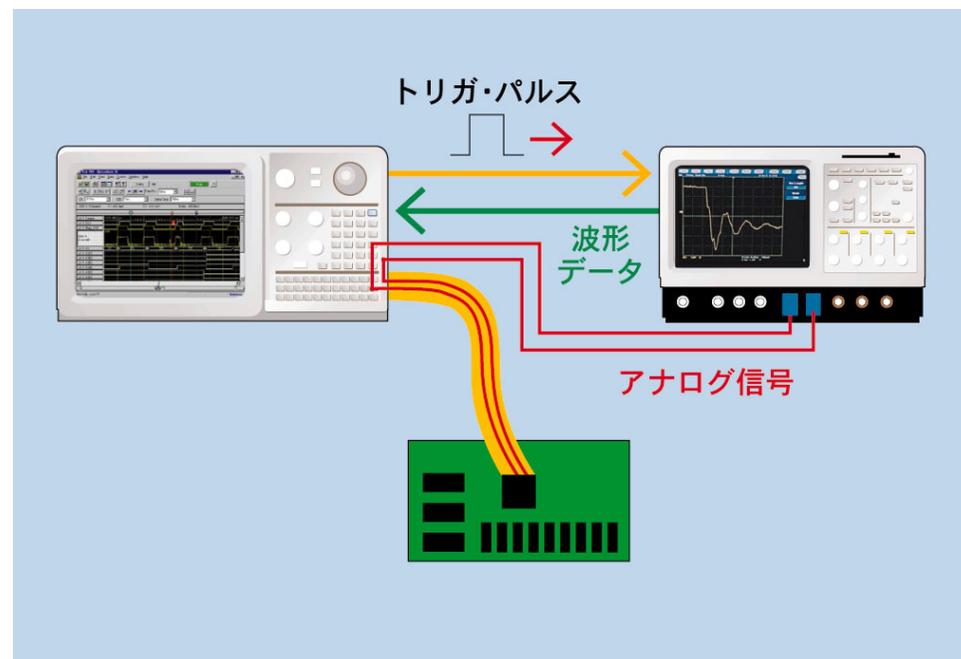
2.1 ロジック・アナライザ アナログとデジタルの統合デバッグ

iView



ロジック・アナライザのプローブと
オシロスコープのプローブを別々に
接続

iCapture



ロジック・アナライザのプローブだけを
接続し、ロジック・アナライザのプローブ
を通してのアナログ信号解析

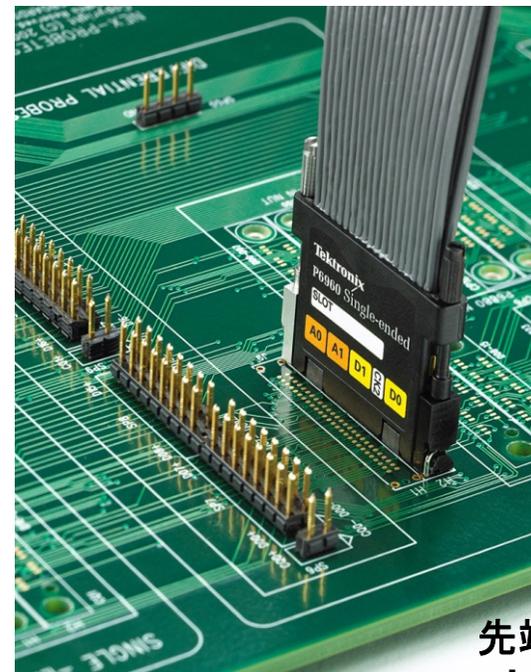
業界唯一のロジック・アナライザ・プローブを通しての
アナログ信号解析ソリューション

2.2 プローブ

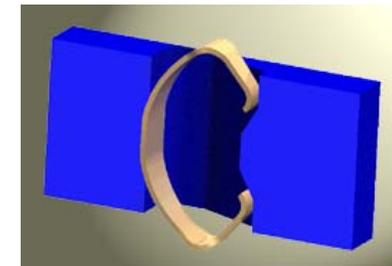
基板直付型 P6900シリーズ

- DDR3-1867のレート対応
- 高実装密度コネクタレス
- SiGe(シリコン・ゲルマニウム)によるアクティブ・バイポーラ・プローブ
 - 低容量(0.5pF以下)
 - 3GHz周波数帯域(代表値)
- 小振幅・差動信号を観測可能に
 - 最小入力電圧スイング
 - シングルエンド入力: スレッショルドに対し、 $\pm 100\text{ mV}$ 、または信号振幅の $\pm 25\%$ のどちらか大きい方
 - 差動入力: $V_{\text{pos}} - V_{\text{neg}} > 100\text{ mV}_{\text{p-p}}$
(出力 200 mV)

34チャンネル・コネクタレス・コンタクト D-Max(cLGA)

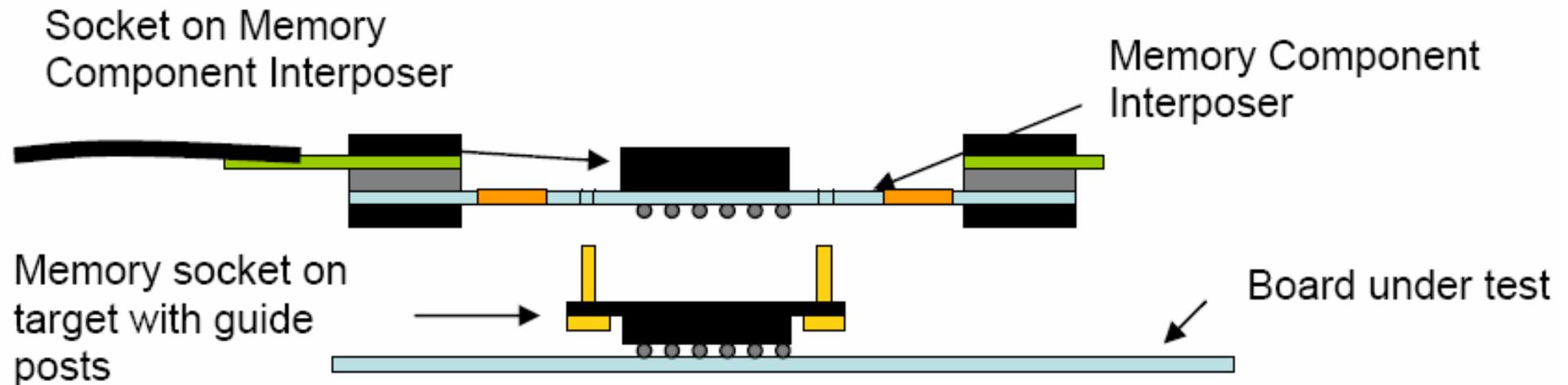
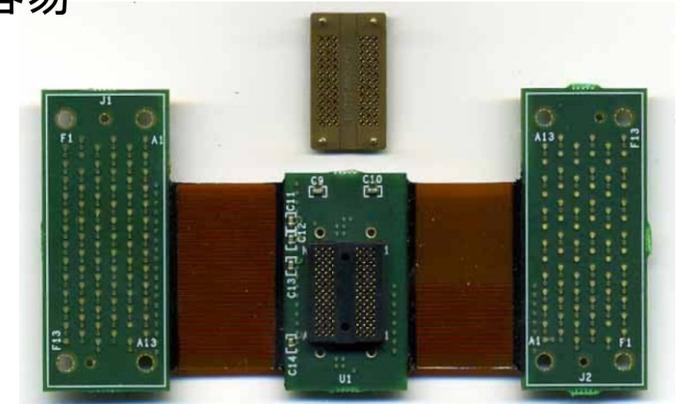


先端部
cLGA



2.2 プローブ BGAインタポーザ

- NEX-DDR3MP/NEX-DDR2MP/CIシリーズBGAインタポーザ
 - 業界唯一のDDR3-1867対応のBGAインタポーザ
 - ソケット・アーキテクチャを採用
 - 専用ソケットによりインタポーザの勘合に配慮
 - ロジアナ用とオシロスコープ用インタポーザの交換が容易
 - 直近の部品の障害回避
 - メモリICの交換が容易
 - インタポーザは再利用可能
 - 低ランニング・コスト



2.2 プローブ

DIMMインタポーザ (DDR3-1867)

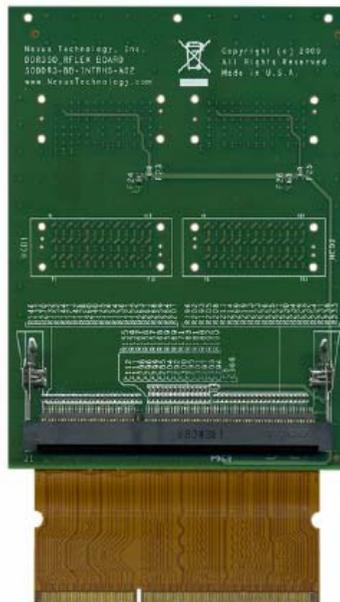
MINI-DIMMインタポーザ (DDR3-1600)

SO-DIMMインタポーザ (DDR3-1600)

- NEX-DDR3INTR-HS



- NEX-SODDR3INTR-HS

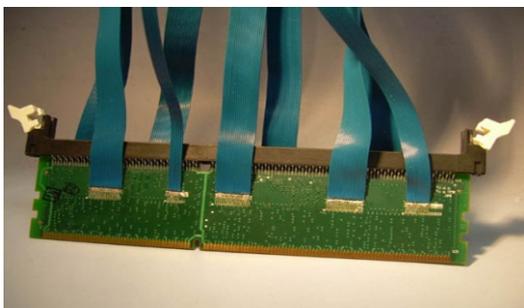


- NEX-DDR3INTR-P

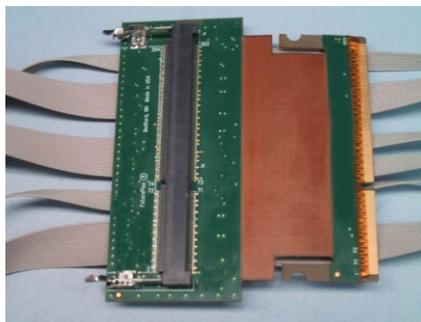
新製品!



- FS2358B



- FS2359B



新製品!

- NEX-SODDR3INTR-P



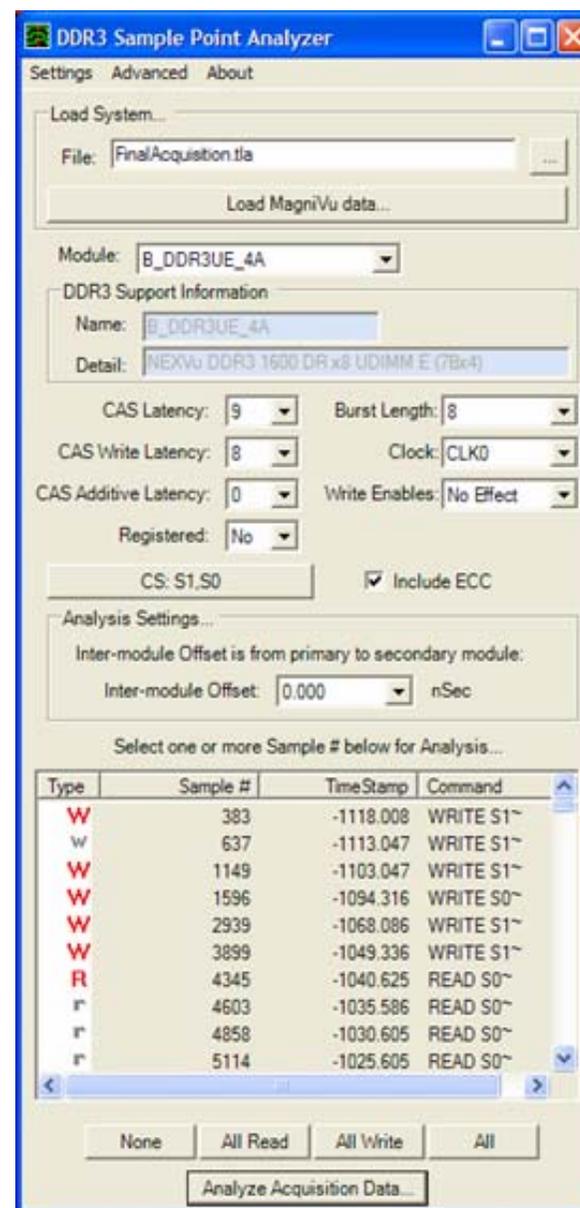
新製品!

- NEX-MINIDDDR3INTR

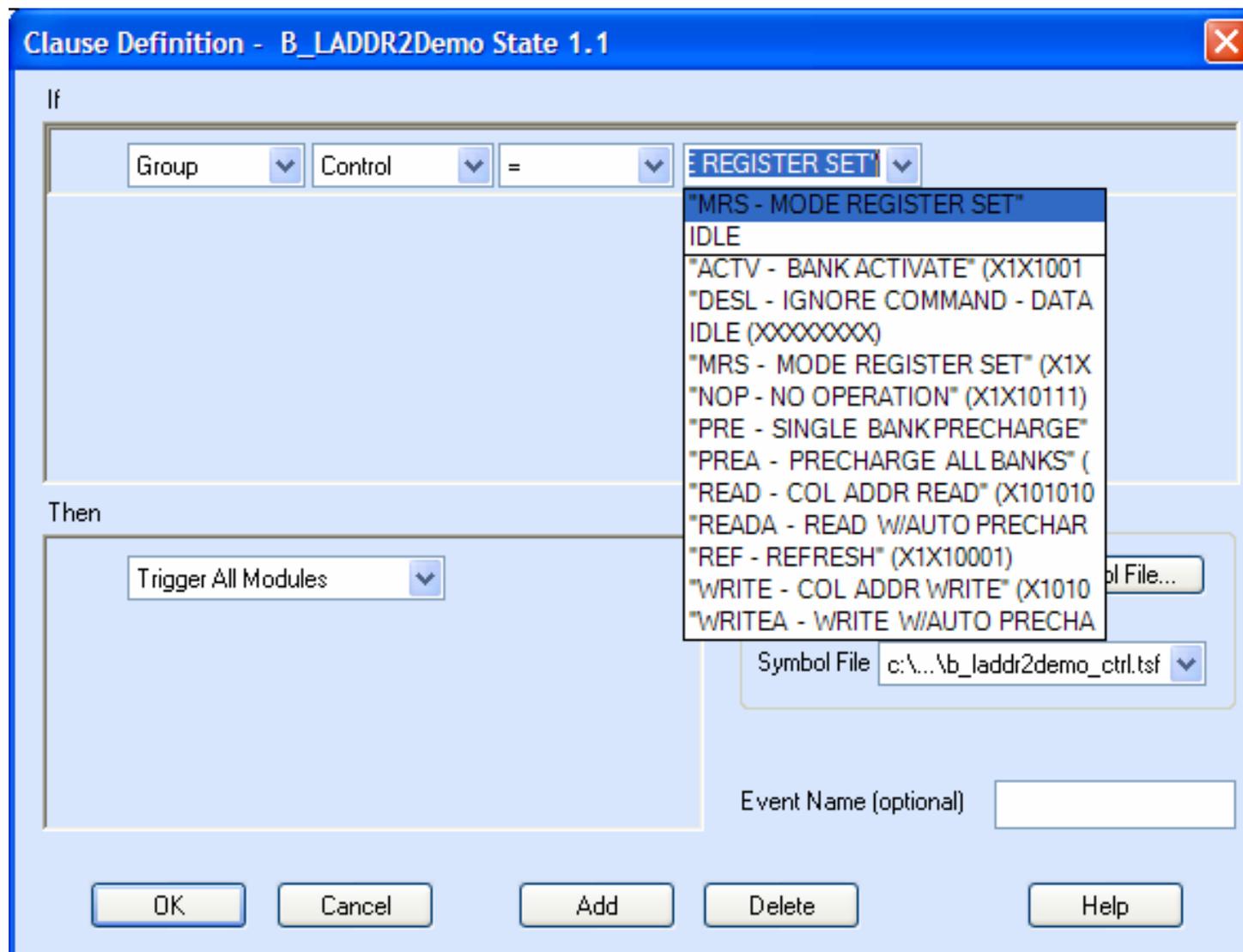


2.3 ステート、タイミング解析 サンプル・ポイント・アナリスト・ツール

- ストローブとデータ・チャンネルのしきい値を 最適に自動設定
- 各データ・グループの最適なタイミングにサンプル・ポイントを自動設定
(MagniVuデータを自動分析)



2.3 ステート、タイミング解析 コマンド・ベースのトリガ

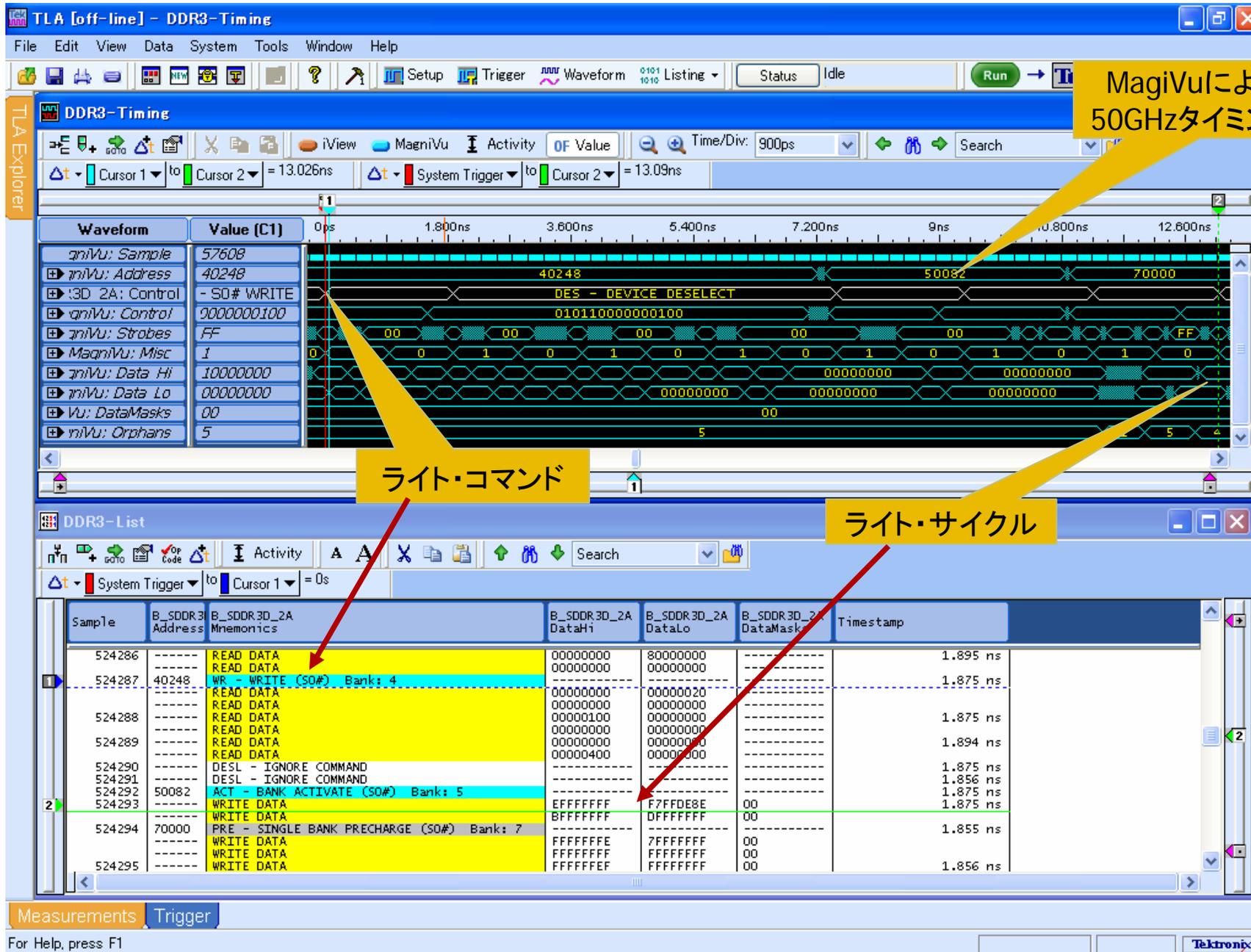


2.3 ステート、タイミング解析 モード・レジスタ

- イニシャライズ中のMode Register、Extended Mode Registerへの設定をデコード
 - CAS Latency (CL), Additive Latency (AL), Burst Length (BL) などを表示

Sample	B_SDDR3D_2A Address	B_SDDR3D_2A Mnemonics	B_SDDR3D_2A DataHi	B_SDDR3D_2A DataLo	B_SDDR3D_2A DataMasks	Timestamp
0	20008	(E)MRS - (EXTENDED) MODE REGISTER 2 (SO#)	-----	-----	-----	0 ps
	20008	Rtt_WR: Dynamic ODT off	-----	-----	-----	
	20008	Self-Refresh Range: Normal	-----	-----	-----	
	20008	Auto Self-Refresh Method: External	-----	-----	-----	
	20008	CAS Write Latency: 6	-----	-----	-----	
	20008	Prsk: Full Array	-----	-----	-----	
1	30000	(E)MRS - (EXTENDED) MODE REGISTER 3 (SO#)	-----	-----	-----	<07,930 us
	30000	MPR: Normal Operation	-----	-----	-----	
	30000	MPR Location: Predefined Pattern	-----	-----	-----	
2	10042	(E)MRS - (EXTENDED) MODE REGISTER 1 (SO#)	-----	-----	-----	<77,090 us
	10042	Output Buffer: Enabled	-----	-----	-----	
	10042	TDQS: Disabled	-----	-----	-----	
	10042	Rtt_Nom: R2Q/2 (eff 120ohm)	-----	-----	-----	
	10042	Write Levelization: Disabled	-----	-----	-----	
	10042	PRTC: R2Q/2 (34ohm)	-----	-----	-----	
	10042	Additive Latency: 0	-----	-----	-----	
	10042	DLL Enable: enable (Normal)	-----	-----	-----	
3	01938	(E)MRS - (EXTENDED) MODE REGISTER 0 (SO#)	-----	-----	-----	<15,078 us
	01938	PD Mode: Fast Exit (DLL on)	-----	-----	-----	
	01938	Write Recovery: 8	-----	-----	-----	
	01938	DLL Reset: Yes	-----	-----	-----	
	01938	Operating Mode: Normal	-----	-----	-----	
	01938	Latency: 7	-----	-----	-----	
	01938	Burst Type: Interleaved	-----	-----	-----	
	01938	Burst: 8 (fixed)	-----	-----	-----	
4	01838	(E)MRS - (EXTENDED) MODE REGISTER 0 (SO#)	-----	-----	-----	<90,664 us
	01838	PD Mode: Fast Exit (DLL on)	-----	-----	-----	
	01838	Write Recovery: 8	-----	-----	-----	
	01838	DLL Reset: No	-----	-----	-----	
	01838	Operating Mode: Normal	-----	-----	-----	
	01838	Latency: 7	-----	-----	-----	
	01838	Burst Type: Interleaved	-----	-----	-----	
	01838	Burst: 8 (fixed)	-----	-----	-----	

2.3 ステート、タイミング解析 メモリ・サイクル



MagiVuによる最高 50GHzタイミング解析

ライト・コマンド

ライト・サイクル

2.3 ステート、タイミング解析 リフレッシュ・サイクル

The screenshot displays the Tektronix TLA software interface. The main window is titled "TLA [off-line] - DDR3-List". The left pane shows a state machine diagram with two states: State 1 and State 2. State 1 is triggered by "Clicking 'Run/Stop' button or a System trig" and leads to State 2. State 2 is triggered by "Group Control = 'REF - S0# REFRESH'" and leads back to State 1. The right pane shows a list of memory refresh cycles for B_SDDR3D_2A. The list has columns for Sample, B_SDDR3D_2A Address, and B_SDDR3D_2A Mnemonics. A yellow circle highlights the time difference between two cursors, which is 63.928ms. The list shows a sequence of refresh cycles from sample 8145 to 8195, all with address 00000 and mnemonic REF - REFRESH (S0#).

TLA Explorer

Trigger: B_SDDR3D_2A

Storage: None

MagniVu 20ps

MagniVu Trigger Pos 44%

EasyTrigger PowerTrigger

Overview

Run

State 1

State 2

State 1: Clicking 'Run/Stop' button or a System trig

If: Anything

Then: Go To 2

State 2:

If: Group Control = "REF - S0# REFRESH"

Then: Store Sample And Go To 1

DDR3-List

Cursor 1 to Cursor 2 = 63.928ms

Sample	B_SDDR3D_2A Address	B_SDDR3D_2A Mnemonics
8145	00000	REF - REFRESH (S0#)
8146	00000	REF - REFRESH (S0#)
8147	00000	REF - REFRESH (S0#)
8148	00000	REF - REFRESH (S0#)
8149	00000	REF - REFRESH (S0#)
8150	00000	REF - REFRESH (S0#)
8151	00000	REF - REFRESH (S0#)
8152	00000	REF - REFRESH (S0#)
8153	00000	REF - REFRESH (S0#)
8154	00000	REF - REFRESH (S0#)
8155	00000	REF - REFRESH (S0#)
8156	00000	REF - REFRESH (S0#)
8157	00000	REF - REFRESH (S0#)
8158	00000	REF - REFRESH (S0#)
8159	00000	REF - REFRESH (S0#)
8160	00000	REF - REFRESH (S0#)
8161	00000	REF - REFRESH (S0#)
8162	00000	REF - REFRESH (S0#)
8163	00000	REF - REFRESH (S0#)
8164	00000	REF - REFRESH (S0#)
8165	00000	REF - REFRESH (S0#)
8166	00000	REF - REFRESH (S0#)
8167	00000	REF - REFRESH (S0#)
8168	00000	REF - REFRESH (S0#)
8169	00000	REF - REFRESH (S0#)
8170	00000	REF - REFRESH (S0#)
8171	00000	REF - REFRESH (S0#)
8172	00000	REF - REFRESH (S0#)
8173	00000	REF - REFRESH (S0#)
8174	00000	REF - REFRESH (S0#)
8175	00000	REF - REFRESH (S0#)
8176	00000	REF - REFRESH (S0#)
8177	00000	REF - REFRESH (S0#)
8178	00000	REF - REFRESH (S0#)
8179	00000	REF - REFRESH (S0#)
8180	00000	REF - REFRESH (S0#)
8181	00000	REF - REFRESH (S0#)
8182	00000	REF - REFRESH (S0#)
8183	00000	REF - REFRESH (S0#)
8184	00000	REF - REFRESH (S0#)
8185	00000	REF - REFRESH (S0#)
8186	00000	REF - REFRESH (S0#)
8187	00000	REF - REFRESH (S0#)
8188	00000	REF - REFRESH (S0#)
8189	00000	REF - REFRESH (S0#)
8190	00000	REF - REFRESH (S0#)
8191	00000	REF - REFRESH (S0#)
8192	00000	REF - REFRESH (S0#)
8193	00000	REF - REFRESH (S0#)
8194	00000	REF - REFRESH (S0#)
8195	00000	REF - REFRESH (S0#)

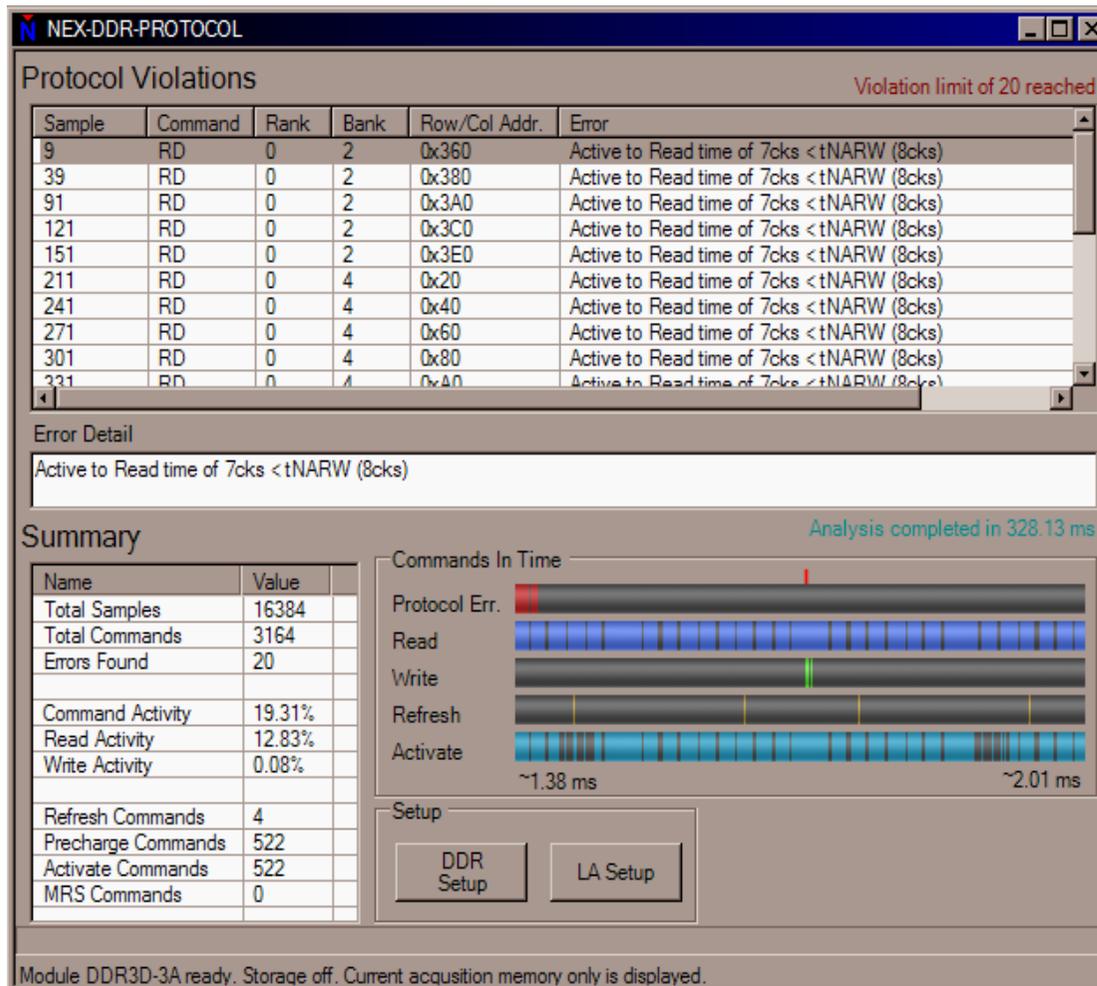
Measurements Trigger

For Help, press F1

Tektronix

2.4 プロトコル解析 NEX-DDR-PROTOCOL

- DDR2/3のプロトコル違反を自動検出
- Read、Write、Refreshなどのコマンド・トラフィック表示



• バンク違反

- Active/Read/Write to Precharge in < tRASmin
- Active/Read/Write to Auto-Precharge (RDA/WRA) in < tRASmin
- Active/Read/Write to Precharge exceeded tRASmax
- Active to Auto-Precharge (RDA/WRA) exceeded tRASmax
- Active to read or write time in < tNARW
- Precharge to Activate or Precharge in < tRP
- Read burst interrupted by Activate/Read/Write
- Read to Precharge/Auto-Precharge in < tNRP
- Read to Write turn around time in < tNRTW
- Write burst interrupted by Activate/Read/Write
- Write to Precharge/Auto-Precharge in < tNWP
- Write to Read turn around time in < tNWR
- Write to Write time in < tCCD
- Read or Write to an inactive bank row
- Refresh command to an active bank
- Bank row X must be Precharged before being activated

• ランク違反

- Non-NOP/DES command to a refreshing rank in < tRFC
- Activate command to activate command < tRRD
- Write command to read command < tNWR
- Activate command on a refreshing rank

2.6 推奨機器構成

DDR3-BGAインタポーザ

- DDR3-1600/1867 バス幅16bitの単体DDR3
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、1.4GHzステート必要) 1
 - P6960HCD型(プローブ) 2
 - NEX-DDR3MP96BLASK(インターポーザ・セット) 1
 - NEX-DDR3P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1

- DDR3-800/1067/1333 バス幅16bitの単体DDR3
 - TLA7012型(本体) 1
 - TLA7BB2型(モジュール、750MHzステート) 1
 - NEX-DDR3MP96BLASKPR(インターポーザ・セット) 1
 - NEX-DDR3P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1

- DDR3-1600/1867 バス幅16bitの単体DDR3を2個
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、1.4GHzステート必要) 2
 - P6960HCD型(プローブ) 3
 - NEX-MCI3x16-32-16SW(インターポーザ・セット) 1
 - NEX-DDR3P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1

- DDR3-800/1067/1333 バス幅16bitの単体DDR3を2個
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、750MHzステート) 1
 - NEX-MCI3x16-32-13SW(インターポーザ・セット) 1
 - NEX-DDR3P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1

2.6 推奨機器構成

DDR3-DIMM/SO-DIMMインターポーザ

- DDR3-1600/1867 DIMM
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、1.4GHzステート必要) 2
 - P6960HCD型(プローブ) 4
 - NEX-DDR3INTR-HS(インターポーザ・セット) 1
 - NEX-DDR3P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1

- DDR3-800/1067/1333 DIMM
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、750MHzステート) 1
 - NEX-SODDR3INTR-HS-PR2(インターポーザ・セット) 1
 - NEX-DDR3P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1

- DDR3-1600 SO-DIMM
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、1.4GHzステート必要) 2
 - P6960HCD型(プローブ) 4
 - NEX-SODDR3INTR-HS(インターポーザ・セット) 1
 - NEX-DDR3P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1

- DDR3-800/1067/1333 SO-DIMM
 - TLA7012型(本体) 1
 - TLA7BB4型(モジュール、750MHzステート) 1
 - NEX-DDR3INTR-HS-PR2(インターポーザ・セット) 1
 - NEX-DDR3P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1

2.6 推奨機器構成

DDR2-BGAインタポーザ

- DDR2-1067 バス幅16bitの単体DDR2
 - TLA7012型(本体) 1
 - TLA7BB2型(モジュール、750MHzステート) 1
 - NEX-DDR2MP84BLASKPR(インターポーザ・セット) 1
 - NEX-DDR2P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1
- DDR2-800 バス幅16bitの単体DDR2
 - TLA6203型(本体、450MHzステート) 1
 - NEX-DDR2MP84BLASKPR(インターポーザ・セット) 1
 - NEX-DDR2P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1
- DDR2-1067 バス幅8bitの単体DDR2
 - TLA7012型(本体) 1
 - TLA7BB2型(モジュール、750MHzステート) 1
 - NEX-DDR2MP60BLASKPR(インターポーザ・セット) 1
 - NEX-DDR2P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1
- DDR2-800 バス幅8bitの単体DDR2
 - TLA6203型(本体、450MHzステート) 1
 - NEX-DDR2MP60BLASKPR(インターポーザ・セット) 1
 - NEX-DDR2P-XXX(NEX-DDR-PROTOCOLのフル・ライセンス) 1

まとめ

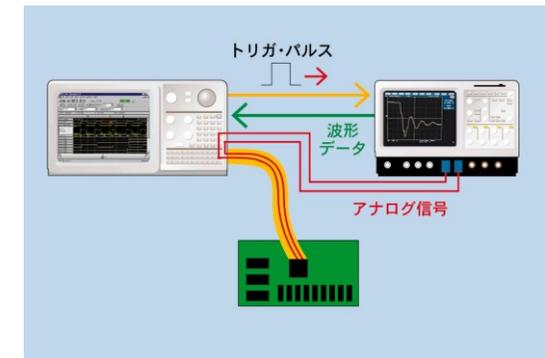
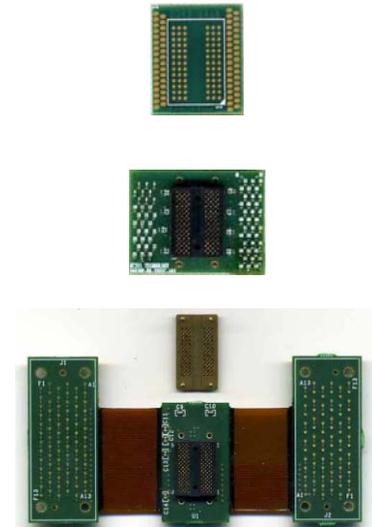
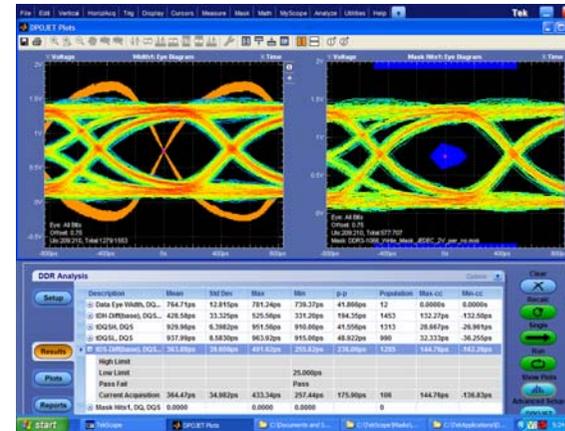
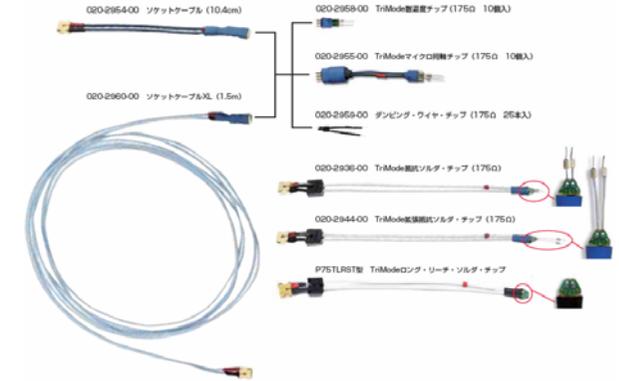
当社のDDRメモリの測定ソリューション

波形観測／シグナル・インテグリティ／タイミング、ジッタ計測

- オシロスコープ (70000D/70000C/7000C/5000シリーズ)
- コマンドによるトリガ (MSO70000C/MSO5000シリーズ)
- ジッタ／アイ・ダイアグラム解析ソフトウェア (DPOJET)
- 波形サーチ／マーク・ソフトウェア (ASM)
- DDRメモリ・バス検証／解析ソフトウェア (DDRA)
- 広帯域Tri-Modeプローブ (P7500シリーズ)
- 豊富なプローブアクセサリ (コスト、強度、耐環境)
- BGAインタポーザ (柔軟性)

デジタル・デバッグ、システム・レベル・デバッグ

- ロジック・アナライザ (TLA7000/TLA6000シリーズ)
- 最強のモジュール (TLA7Bxx)
- サポート・パッケージ
 - サポート・ソフトウェア
 - インタポーザ (DIMM/SO-DIMM/BGA)
 - NEXVu (DIMM/SO-DIMM)
- プロトコル解析ソフトウェア
- 高実装密度差動プローブ
- 統合デバッグ対応 (ロジックとアナログ)
 - iView, iCapture, FPGAView



ありがとうございました。



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)

 **Facebook** <http://www.facebook.com/tektronix.jp>