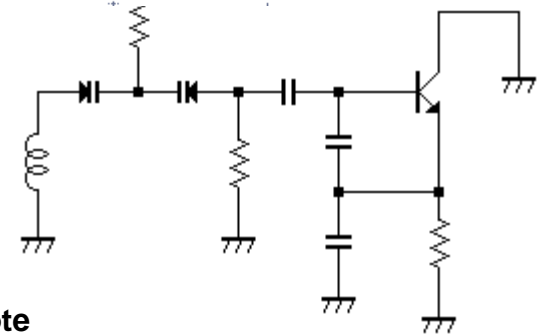
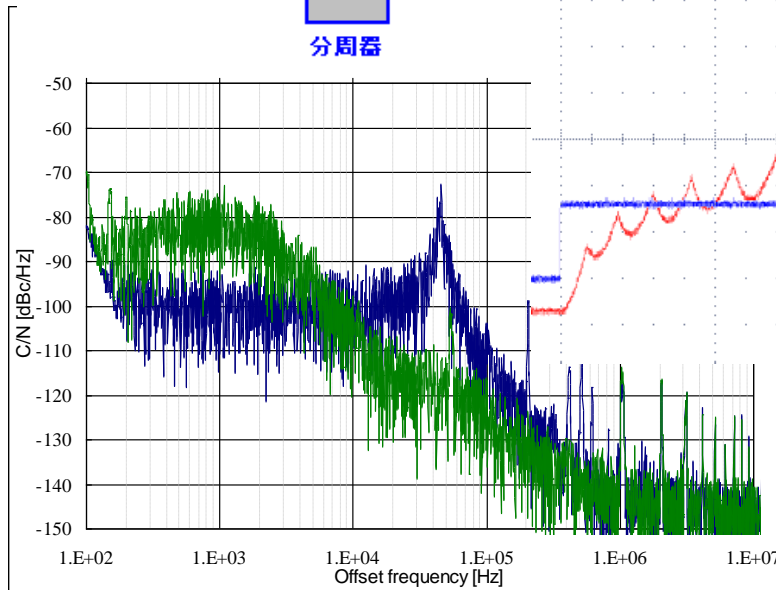
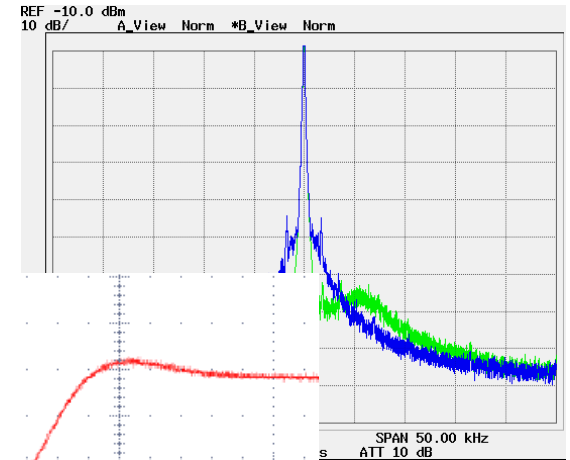
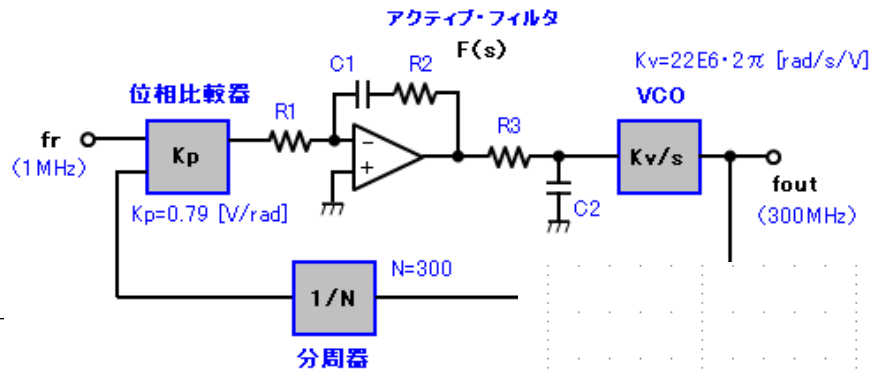


周波数軸と時間軸の同期観測によるPLLの最新評価手法

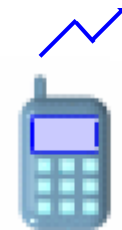
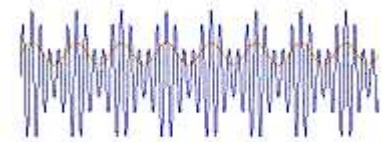
RFデザインノート エンジニア 小宮 浩

URL : <http://gate.ruru.ne.jp/rfdn/>



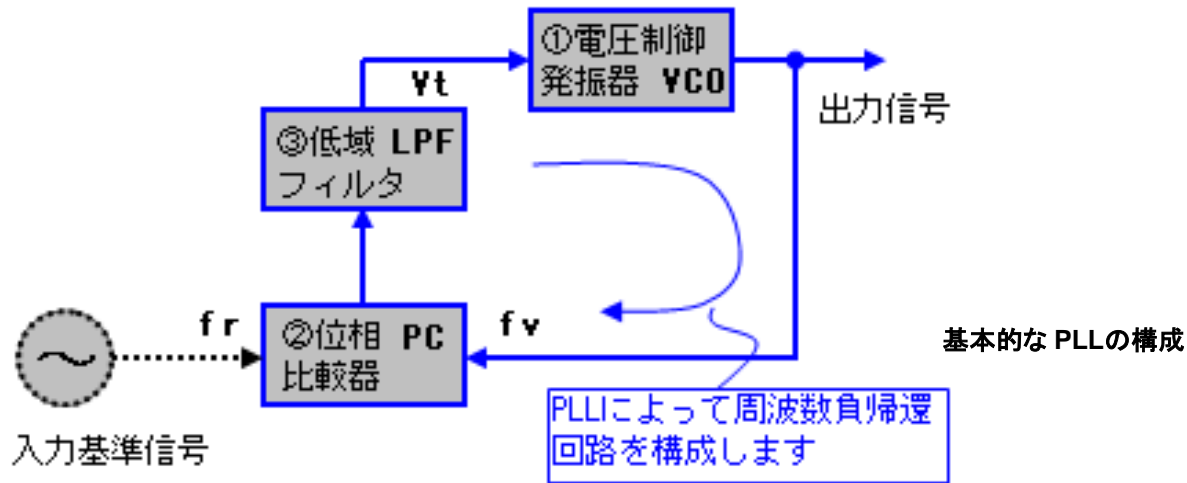
■ プログラム ■

	ページ
I. PLL技術の紹介	
1. PLLを構成する基本回路	3
2. 周波数が一定に保たれるしくみ	4
3. PLL周波数シンセサイザとして動かす	
a. PLLに分周器 1/N を追加する	6
b. 基準周波数 f_r の N倍の周波数を作る	7
c. プログラマブル分周器で周波数を可変する	8
4. 高周波でのPLL周波数シンセサイザ	
a. RF帯でPLL周波数シンセサイザを構成するには	9
b. プリスケラ(前置分周器)を追加する	10
c. パルス・スワロ・カウンタを用いる	11
d. 分数(Fractional)分周によるPLL	13
II. PLL周波数シンセサイザの応答時間を評価する	
1. 重要なPLLの応答特性	15
a. 応答特性の理想と実際の特性	16
b. サイクル・スリップの発生	17
2. MDO4000を用いてPLLの応答時間を測定する	18
a. 時間軸と周波数軸で応答特性を評価する	20
b. オーバーシュートの激しいPLLの応答特性	24
c. サイクル・スリップが発生したPLLの応答特性	25
3. ファーストロックアップモードを用いてロック時間を短縮する	
a. ファーストロックアップモードの動作	26
b. サイクル・スリップの発生を抑える	28
c. ファーストロックアップモードの設計例	29
d. ファーストロックアップの応答特性を評価する	31
<Appendix> 今回使用したオシロスコープのご紹介 講演者の紹介	35



I . PLL技術の紹介

1. PLLを構成する基本回路



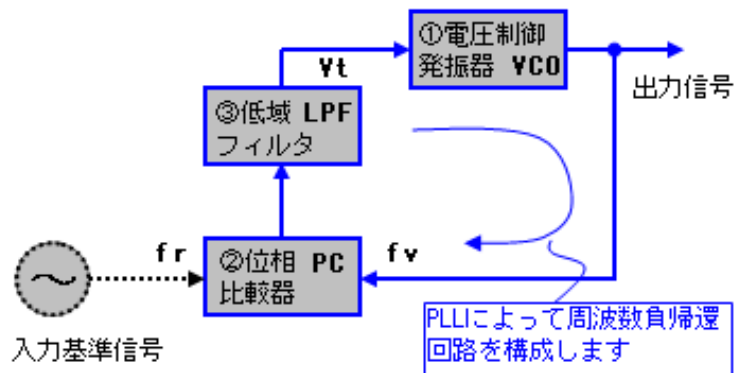
図は最も基本的なPLLで、次に記す3つの構成要素から成っています。

- ① 電圧制御発振器 Voltage-Controlled Oscillator (VCO)
- ② 位相比較器 Phase Comparator (PC) または 位相検波器 Phase Detector (PD)
- ③ 低域フィルタ Low-pass Filter (LPF) または ループ・フィルタ

そして、位相比較器に入力基準信号 f_r が入力されると、PLLは周波数負帰還回路を構成します。PLLが形成されることにより、常に、 $f_r=f_v$ の状態を保ってくれるということが、その基本となります。

2. 周波数が一定に保たれるしくみ

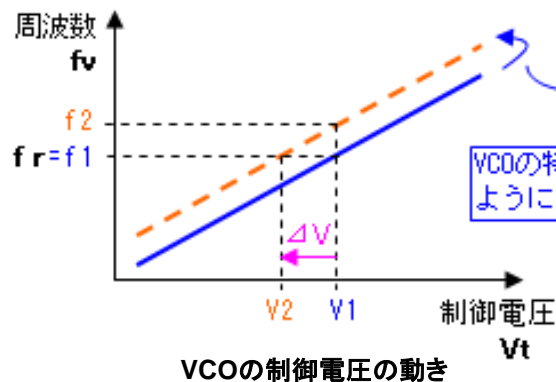
■ PLLはどのように働くか



PLLが形成された状態、ロックしている $f_r=f_v$ の状態から、例えば、VCOの周波数 f_v が環境の変化で、その周波数が高い方向へ動いた時に、PLLはどのように働くでしょうか？

1. VCO周波数が環境の変化で、 $f_r < f_v$ となりました
- ↓
2. 位相比較器PCは f_r と比較し、出力に誤差信号パルスが発生します
- ↓
3. 低域フィルタLPFを通過して、直流電圧 V_t となります
- ↓
4. 直流電圧 V_t はVCOを制御して周波数を低くします
- ↓
5. VCOの周波数が下がり、 $f_r=f_v$ の状態に戻ります

■ 自動制御回路として働いてくれる優れもの



PLLは周波数負帰還として、周波数が上がれば下げ、周波数が下がれば上げるという自動制御回路として働く優れものです。

VCOの特性がオレンジ破線のように変化してしまいました

VCOの制御電圧 V_t の動きに注目してみます。

図は、電圧制御発振器VCOの制御電圧-出力周波数、V-F特性を示します。制御電圧が上がると、出力周波数も高くなる特性です。

今、VCOは青実線で示す特性で動いています。そして入力基準信号 f_r の周波数が f_1 ですと、制御電圧は V_1 となってロック状態にあります。

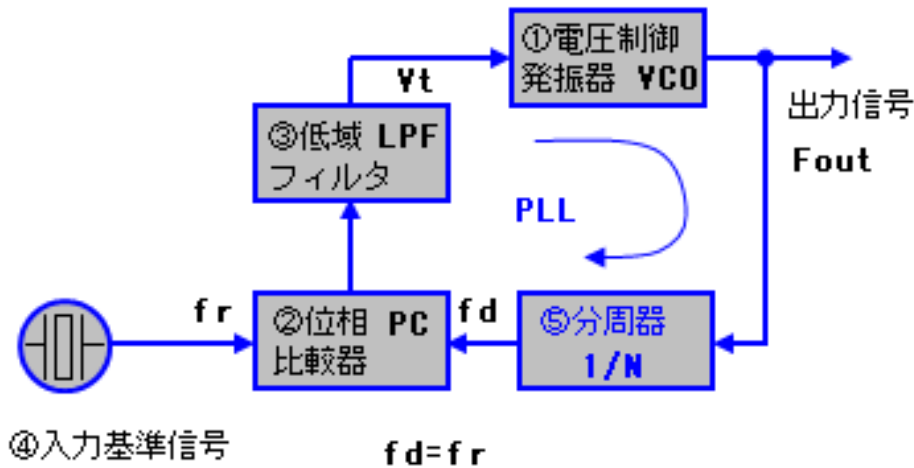
さて、温度の変動や経時によって、VCOのV-F特性がオレンジ破線で示す特性に変化してしまいました。制御電圧 V_1 のままでは、VCOの周波数は f_2 と高い周波数になってしまいます。

そこでPLLは、入力基準信号 f_r の周波数 f_1 に戻す方向に、制御電圧を ΔV だけ低い電圧 V_2 をVCOに加えて周波数を下げ、周波数 f_1 に戻してくれるのです。

VCOの特性が変わっても出力周波数を同じに、自動制御するのです！

3. PLL周波数シンセサイザとして動かす

a. PLL に分周器 1/N を追加する



PLL周波数シンセサイザの基本構成

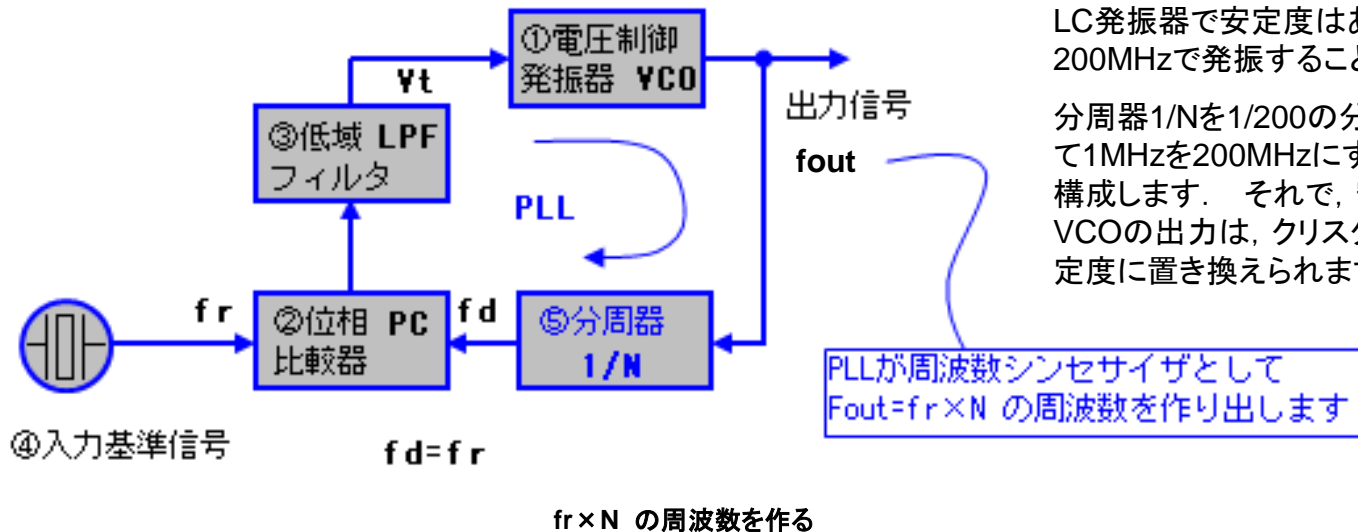
図は、PLL周波数シンセサイザとしての基本構成を示します。①電圧制御発振器VCOと②位相比較器PCの間に⑤分周器1/Nを配置しています。

■ PLL周波数シンセサイザの理想は

1. 広帯域発振 (周波数発振範囲が広い)
2. 周波数の設定が細かくできる
3. 周波数の設定スピードが速い
4. 位相雑音が少ない
5. スプリアスがない

これらの多くはトレードオフの関係にある

b. 基準周波数 f_r の N 倍の周波数を作る



入力基準信号として1MHzの周波数安定度の優れた水晶発振器を準備しました。VCOは、LC発振器で安定度はあまり良くありませんが200MHzで発振することができます。

分周器 $1/N$ を $1/200$ の分周器にすると、PLLによって1MHzを200MHzにする周波数シンセサイザを構成します。それで、安定度の悪いLC発振器VCOの出力は、水晶発振器と同じ周波数安定度に置き換えられます。

VCOの出力周波数を F_{out} とすると、位相比較器への入力周波数 f_d は、次式となります。

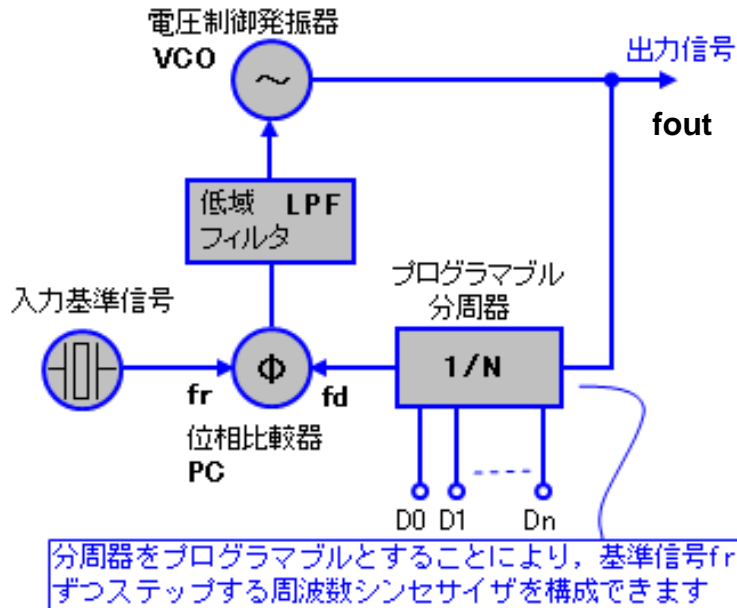
$$f_d = f_{out}/N$$

PLLが構成されることによって、 f_d は入力基準周波数 f_r と等しく、 $f_d = f_r$ が成り立ちます。

ゆえに、出力周波数 f_{out} は、次式で決まります。

$$f_{out} = f_r \times N$$

c. プログラマブル分周器を用いて周波数を可変する



1/N分周をプログラマブル分周器で構成すると

分周数が1/Nであれば出力周波数 f_{out} は、

$$f_{out} = f_r \times N \quad \text{でした。}$$

プログラマブル分周器のNを1プラスしてN+1とすると、PLLはどのように動くでしょうか。PLLが構成されると常に、 $f_d = f_r$ の関係となりますので、出力周波数 f_{out} は次式となります。

$$f_{out} = f_r \times (N+1)$$

NをN+1にすると、出力周波数 f_{out} は基準周波数 f_r ぶんだけ変化します。

■ f_r のステップで出力周波数を変えられる

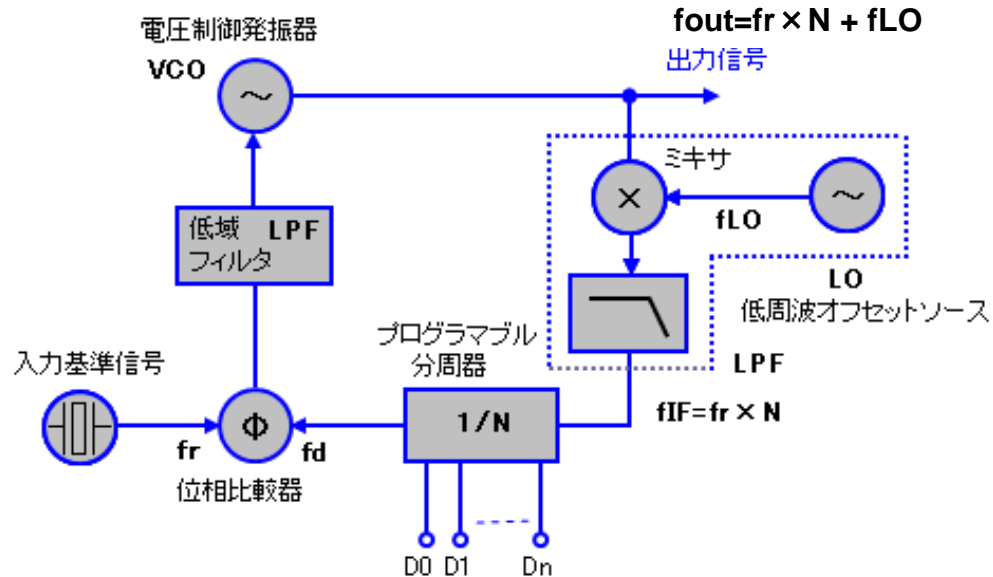
固定分周の場合は、入力基準信号 f_r を1MHzとして分周器Nの値が200であれば、200MHzだけの出力が可能でした。

分周器をプログラマブルにして、Nの値を200, 201, 202---と可変すれば、200MHz, 201MHz, 202MHz---と、出力を入力基準周波数 $f_r=1\text{MHz}$ ずつステップする周波数シンセサイザとなります。

このように、PLL周波数シンセサイザの1/N分周器を可変分周器としてプログラマブルとすることで、その応用範囲は大きく広がることになります。

4. 高周波でのPLL周波数シンセサイザ

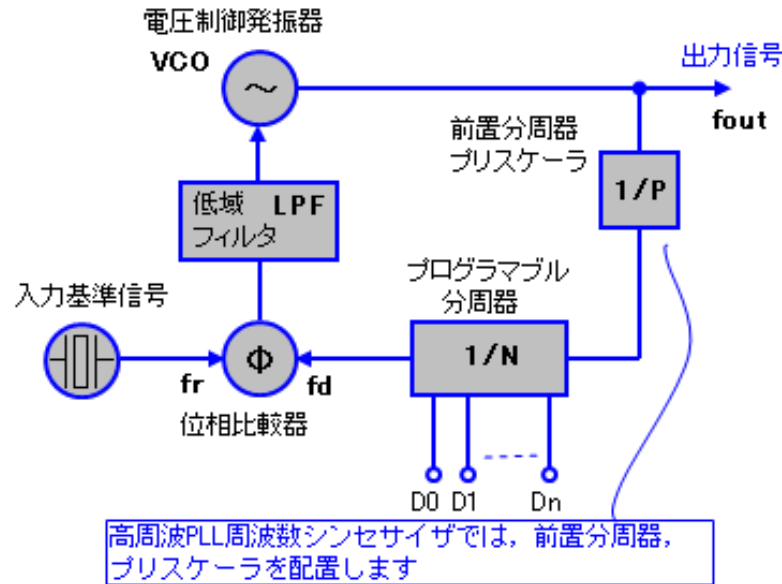
a. RF帯でPLL周波数シンセサイザを構成するには



ミキサを挿入して周波数を低くする

低周波オフセットソースとミキサを設けることもできますが、回路規模が大きくなります。

b. プリスケーラ(前置分周器)を追加する



プリスケーラ(前置分周器)を配置したPLL周波数シンセサイザ

プリスケーラをプログラマブル分周器の前に置くことで、プログラマブル分周器が動作できる周波数まで下げます。これが高周波でのPLL周波数シンセサイザの基本形となります。

プリスケーラ 1/Pとプログラマブル分周器1/Nを備えたPLL周波数シンセサイザの出力周波数 f_{out} は、次式で表せます。

$$f_{out} = f_r \times N \times P$$

プログラマブル分周器のNを1プラスしてN+1とすると出力周波数 f_{out} は、

$$f_{out} = f_r \times (N+1) \times P \quad \text{となります。}$$

ですから、 f_{out} の周波数ステップがプリスケーラの分周数分、P倍されます。

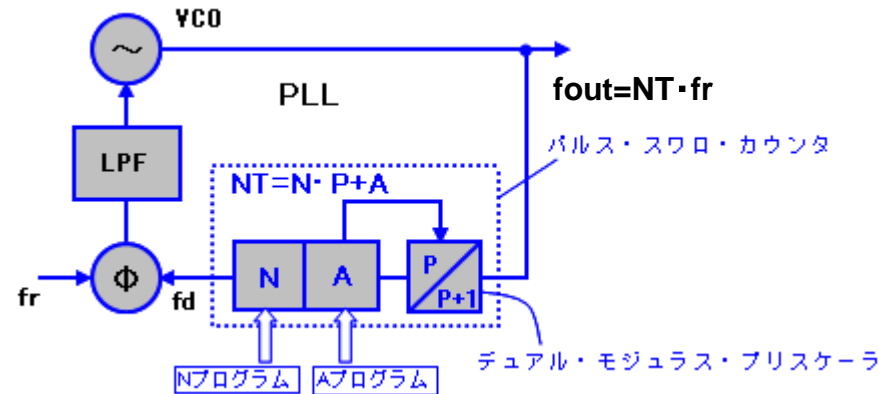
■ プリスケーラを挿入することの問題

プリスケーラ1/Pに1/8を用いましょう。そして先程と同様に、基準周波数 f_r を1MHzとしてプログラマブル分周器のNの値を200, 201, 202---と可変します。

すると、これは1MHzステップにはなりません。 $f_r \times 8 = 8\text{MHz}$ ステップとなり、周波数分解能が粗くなってしまいます。

ですから、出力周波数 f_{out} を1MHzステップで動かしたければ、基準周波数 f_r を1/8に125KHzにしなければなりません。しかしこれは、PLLの比較周波数 f_r を小さくすることです。PLLの応答速度や位相雑音、そしてスプリアス特性などにとって好ましくありません。

c. パルス・スワロ・カウンタを用いたプログラマブル分周器



デュアル・モジュラス・プリスケアラを用いたPLL周波数シンセサイザ

■ 周波数分解能が粗くなる問題を解決する

プリスケアラを配置することによる周波数分解能が粗くなる問題を解決するために、プリスケアラの分周数をPとP+1に切替えるデュアル・モジュラス・プリスケアラ方式が考案されました。

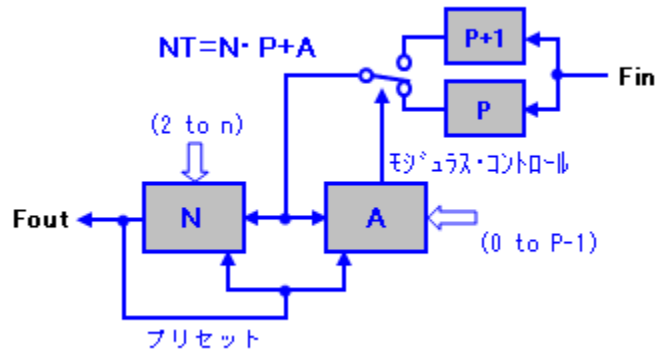
このデュアル・モジュラス・プリスケアラを使ったカウンタは、**パルス・スワロ・カウンタ**と呼ばれます。

そして、トータル分周数は

$$NT = N \cdot P + A$$

となります。

< パルス・スワロ・カウンタの動作 >



パルス・スワロ・カウンタの構成

■ プリスケータ P+1, P と切り替える

パルス・スワロ・カウンタのトータル分周数は、 $NT=NP+A$ 式となります。動作を順に追いながらそれを確かめます。

① プリスケータは入力周波数FinをP+1で分周します。

↓

② プリスケータ出力はAカウンタとNカウンタの両方に入力されます。AカウンタはA個のパルスでゼロになるので、Aカウンタがゼロになるまでに $(P+1)A$ をカウントします。

↓

③ Aカウンタがゼロになると、プリスケータの分周数をPに切り替える出力(モジュラス・コントロール)が出ます。

↓

④ Nカウンタは分周がPに変わったプリスケータからの入力でカウント・ダウンを続けます。NカウンタがゼロにするまでP分周が行なわれるので、 $P(N-A)$ をカウントします。

↓

⑤ Nカウンタもゼロになるとプリセットが出力され、AカウンタおよびNカウンタの両方が初期値に設定されます。プリスケータの分周数もP+1に戻り、①からの動作を繰り返します。

よって、トータル分周数NTは次式で表されます。

$$\begin{aligned} NT &= (P+1)A + P(N-A) \\ &= NP + A \end{aligned}$$

ただし、 $N \geq A$ の条件

■ 設定できる範囲の確認が必要

連続して設定できる分周数 = $P^2 - P$

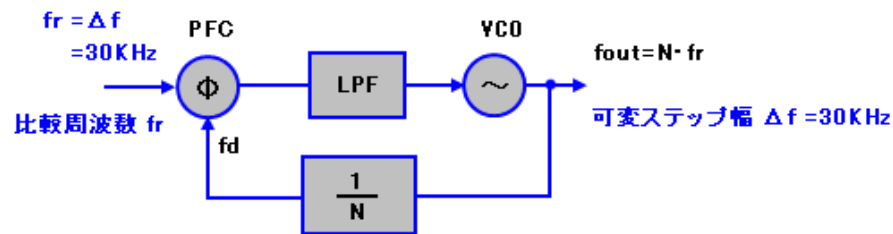
▽参考資料

http://gate.ruru.ne.jp/rfdn/TechNote/2MPCTech_1.asp

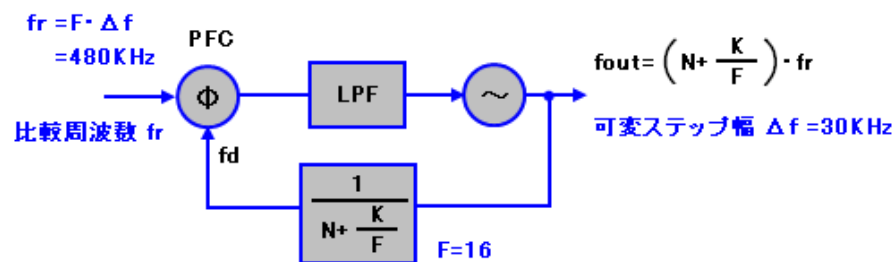
d. 分数(Fractional)分周によるPLL

理想とするPLL周波数シンセサイザは、周波数の切換え時間が早く、位相雑音が少ないことが望まれています。

■ 整数と分数分周 PLL周波数シンセサイザの比較



(a) 整数分周によるPLLのブロック図



(b) 分数分周によるPLLのブロック図

図(a)は分周数が整数値の整数分周によるPLL周波数シンセサイザの構成です。そして、図(b)は分周数が分数となった分数分周によるPLL周波数シンセサイザの構成を示します。

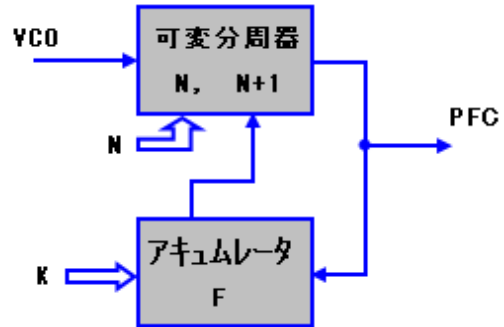
一例として、周波数ステップ幅 Δf が 30kHz 必要な場合には、整数分周では比較周波数 f_r を 30kHz としました。分数分周では、その F 倍に、例えば $F=16$ にすると $f_r=480\text{kHz}$ にできます。

▲ 高速で低位相雑音なPLL周波数シンセサイザを得られる

分周数 N の値は 16 も少なくできます。ゆえに、① N の値が小さいのでPLLのループゲインが高くなりますので、周波数の切換え時間を高速化できます。また、② N の値が小さいのでループ帯域内の位相雑音をより少なくできます。

< 分数値を発生する回路 >

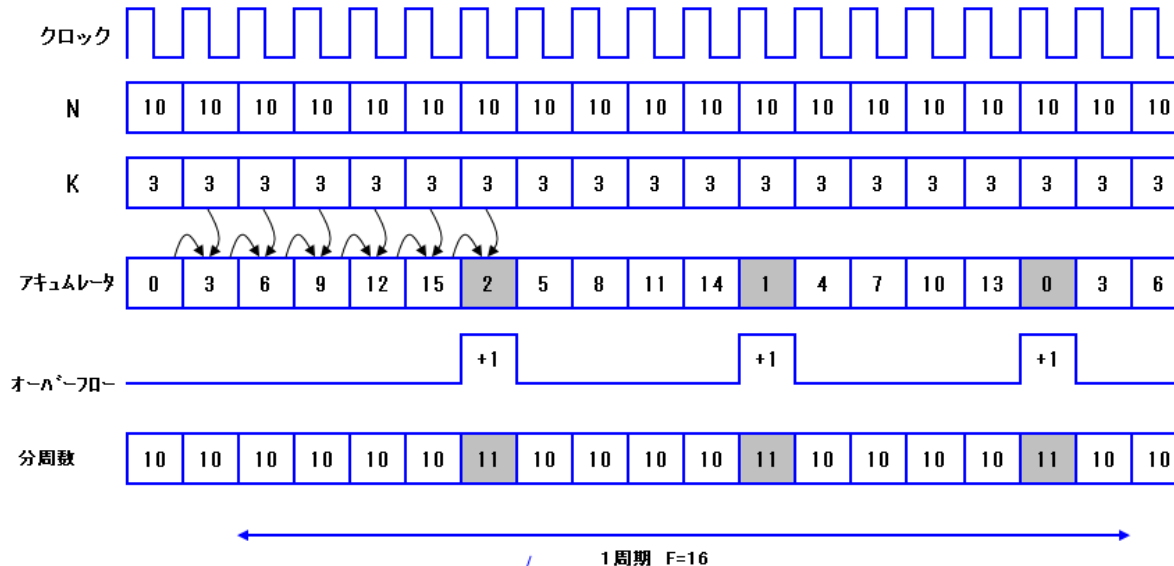
分数分周は分周器の分周比を時間的に変化させることで、等価的に分数の分周値を実現しています。



左図は 分数分周の基本構成を示します。アキュムレータが可変分周器出力パルスのF回の中のK回分周数をN+1に切換えます。F-K回分周数はNのままで動作します。ですから、平均の分周数は次式として表せます。

$$N_{ave} = [K(N+1) + (F-K)N] / F = N + \frac{K}{F}$$

▲ 分数分周 $N_{ave} = 10 + 3/16 = 10.1875$ をタイムチャートで表わす

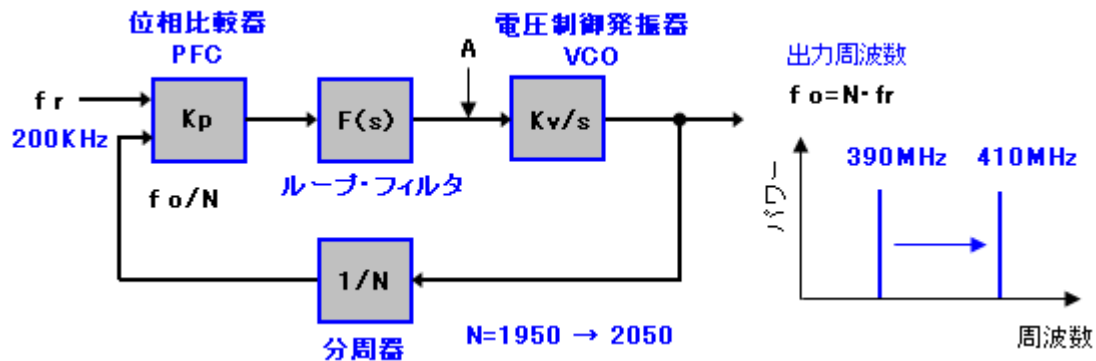


1周期 (F=16) で、N+1は3回、Nは13回となります

II. PLL周波数シンセサイザの応答時間を評価する

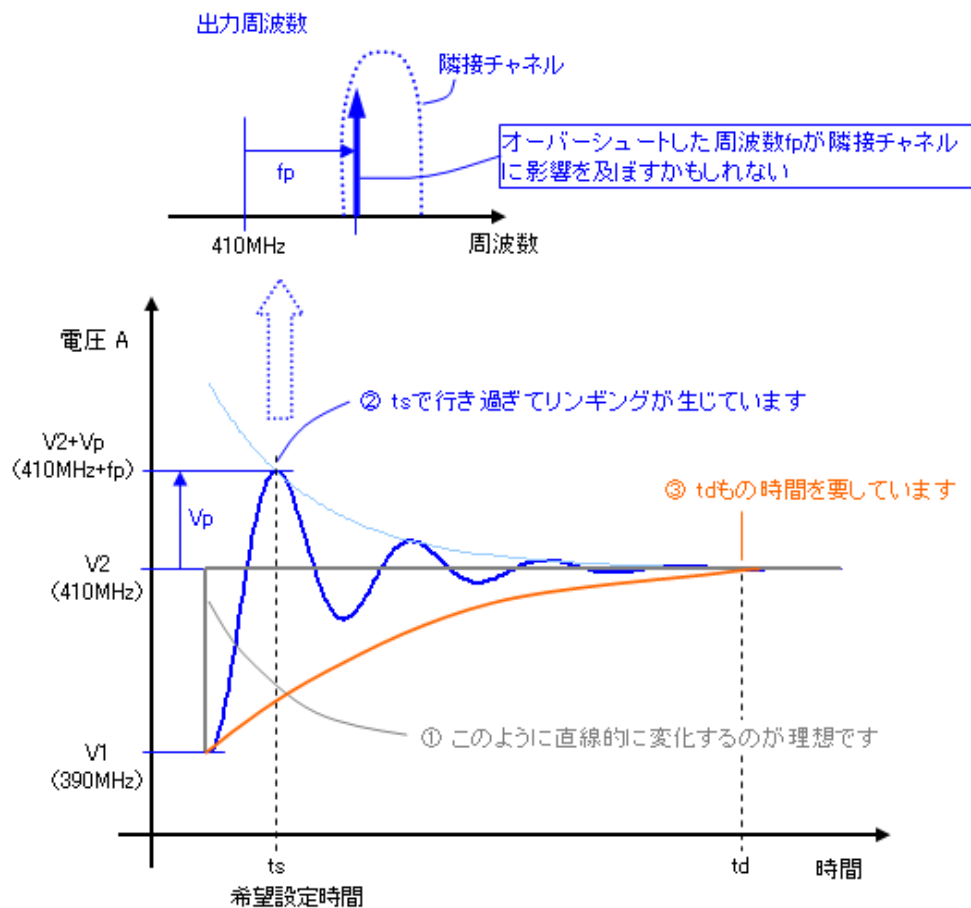
1. 重要なPLLの応答特性

通信技術の進歩に伴いPLL周波数シンセサイザの時間軸での速応性、すなわち周波数を高速で切り替えることが求められています。



ここで、基準周波数 $f_r=200\text{kHz}$ として、分周器の N 値を $N=1950 \rightarrow 2050$ に変更すると、出力周波数 f_o は $390\text{MHz} \rightarrow 410\text{MHz}$ に切り替わります。

a. 応答特性の理想と実際の特性



左は PLLの応答特性の概念図です。

出力周波数が $f_0=390\text{MHz}$ の時にVCO(電圧制御発振器)のA点の制御電圧は V_1 です。 $N=2050$ に変更すると、PLL負帰還回路は出力周波数 $f_0=410\text{MHz}$ とする制御電圧 V_2 を発生します。

そして、①のように制御電圧 $V_1 \rightarrow V_2$ は直線的に動き、周波数も $390\text{MHz} \rightarrow 410\text{MHz}$ に一瞬で切り替るのが理想です。

しかし、実際の負帰還回路はこのように理想通りに働いてくれません。

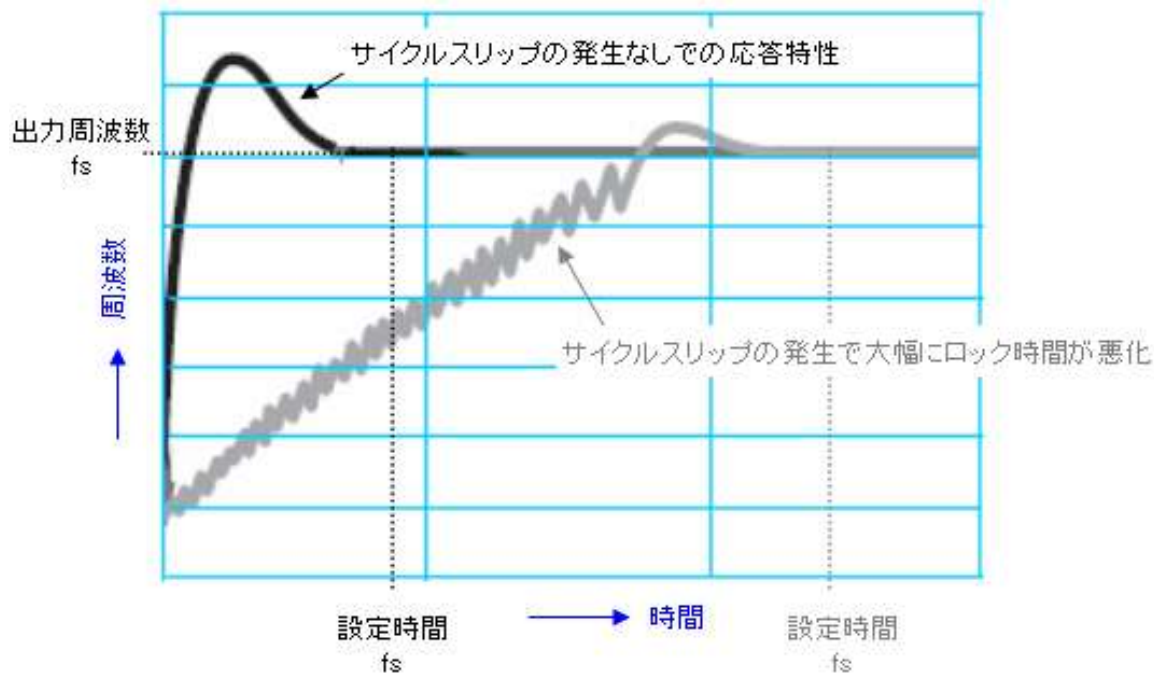
今、希望設定時間 t_s までに、周波数を 410MHz に切り替えたいとします。 この性能に合うPLLとしたいのですが設計を誤ると、例えば②に示すように t_s でオーバーシュートが生じるかもしれません。

この場合はオーバーシュートした電圧 V_p 分が周波数 f_p 分となり、図に示したように妨害波となり、例えば隣接チャンネルに影響を及ぼすかもしれません。

また、設計を誤り③に示すように t_d もの時間を要して周波数が切り替るのであれば、これは使いものになりません。

b. サイクル・スリップの発生

PLLの時間軸での速応性を大幅に悪化する問題として、図に示すような厄介なサイクル・スリップという現象もあります。



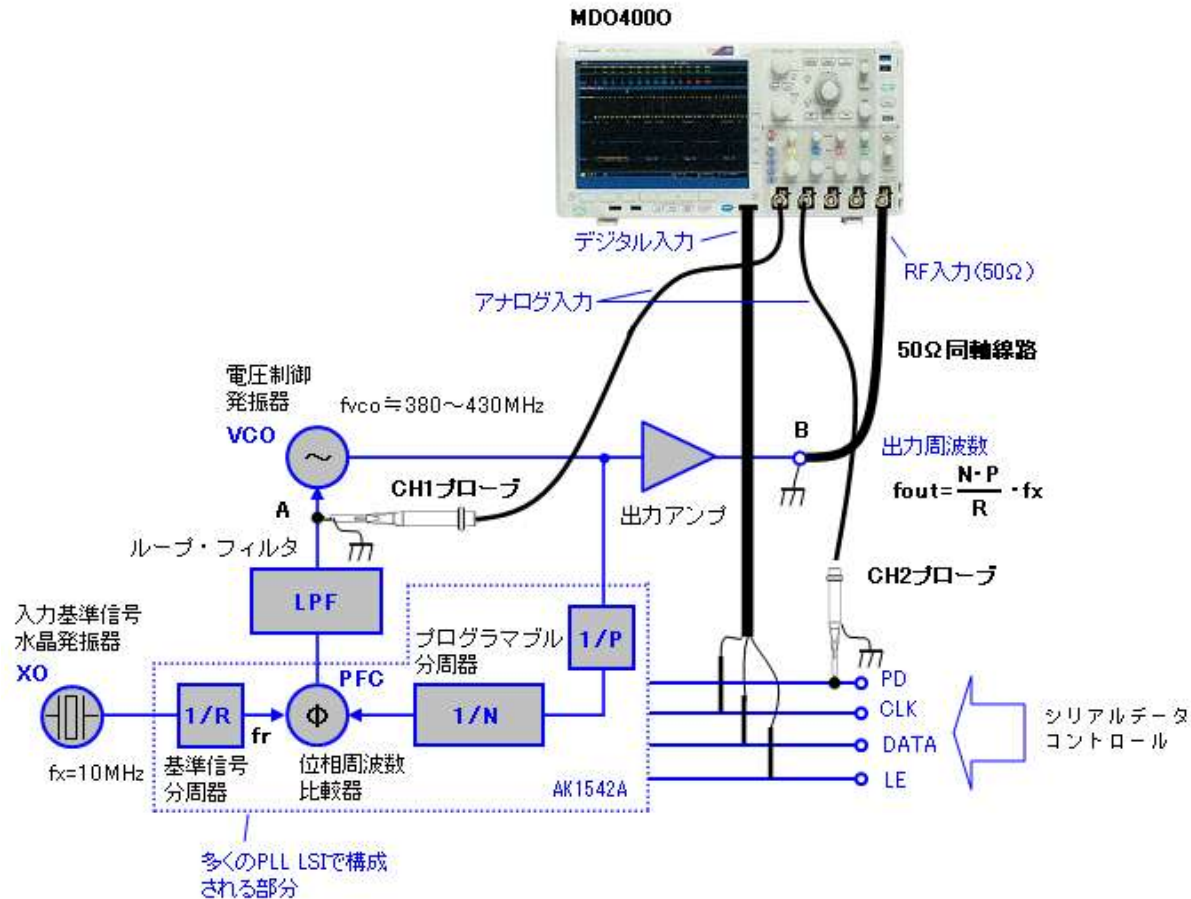
PLLの位相比較器は、最近では位相も周波数差も検知できる便利な位相周波数比較器PFCを用います。

サイクル・スリップは、PFC出力が $2\pi(360^\circ)$ を超えた位相誤差(周波数誤差)となる場合に発生します。この時にPFCの利得 K_p は理論値よりも大幅に減少し、PLLに十分なループ帯域がない場合に発生します。

そして、一般にサイクル・スリップは位相比較周波数 f_r とループの帯域幅 f_c との比が $100 : 1$ を超えると発生すると言われています。ですから、例えば $f_r=200\text{KHz}$ で $f_c \leq 2\text{KHz}$ で動作させると発生することになります。

2. MDO4000を用いてPLLの応答時間を測定する

図は試験した PLL周波数シンセサイザ評価ボードの構成とMDO4000への接続を示しました。(次ページの写真も参照ください)



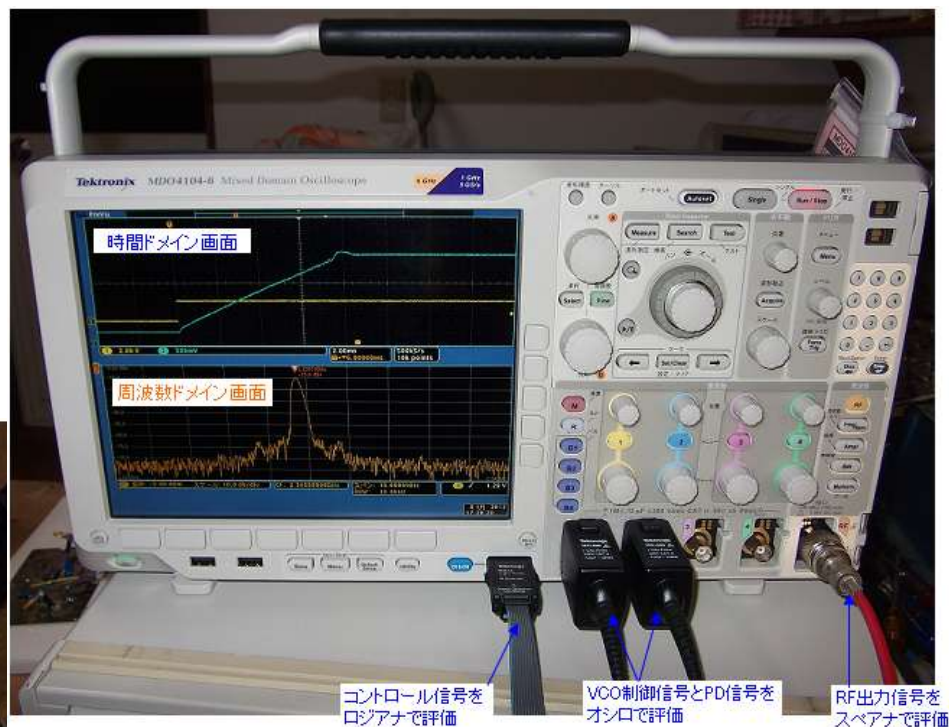
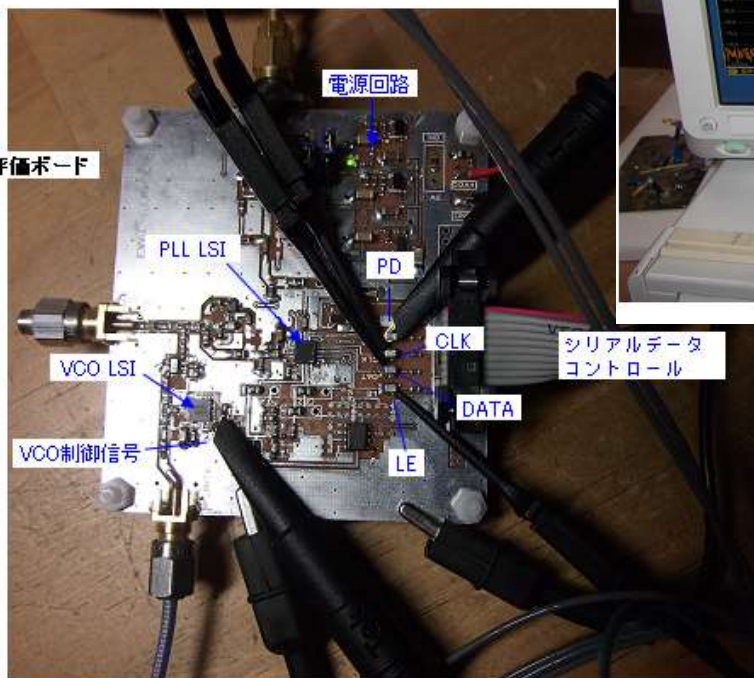
基準信号の10MHz水晶発振器で、380～430MHzの電圧制御発振器にPLL LSI を用いてロックをかけます。

今回、PLL LSI は旭化成エレクトロニクス社のAK1542Aを用いました。

■ $f_o=410\text{MHz}$, $f_r=200\text{KHz}$, $f_c\approx 3\text{KHz}$, $\Phi_c\approx 60^\circ$ の応答特性を評価する

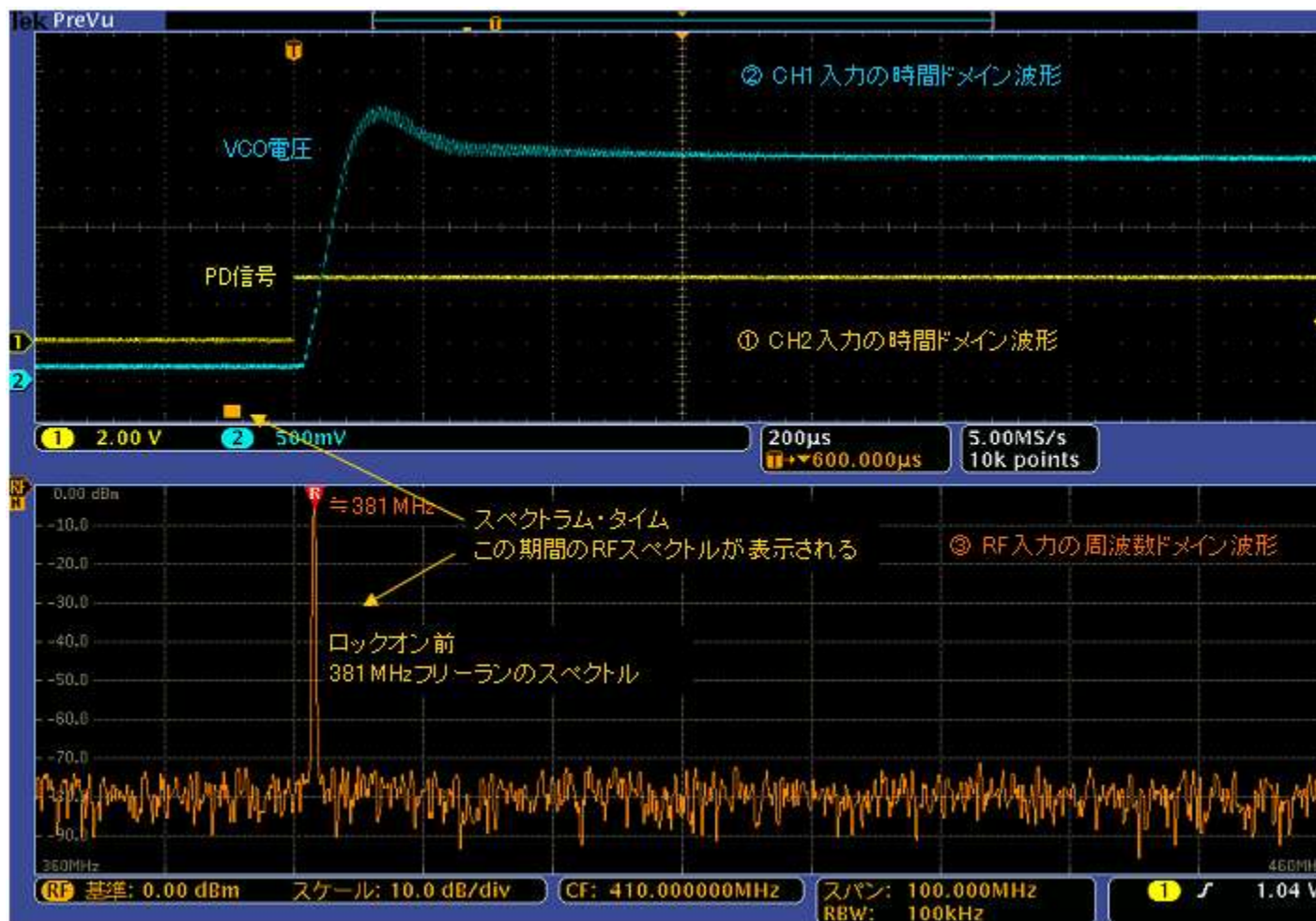
位相比較周波数 $f_r=200\text{KHz}$ で出力周波数 $f_o=410\text{MHz}$ とするコントロールデータを入力して、PLLの応答特性を評価しましょう。

今回はAK1542A LSIに PD(パワーダウン)機能が付いていますので、これをトリガに用いる測定です。



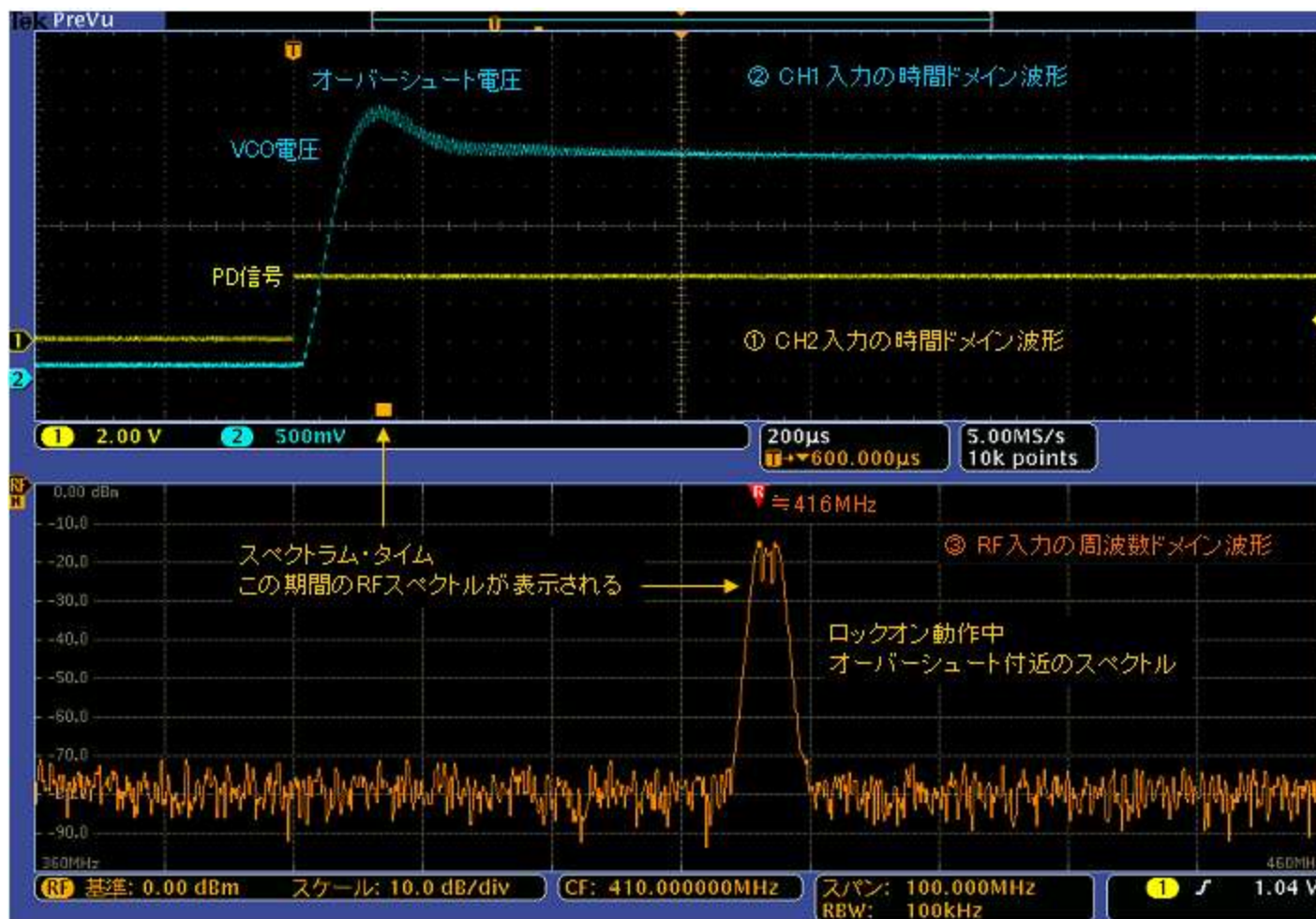
a. 時間軸と周波数軸で応答特性を評価する

■ ロックオン前のフリーラン・スペクトル



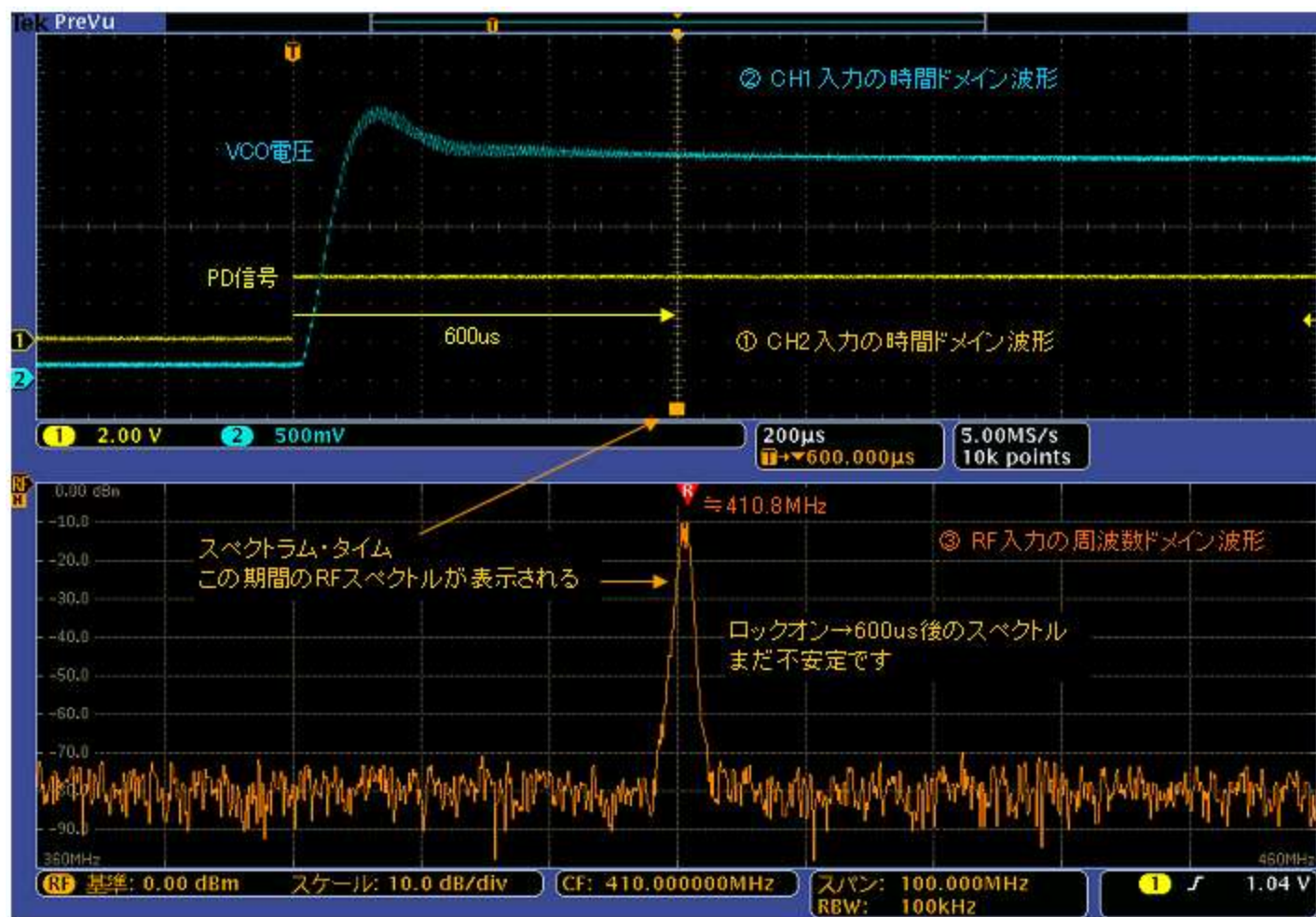
PD信号ローの期間で、チャージポンプ出力がOFFの状態です。したがって、ロックアップ前のフリーラン・スペクトル(約381MHz)が観測されます。

■ ロックオン動作中のオーバーシュート付近のスペクトル



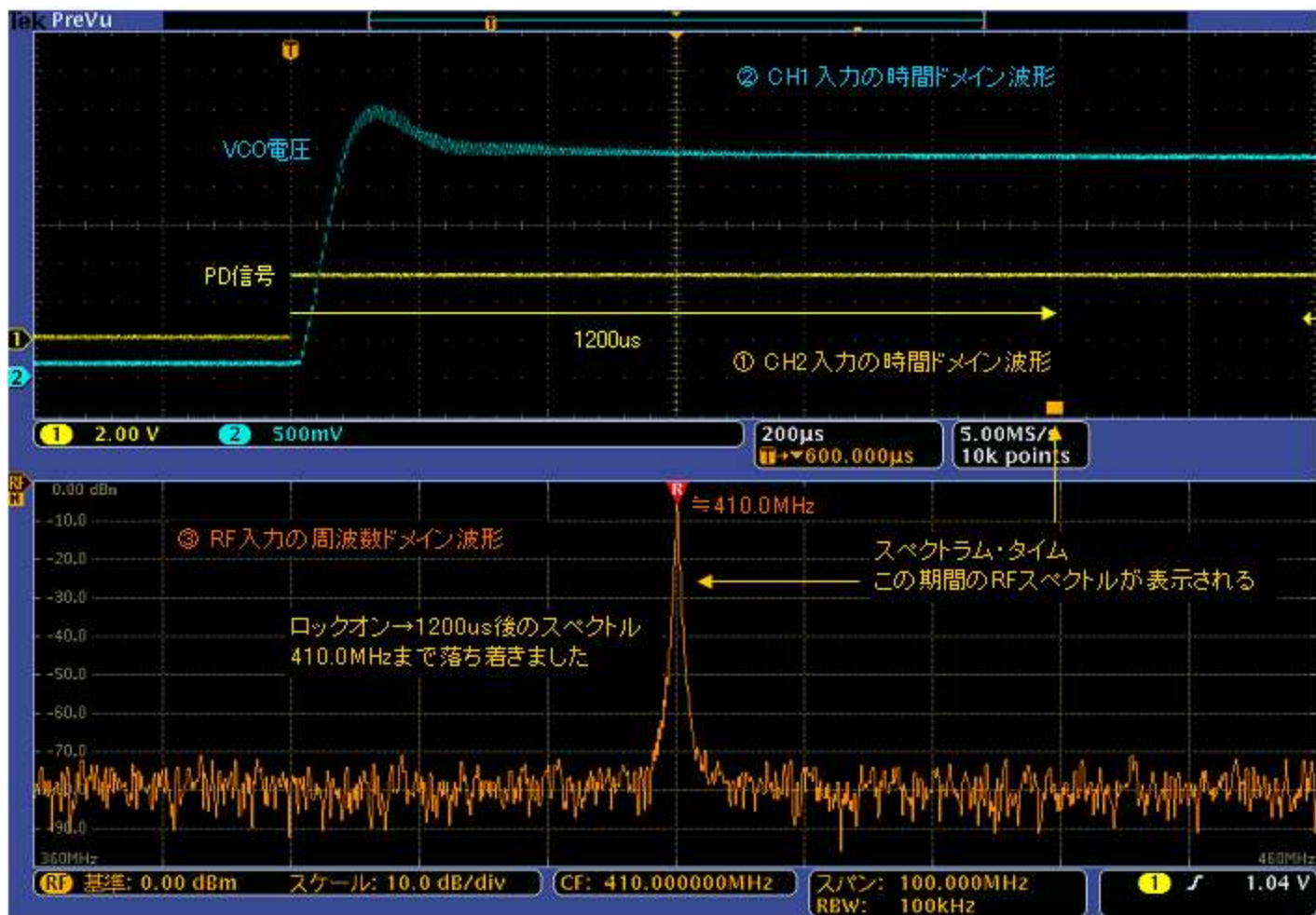
PD信号がハイとなり、ロックアップ動作でオーバーシュート電圧がピーク付近でのデータです。RFスペクトルは410MHzをオーバーして416MHz付近に達しています。

■ ロックオン→600us後のスペクトル



ロックアップ動作を開始してから 600us後のデータです。RFスペクトルは 410.8MHz付近にあり、まだ安定していない状態です。

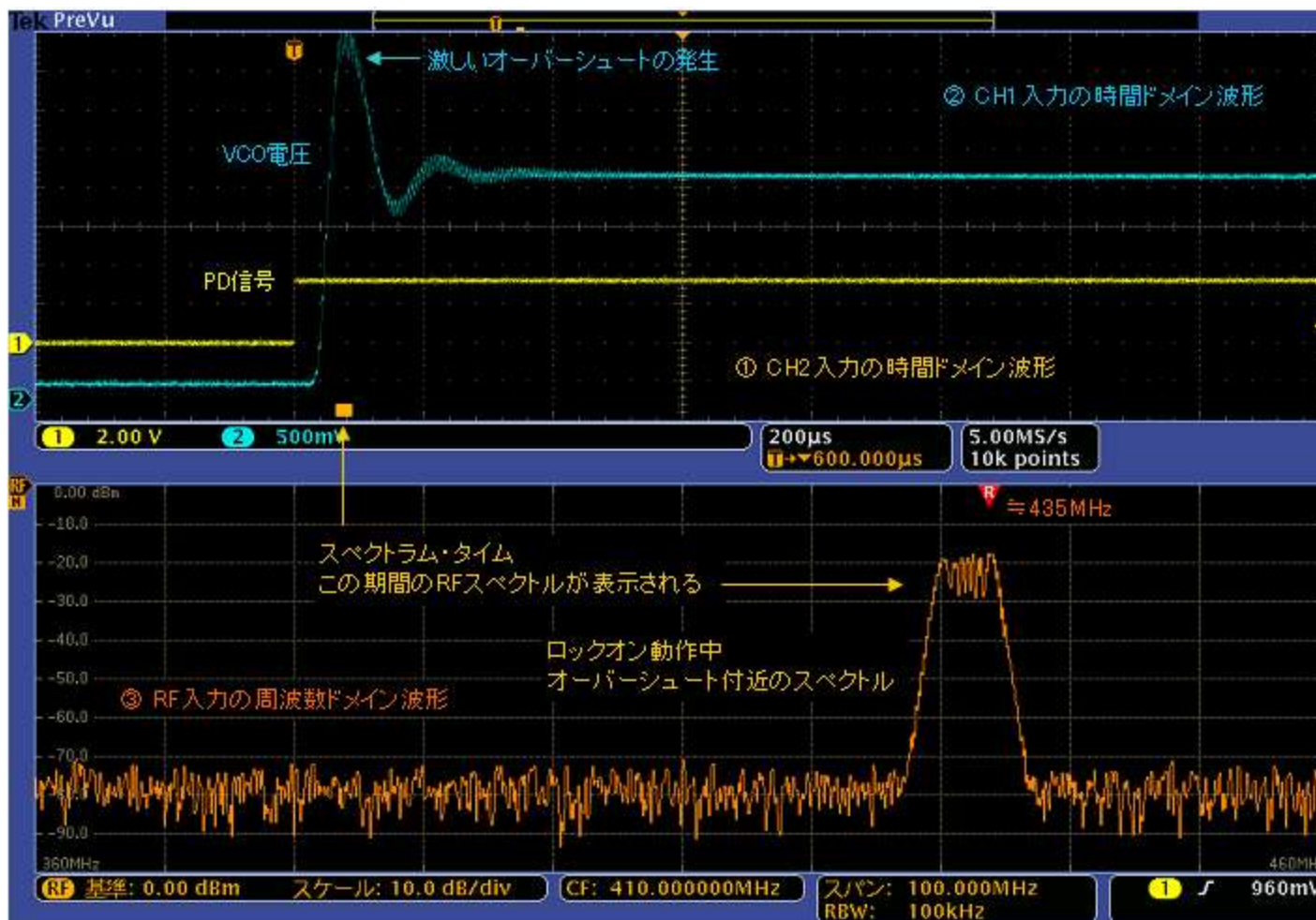
■ ロックオン→1200us後のスペクトル



ロックオン動作を開始してから 1200us後のデータです。RFスペクトルは 410.0MHzまで収束し、ほぼロックアップ動作を完了しています。

b. オーバーシュートの激しいPLLの応答特性

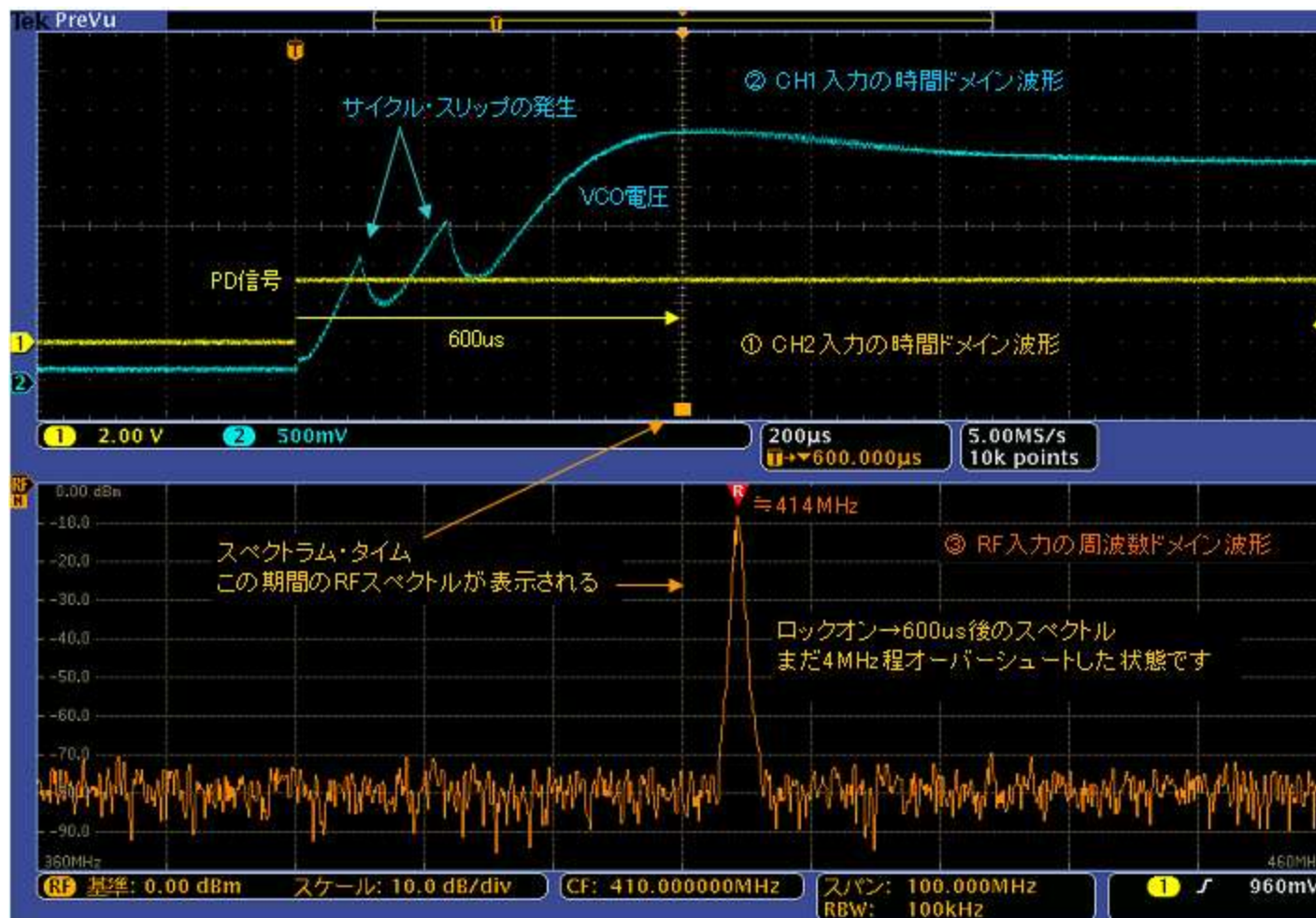
次に、PLLの位相余裕を極端に少なく、 $\phi_c \approx 15^\circ$ で計算したループ・フィルタとしました。



CH1入力のVCO電圧は激しくオーバーシュートしています。そして、オーバーシュート付近のRFスペクトルを観測すると、設定周波数 410MHzをずい分とオーバーして 435MHz付近にも達しています。隣接チャネルなどの妨害波となるかもしれません。

c. サイクル・スリップが発生したPLLの応答特性

位相比較周波数 $f_r=500\text{KHz}$ のPLLとして、ループ帯域幅 $f_c\cong 3\text{KHz}$ で位相余裕 $\Phi_c\cong 45^\circ$ の定数としました。



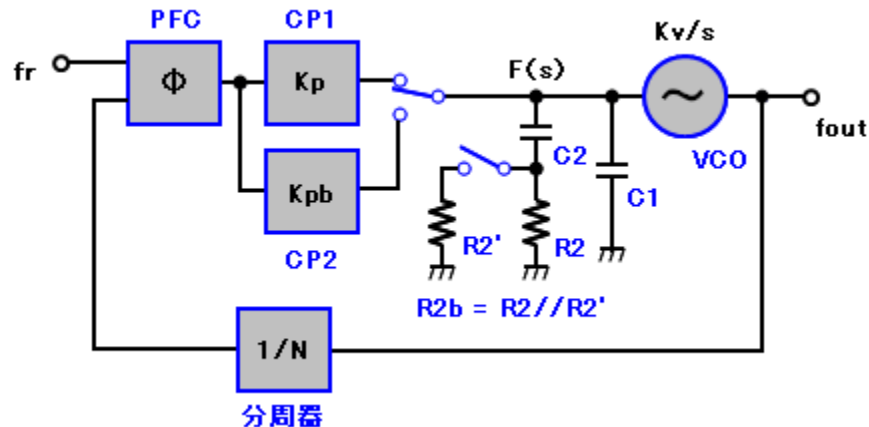
CH1入力のVCO電圧にサイクル・スリップした様子が見えます。 $f_r=500\text{KHz}$ にしましたので、より高速に動くかと思えば、サイクル・スリップの発生で、先の $f_r=200\text{KHz}$ でのロックアップ動作より遅くなっています。

3. ファーストロックアップモードを用いてロック時間を短縮する

リファレンスもれスプリアスや高域でのスプリアスやノイズを抑圧するためには、ループ帯域の狭いPLLを採用します。この場合、高速な周波数切り替え時間をあきらめなければなりません。逆に、高速な切り替え時間を得るために、ループ帯域の広いPLLを用います。この場合には、高域でのスプリアスの抑圧を犠牲にしなければなりません。

ファーストロックアップモードを用いることで、このようなトレードオフの問題を緩和できます。

a. ファーストロックアップモードの動作

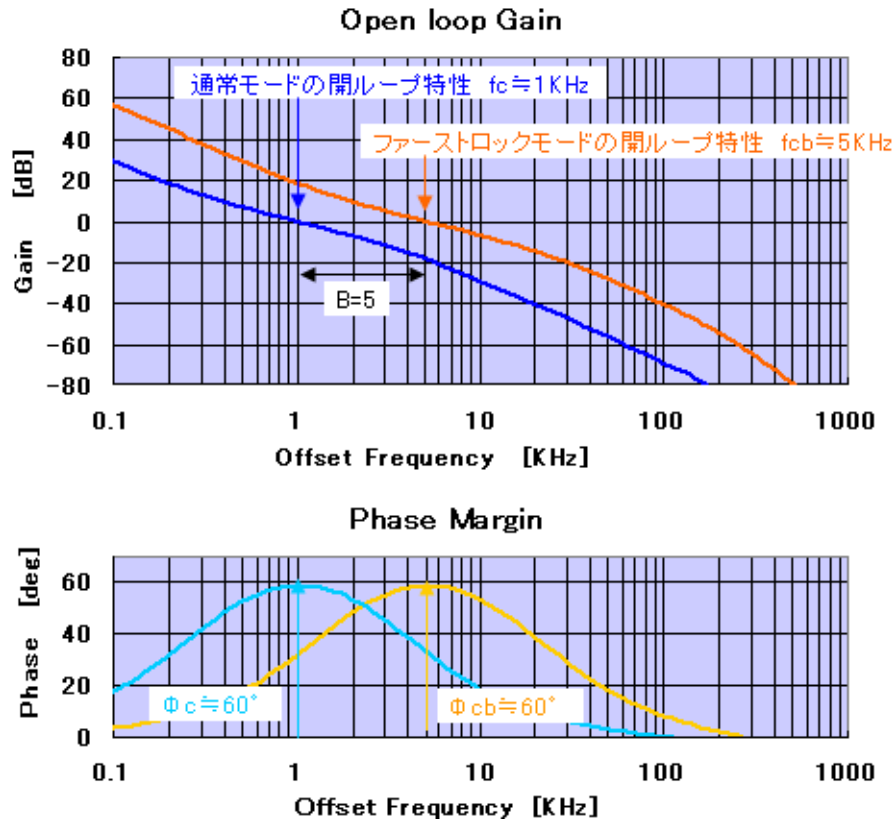


図はファーストロックアップモードの動作を説明するものです。ここで、チャージポンプCP1とCP2は切り替えることができます。また、R2の値も並列にR2'が入ることで定数を変更します。

CP1は、通常モードでのチャージポンプで利得Kpで、ループ帯域の狭いPLLとしてC1, C2, R2の定数が決められています。CP2は、ファーストロックアップモードでのチャージポンプで、利得KpbはKpより大きくします。

■ 位相余裕 Φ_c を適切な値とする

チャージポンプはCP2が選択され利得 K_{pb} を大とすることでPLLの開ループゲインは増して、カットオフ周波数 f_c は高域に移りますので、ループ帯域は広がります。しかし、それだけですと位相余裕 Φ_c が小さくなり不安定となり、応答特性が悪化します。そこで、ファーストロックアップモード時には R_2 の値も変えて適切な Φ_c の値として動作させることが有効です。



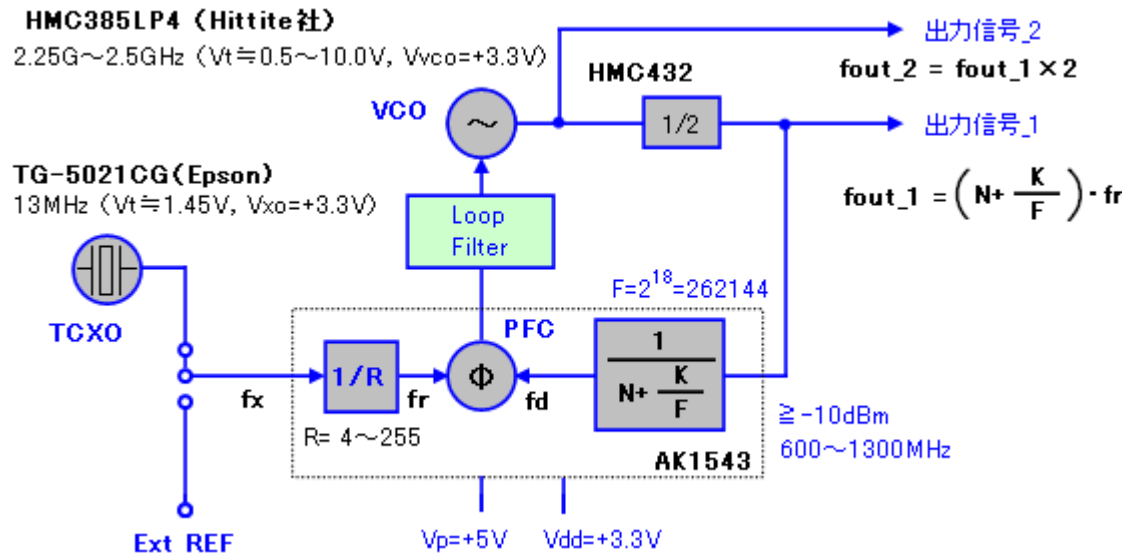
図は通常モードとファーストロックモードの開ループ特性と位相特性の一例を示しました。この例では、ファーストロックモードの帯域幅を通常モードの5倍($B=5$)となるように利得 K_{pb} の値を定めます。そして、位相余裕 Φ_{cb} の変化がないように、 R_2' の値を選びます。

b. サイクル・スリップの発生を抑える

先にも記したように、サイクル・スリップの発生はPLL設計者にとって厄介な問題です。サイクル・スリップの現象を低減するためには、 f_r と f_c の差を小さくすることが必要ですので、ファーストロックアップモードを用いて f_c を大として、広帯域で周波数を切り替えることは有効です。

すなわち、ロックアップ時にまず広いループ帯域としてサイクル・スリップの発生を防ぎます。そして、ロック周波数に近づいたら所定のループ帯域に狭めるという動作です。

c. ファーストロックアップモードの設計例



図は旭化成エレクトロニクス社のAK1543を用いたフラクショナルPLLのブロック図です。フラクショナルPLLの場合には位相比較周波数 f_r が高く、ループの帯域は狭い(f_c を小さくする)仕様となります。この場合、サイクル・スリップが生じやすくなります。

■ ファーストロックアップモードの設計手順

出力周波数 $f_{out}=2340$ [MHz] での設計とします。また、AK1543 の高速ロック用のチャージポンプCP2は、電流を多く流せるのが特徴ですので、 $B=10$ とします。

① 通常モード狭帯域でのループフィルタ定数を求める

$f_r=1$ [MHz] , $N=2340$, $f_c=1$ [KHz]で $\Phi_c=60^\circ$ のフィルタ定数を求めます。

チャージポンプCP1の出力電流は少ない設定として、 $I_{cp1}=21.1$ [uA] で動かしますので、位相比較器の利得 K_p は、次式の値となります。

$$K_p = \frac{21.1[\mu A]}{2\pi} \cong 3.36E-6 \quad [A/rad]$$

② ファーストロックアップモード広帯域とする K_{pb} を求め I_{cp2} を設定する

次に、ファーストロックモードの広帯域ループ $B=10$ ($f_c \cong 10$ KHz, $\Phi_c \cong 60^\circ$)とする位相比較器の利得 K_{pb} を求めます。位相比較器の利得 K_{pb} は、次式で求められます。

$$K_{pb} = B^2 K_p \cong 10^2 \times 3.36E-6 \cong 3.36E-4 \quad [A/rad]$$

ゆえに、チャージポンプCP2の電流 I_{cp2} は、次式となります。

$$I_{cp2} = 2\pi \cdot K_{pb} \cong 2.11 \quad [mA]$$

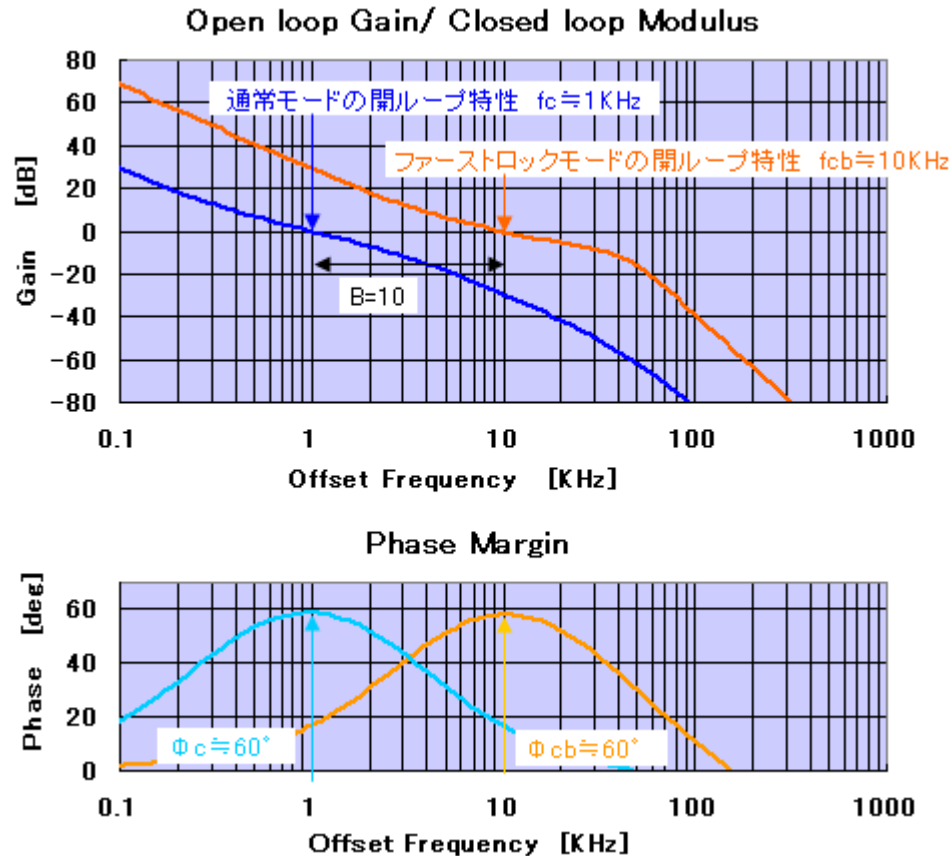
③ ファーストロックアップモード広帯域とする $R2'$ を求める

ファーストロックモードの広帯域ループ $B=10$ ($f_c \cong 10$ KHz, $\Phi_c \cong 60^\circ$)とする $R2'$ を求めます。

④ 開ループ特性と位相特性を検証する

求めた各定数を実際のR, C素子値として, 開ループ特性と位相特性を検証します.

図は 通常モードとファーストロックモードをボーデ線図に表しました.



通常モード $f_c \approx 1$ kHz がファーストロックモード $f_{cb} \approx 10$ kHz の広帯域ループとなり, $\phi_{cb} \approx 60^\circ$ を保つことが検証できます.

⑤ FASTカウンタ時間を決める

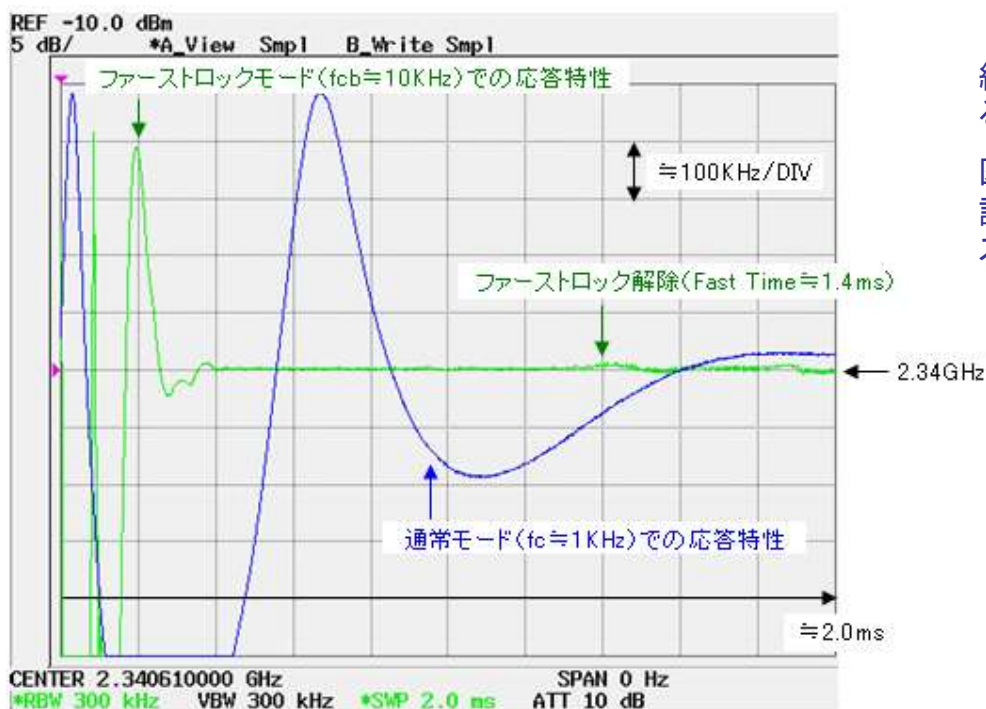
ファーストロックモードでループ帯域の広いPLLとして高速動作させ、目的の周波数に近づいたら通常モード狭い帯域のPLLに戻しますが、その時間を選択します。

d. ファーストロックアップの応答特性を評価する

設計したファーストロックアップモードの実際の応答特性を確認します。

< スペアナを用いて評価する >

図は スペアナをゼロスパンとして用いたタイムドメイン評価です。



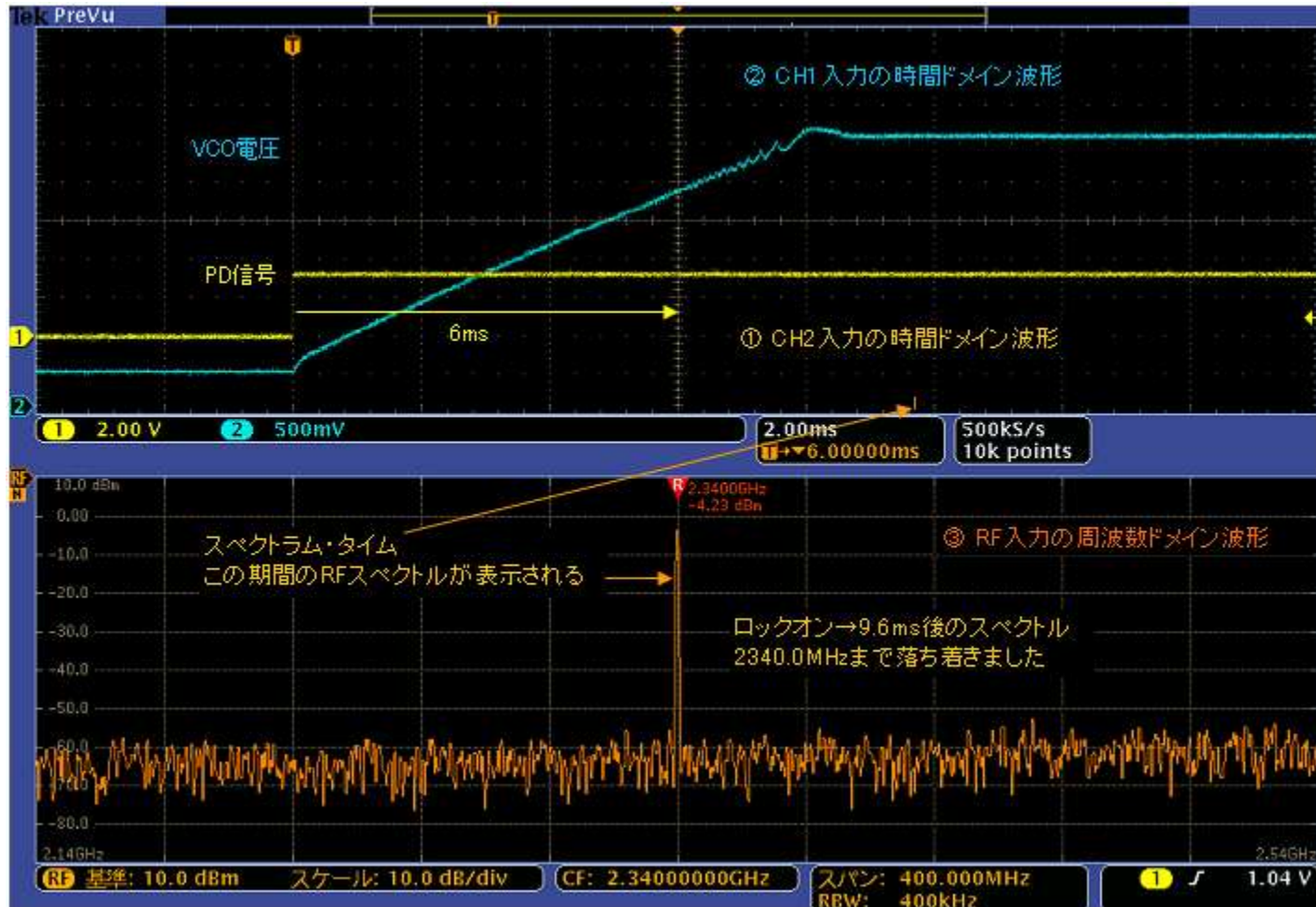
縦軸が周波数目盛となりますが、スロープ検波による換算をしなければなりません。

図は ≈ 100 kHz/DIV での応答特性ですが、換算誤差が含まれます。また、正しい評価をするにはスペアナの操作に熟練する必要があります。

< MDO4000を用いて評価する >

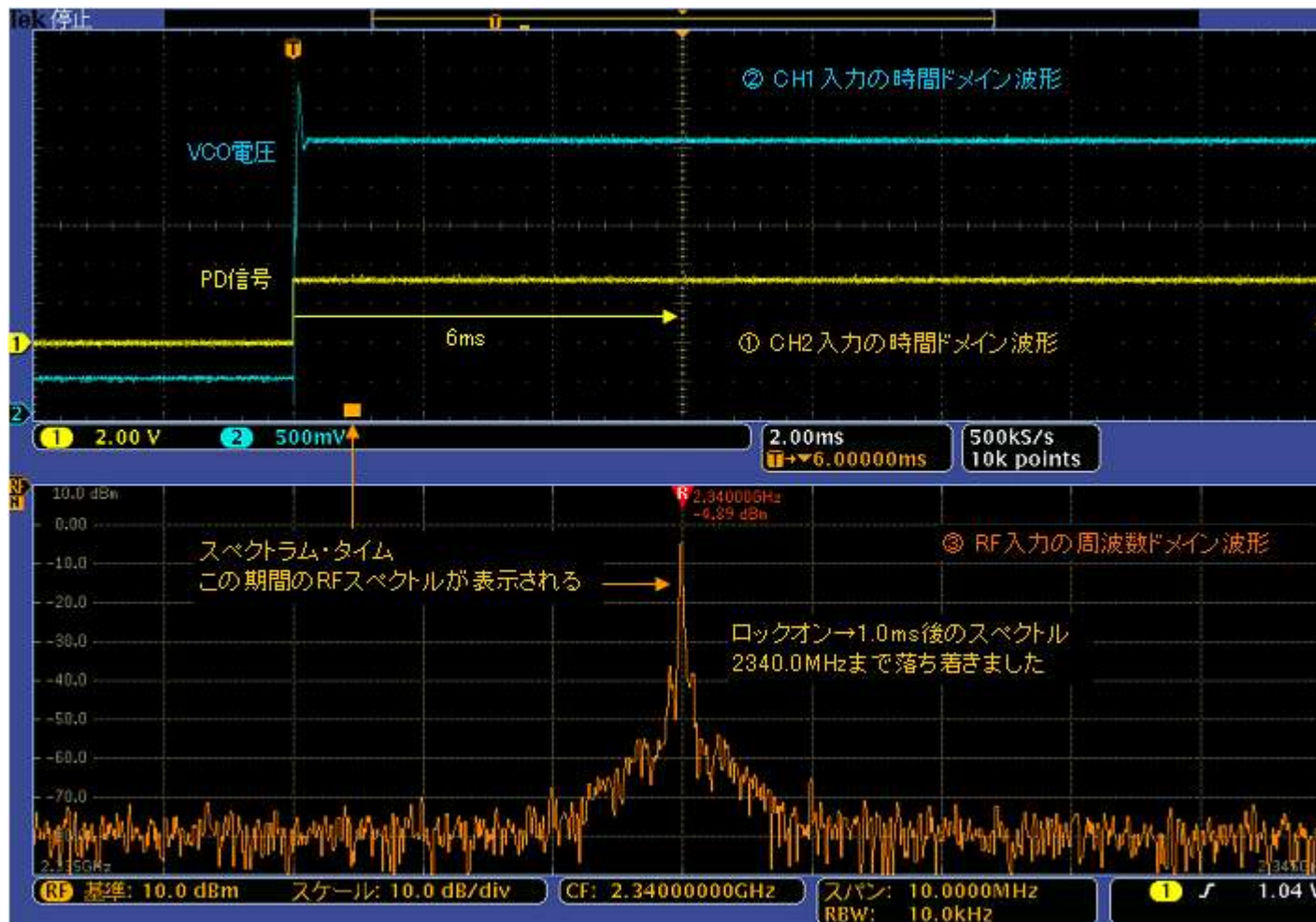
MDO4000を用いて 時間軸と周波数軸の同期観測することで, PLLの応答特性を容易に評価できます

■ 通常モードでの応答特性



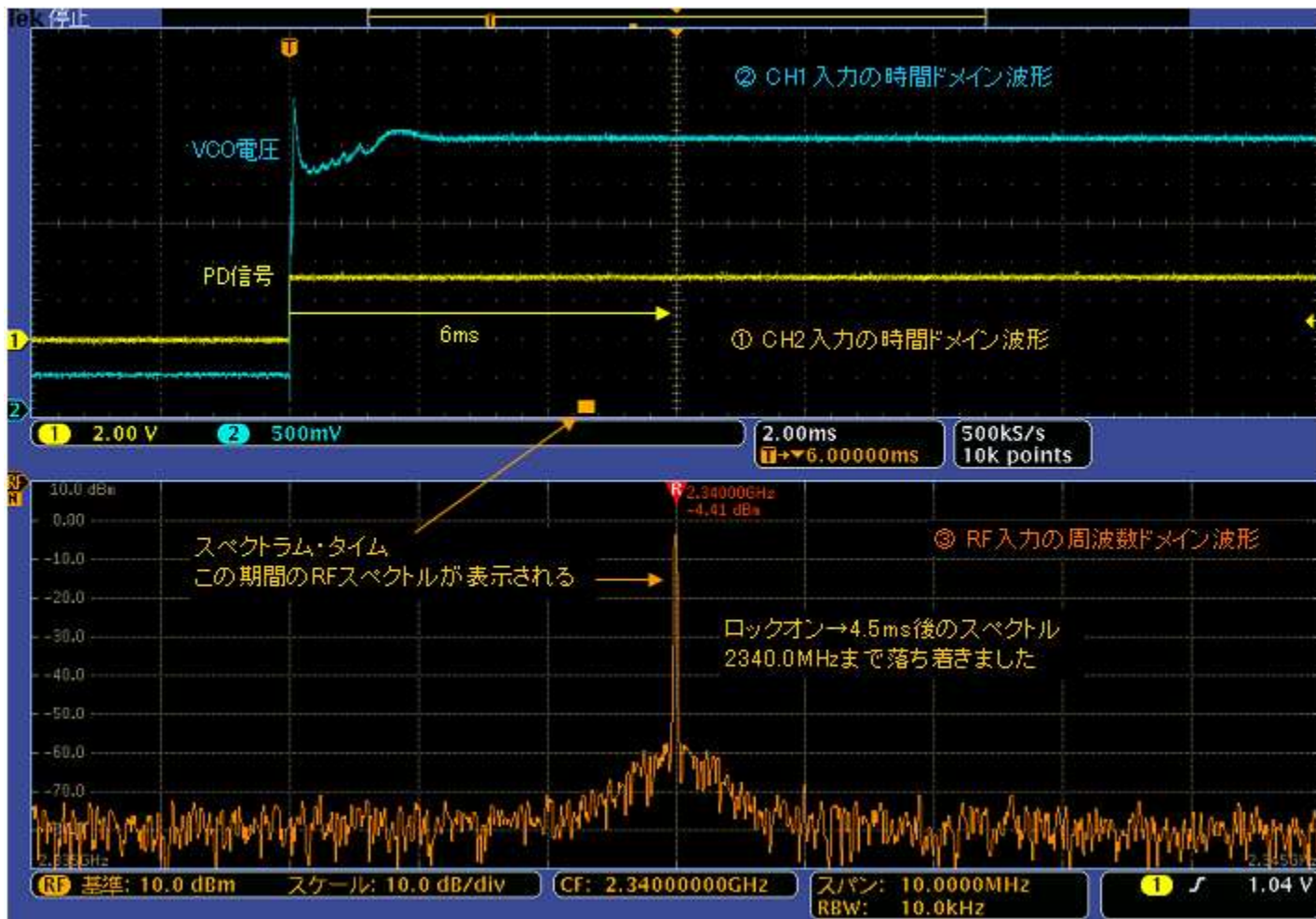
サイクル・スリップが激しく発生して, 2340.0MHzに落ち着くのに 9.6msほども要しています。

■ ファーストロックアップモードでの応答特性_カウンタ時間適正值



ファーストロック解除時間を Fast Time $\approx 0.8\text{ms}$ としました。 1.0msほど経過した時点で、ほぼ 2340.0MHz に設定されロック時間の大幅な改善を確認できます。

■ ファーストロックアップモードでの応答特性_カウンタ時間不適正值



ファーストロック解除時間を Fast Time $\div 0.2\text{ms}$ としてしまいました。まだ、周波数が大きくリンクしている状態でファーストロックを解除しましたので、その後はループ帯域の狭い通常モード ($f_c \div 1\text{kHz}$)での応答特性として収束しています。

ファーストロック解除時間は 動作状態によって変わりますので、実測して決めるのが一番です。

今回使用したオシロスコープのご紹介

世界初のミックスド・ドメイン・オシロスコープ、MDO4000 シリーズ



オシロスコープにスペクトラム・アナライザの機能を統合
アナログ/デジタルそしてRFの時間相関・測定が可能に！

MDO4000 シリーズの外観と機能

MDO = アナログ/デジタル/RFの時間相関 測定を1台で提供



MDO4000シリーズの製品ランナップと仕様



- 最大21チャンネルで複雑なデバッグに対応
- スペクトラム解析機能を統合
- アナログ、デジタル、RF信号を時間相関のとりながら観測・解析

型番	アナログ・チャンネル	アナログ・周波数帯域	デジタル・チャンネル	RFチャンネル	RF周波数レンジ
MDO4054-3	4	500 MHz	16	1	50 kHz – 3 GHz
MDO4054-6	4	500 MHz	16	1	50 kHz – 6 GHz
MDO4104-3	4	1 GHz	16	1	50 kHz – 3 GHz
MDO4104-6	4	1 GHz	16	1	50 kHz – 6 GHz

世界初！ミックスド・ドメイン・オシロスコープ



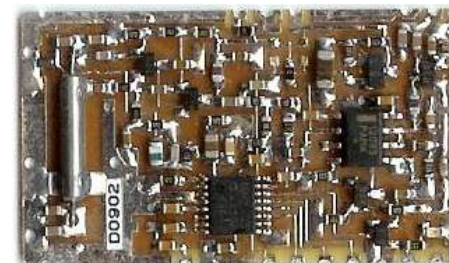
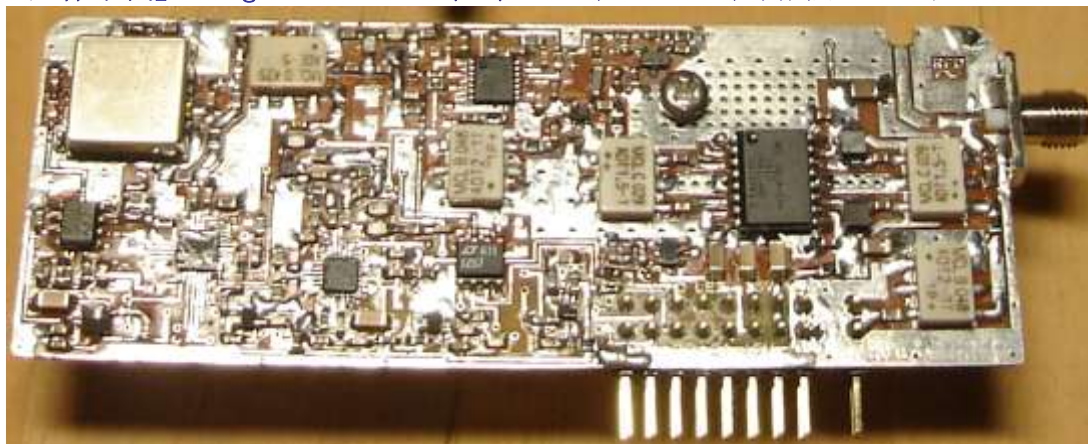
唯一の
アナログ、デジタル、そしてRFの
時間相関による解析ができる
オシロスコープ

Tektronix
MDO4000シリーズ

■ 講演者_RFデザインノートのエンジニア紹介

高周波回路の設計から試作 全てを一人でこなせる技術者

試作事例_1 : Signal Generator (SG) 小型(100×35mm)・高出力・Hzステップ



試作事例_2 : 広帯域PLL周波数シンセサイザ
モジュール

- ・ 高周波回路・高周波特性を熟知した設計(プリント基板設計を含む)から試作・評価までの一貫工程を一人で完遂.
- ・ 高周波PLL周波数シンセサイザ, VCO, VCXO などの試作実績多し, 位相雑音の低減や雑音対策も得意.
- ・ 測定器メーカーで約30年間のスペクトラム・アナライザ, ネットワーク・アナライザ, シグナルソースなどの開発経験.
- ・ 高周波・アナログ技術関連の技術解説記事の寄稿 (CQ出版社等) や同関連テーマの 세미나講師, 専門学校での実習授業, 精密半田付けの実技・講習など.

著書 : 「高周波PLL回路のしくみと設計法」 CQ出版社 <http://shop.cqpub.co.jp/hanbai/books/30/30231.html>

セミナー講演例 : 「高周波技術の基本と回路・測定技術の実際 ～エクセル演習付～」主催 : ㈱日本テクノセンター

http://www.j-techno.co.jp/test/eisei_E.cgi?mode=sem&unit=2012052402