

組込み機器開発に役立つ汎用オシロスコープの応用例



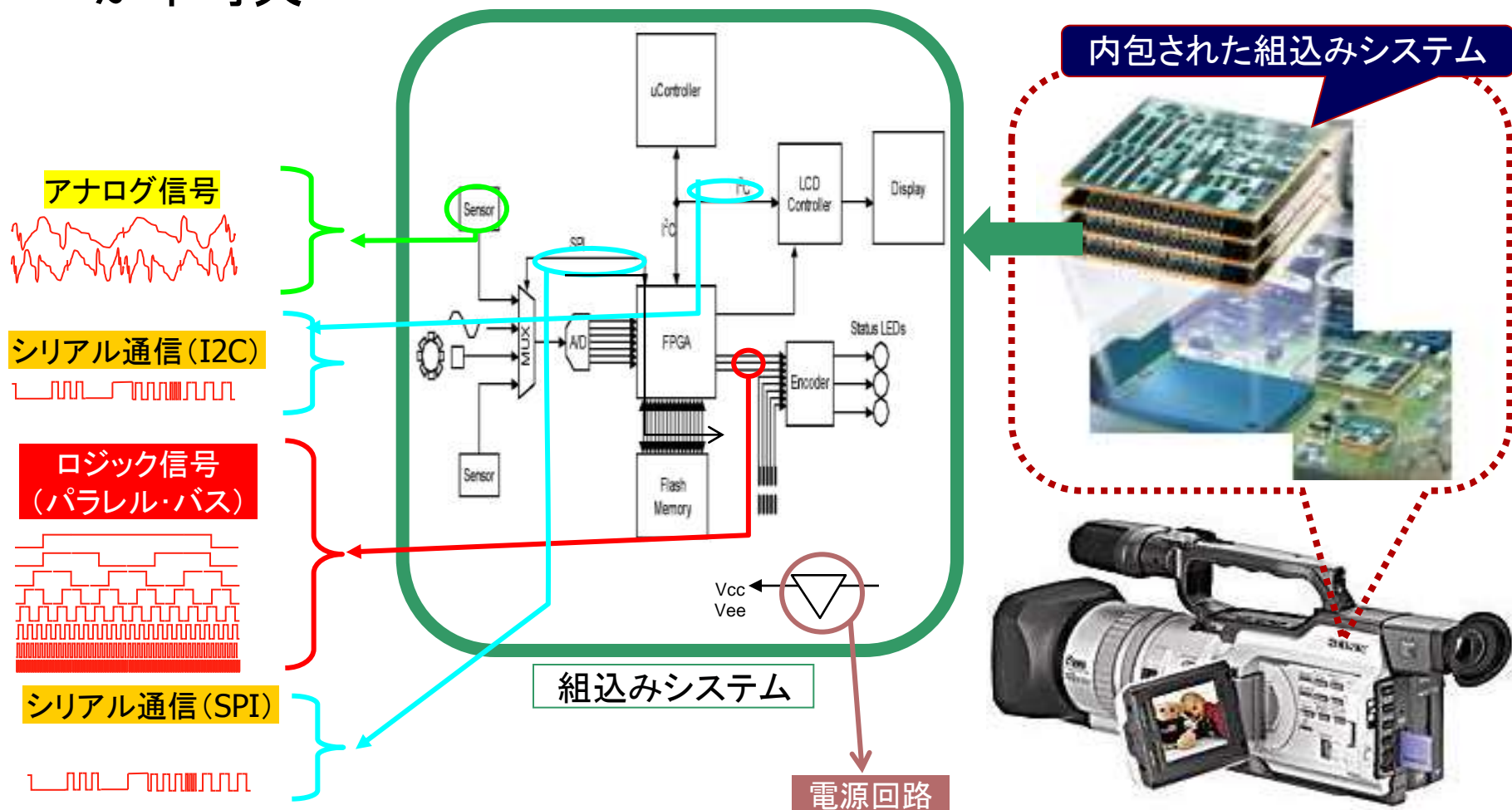
テクトロニクス・イノベーション・フォーラム2012

中門哲士

www.tektronix.com/ja

組み込み回路とミックスド・シグナル

- 今日の組み込み回路では、ミックスド・シグナル回路のデバックが不可欠



アプリケーションの高速化 -1GHzのニーズ

- 組み込み機器に使われるプロセッサのクロック周波数が飛躍的に高速化
 - 内部シリアル・バス・クロックも高速化
- 処理が高速なプロセッサを採用するケースの増加
 - 家電、制御機器においても高速化
- 高速なメモリの使用(DDR2/DDR3)



組込みミックスド・シグナル回路の解析

- アナログ信号
- パラレル・バス
- シリアル・バス
- 電源
- RF (周波数ドメイン)

- 複数の異なった性格の信号に対して、相関を保ったまま
 - トリガ
 - デコード
 - サーチ/マーク
 - アナリシス

DPO/MSO/MDO4000シリーズ・オシロスコープ

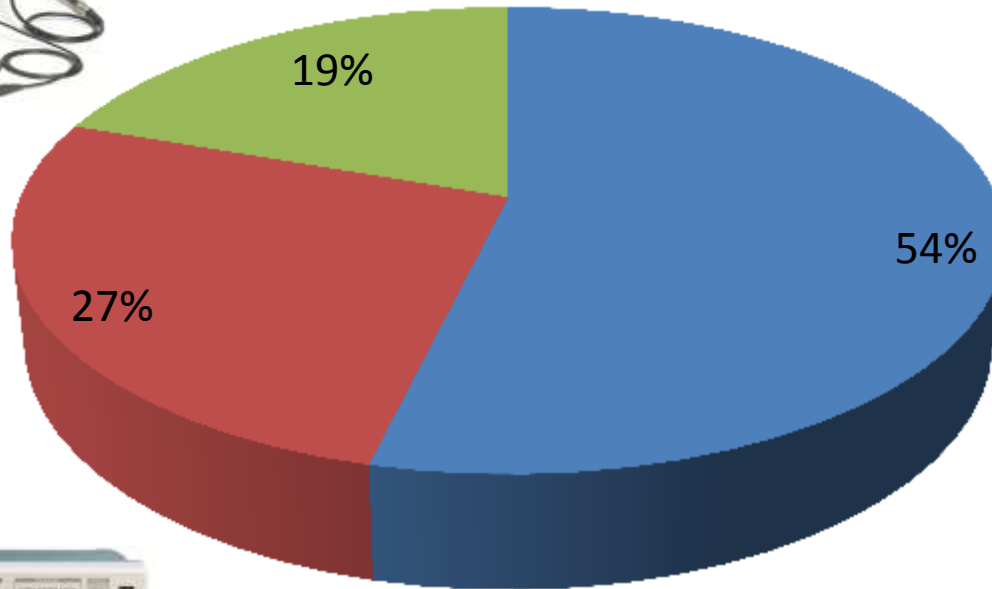
- DPO4000Bシリーズ Digital Phosphor Oscilloscope
 - アナログ2~4ch、350MHz/500MHz/1GHz帯域のBasicなオシロスコープ
- MSO4000シリーズ Mixed Signal Oscilloscope
 - DPO + デジタル入力16ch(ロジック・アナライザ機能)
- MDO4000シリーズ Mixed Domain Oscilloscope
 - MSO + RF入力(スペクトラム・アナライザ機能)
 - アナログ4ch、500MHz/1GHz帯域



DPO/MSO/MDO4000シリーズ 組み込みミックスド・シグナル測定に対応したオシロスコープ



4000シリーズ・オシロスコープ 構成比

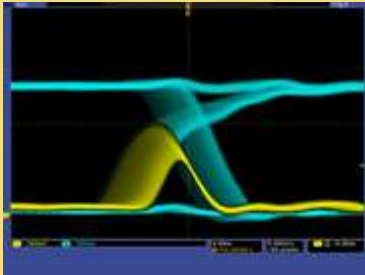


- DPO4000シリーズ
- MSO4000シリーズ
- MDO4000シリーズ

Tektronix実績：2011年3Q～

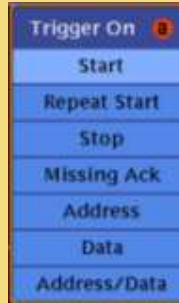
組込み機器デバックに適したMSO/DPO4000Bシリーズ基本機能

検出 (Discover)



- 最高 50,000波形/秒の波形取込レート
- 輝度階調によるデジタル・フォスファ表示

取込 (Capture)



- シリアル・バス解析機能を含め、135を超えるトリガ・コンビネーションを実現
- MagniVu™ 高速デジタル・アキュイジションシステムにより 60.6 ps 高分解能を実現
- 低容量パッシブ・プローブ (標準)
 - パッシブで初の1GHz帯域 (通常の2倍)
 - 負荷容量4pF(通常の1/2)
 - 入力抵抗10MΩ

検出 (Search)



- Wave Inspector®による操作
 - ロングメモリも使い切る Pan/Zoomコントロール
 - アナログ、デジタル、シリアルバスのデータを自動的に検索してマーク

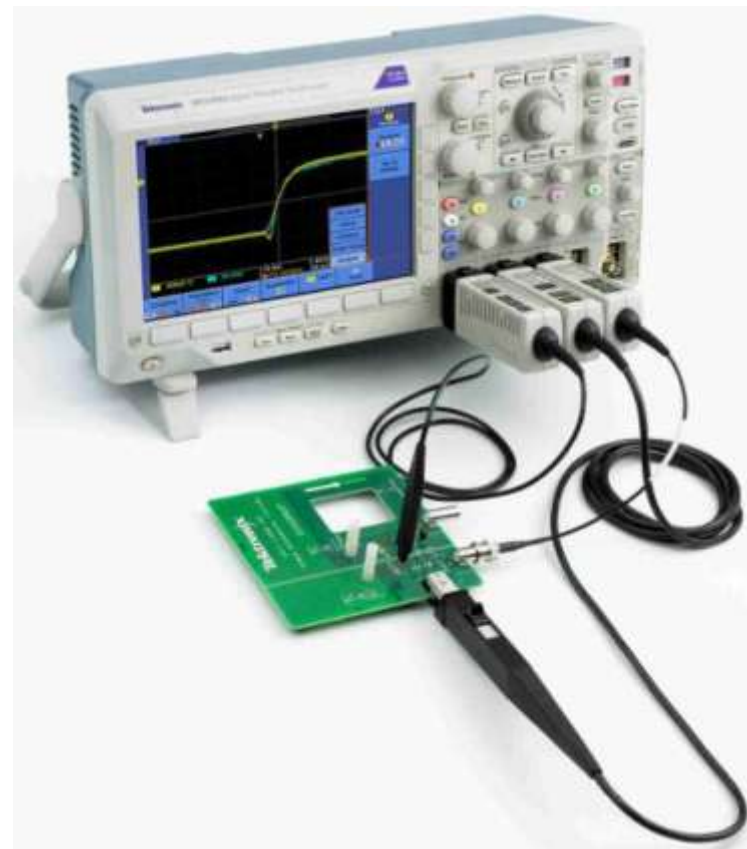
解析 (Analyze)



- 44 種の拡張波形演算
- オプションによるシリアルバス解析
 - I²C, SPI, RS-232, I²S
 - CAN, LIN, FlexRay
 - USB 2.0, Ethernet
 - MIL-STD-1553
- アプリケーション・サポート
 - パワー解析
 - リミット/ マスク・テスト
 - ビデオ

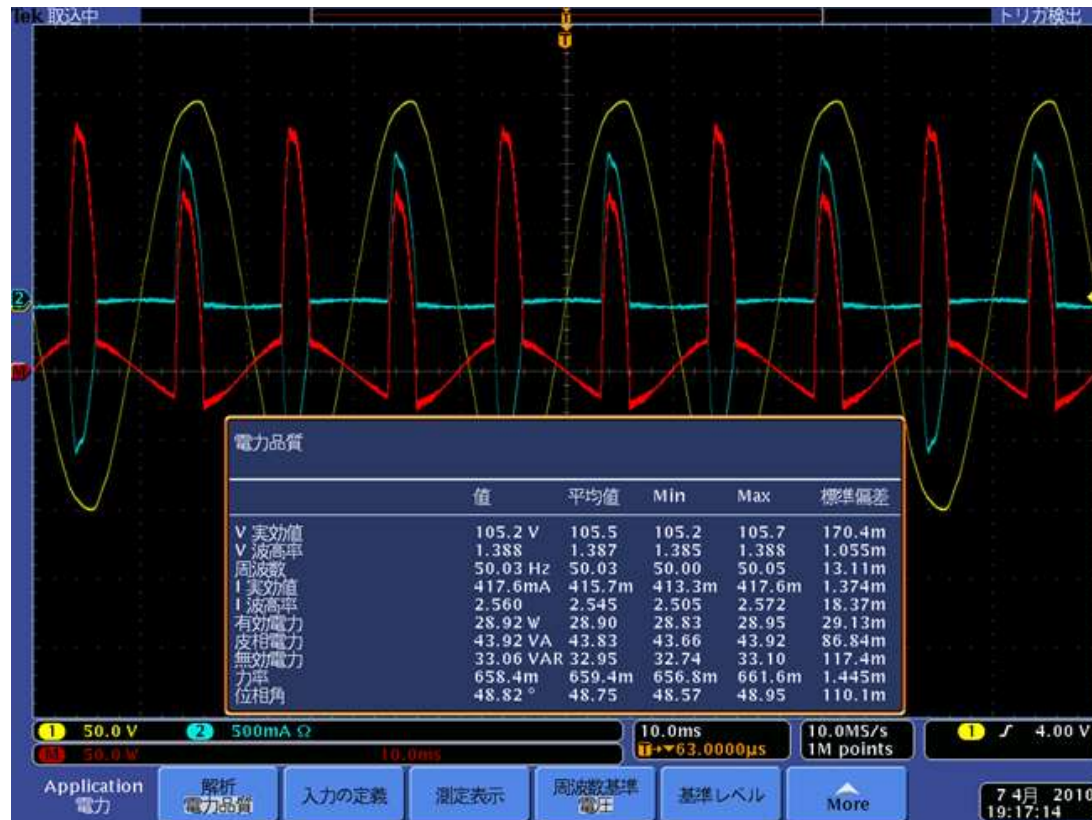
DPO4PWR型によるパワー測定

- スイッチング損失の評価
- 安全動作領域(SOA)の評価
- スイッチング制御の評価(変調解析)
- ライン電源品質の評価
- 電流高調波の評価
- リップル測定



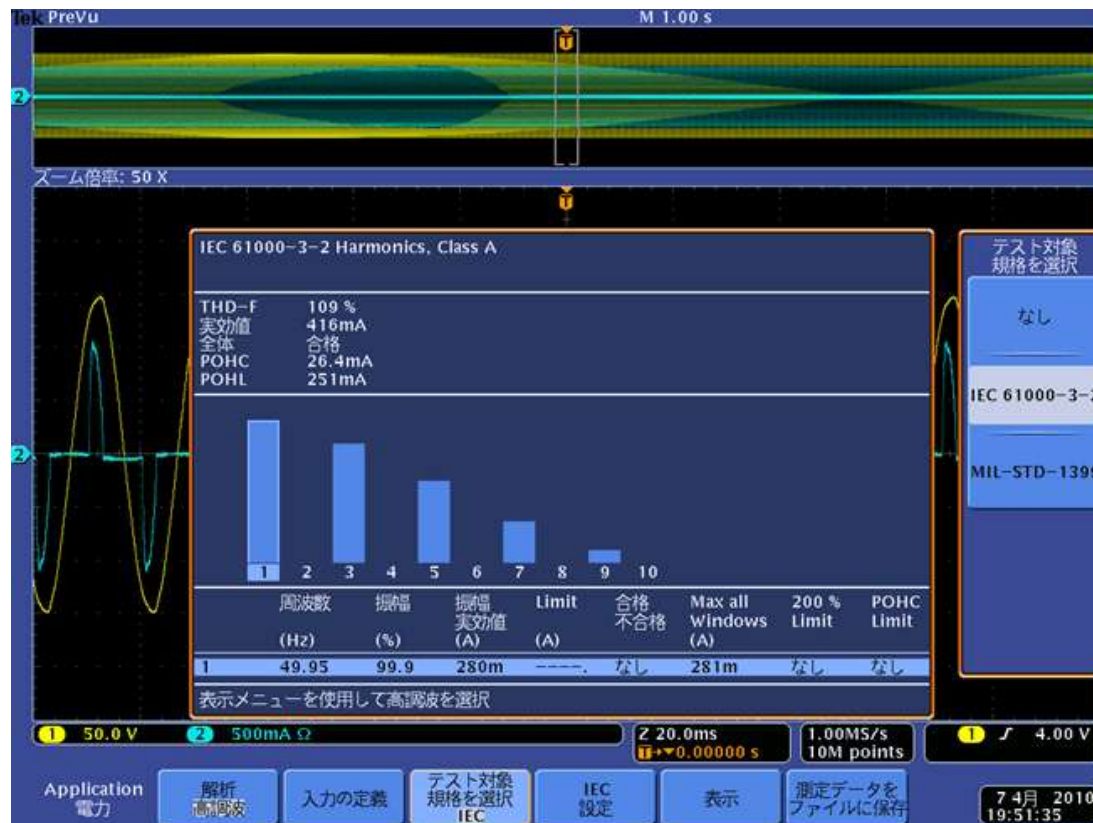
ライン電源品質の評価

- DPO4PWRによるライン電源品質テスト
 - 実効値、波高率、有効電力、周波数、無効電力、皮相電力、力率、位相角



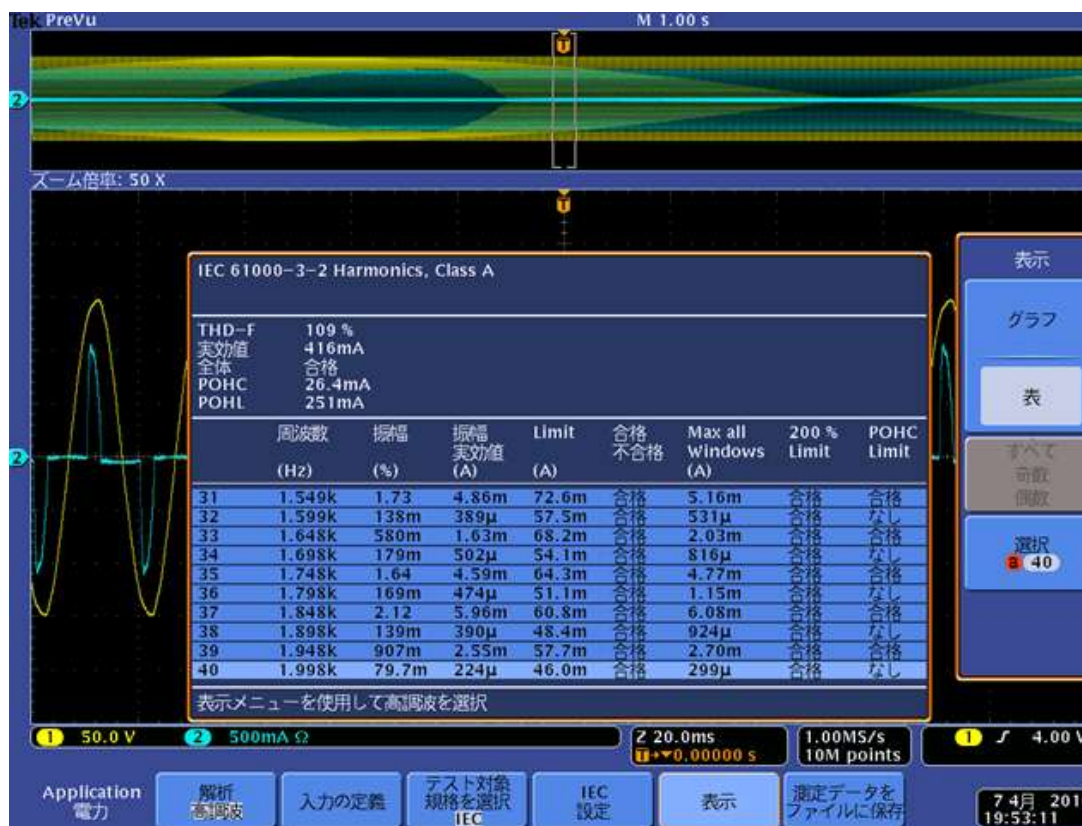
電流高調波テスト-1

- DPO4PWRによる電流高調波テスト(グラフ表示)



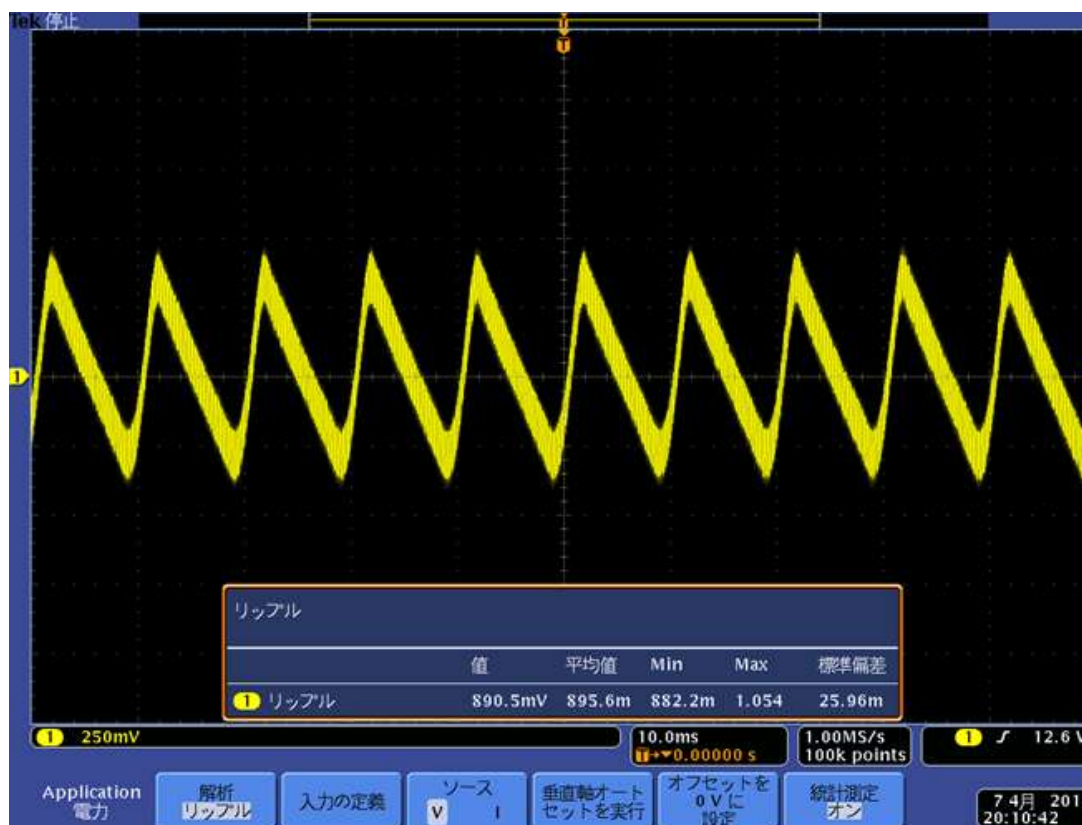
電流高調波テスト -2

- DPO4PWRによる電流高調波テスト(リスト表示)
 - IEC EN6100-3-2、MIL1399規格によるPass-Failテスト
 - 40次までの高調波測定



リップル・テスト

- DPO4PWRによるリップル測定



メジャーメント -1

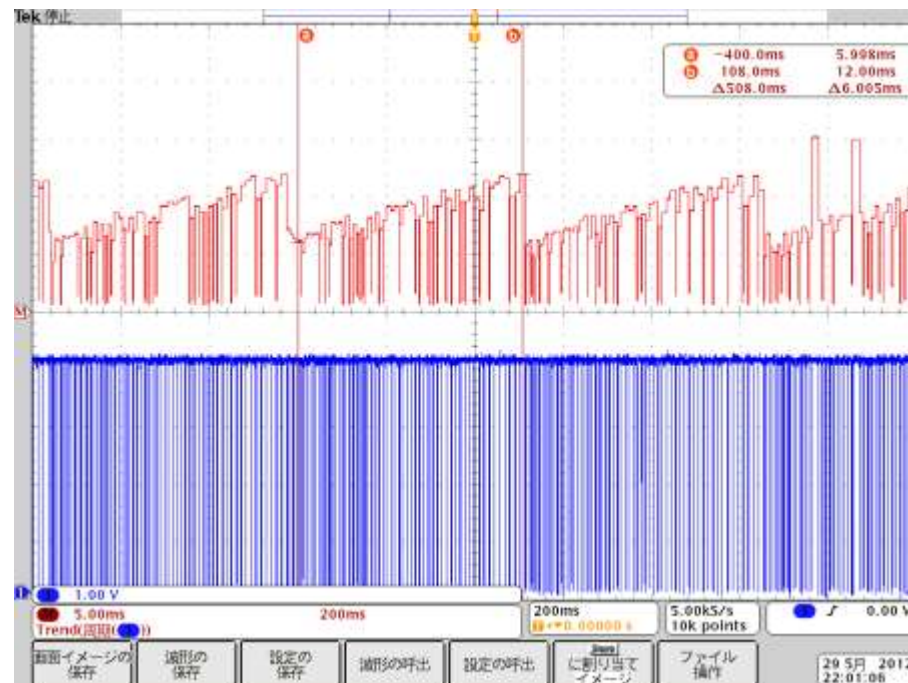
トレンド解析 : 時間による変化の傾向を確認

- 周波数やパルス幅などの時間変化の傾向をプロット
 - FM、PWMなどの変調回路の動作確認
 - 左図の例では、およそ500msのインターバルで、周期が6ms変動を繰り返していることがわかる

a	-400.0ms	5.998ms
b	108.0ms	12.00ms
	$\Delta 508.0ms$	$\Delta 6.005ms$

2 波形での演算波形 FFT 拡張演算

M 5.00ms
Trend(周期(**1**))

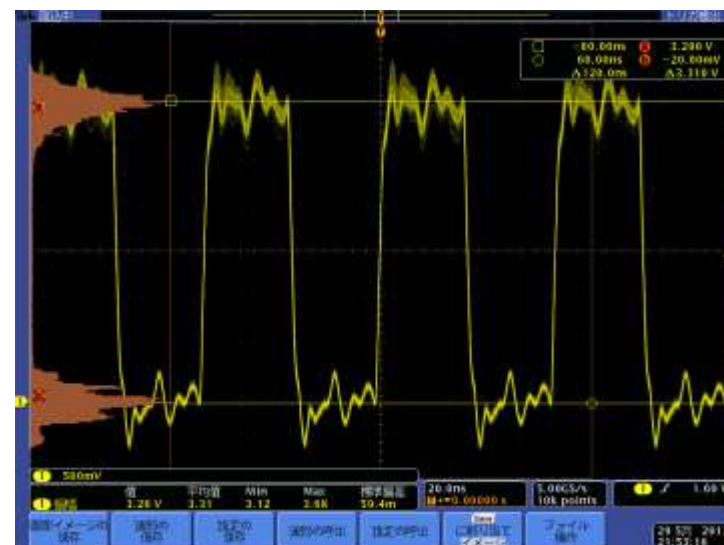


周期の時間変動をプロット

メジャーメント -2

ヒストグラム: データの分布を把握

- 垂直方向、水平方向のデータの分布を表示
- 電圧方向のノイズ、ジッタ等の解析
 - 時間的な変動は表示できない
- 統計解析も可能
 - パラメータの自動計測の際、0%、100%のリファレンス・レベル決定にも使用される



□	-60.00ns	a	3.290 V
○	60.00ns	b	-20.00mV
	Δ120.0ns		Δ3.310 V

	値	平均値	Min	Max	標準偏差
① 振幅	3.26 V	3.31	3.12	3.68	59.4m

ノイズ解析 -2

近接界プローブによるノイズ源の特定

- Langer社★ XF1 セット
 - 入出力ピン、プリント基板上の配線まで特定可能
 - 50Ω 出力、30MHz～6GHzの電界/磁界に対応
 - 空間分解能: 約 0.2mm (XF E-10型)

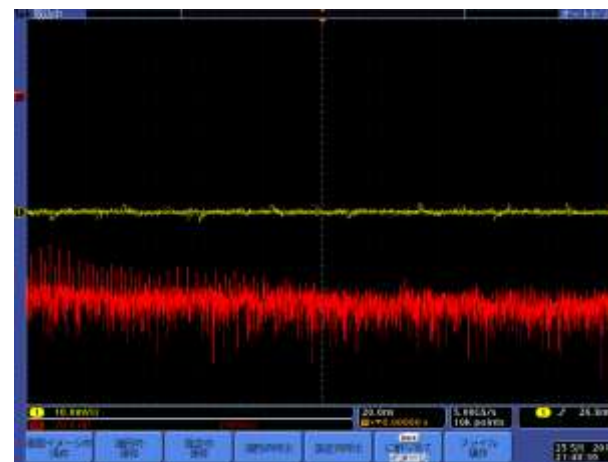
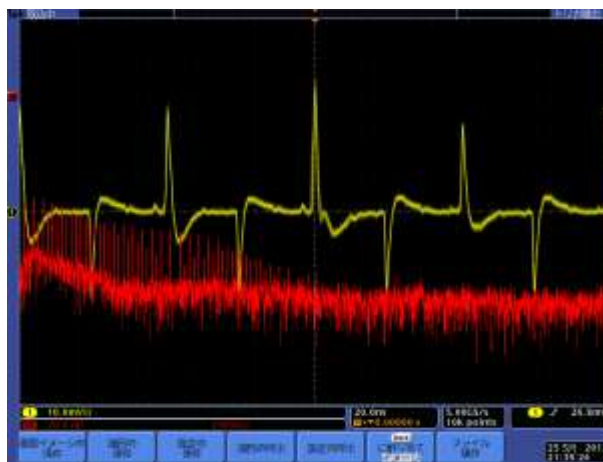
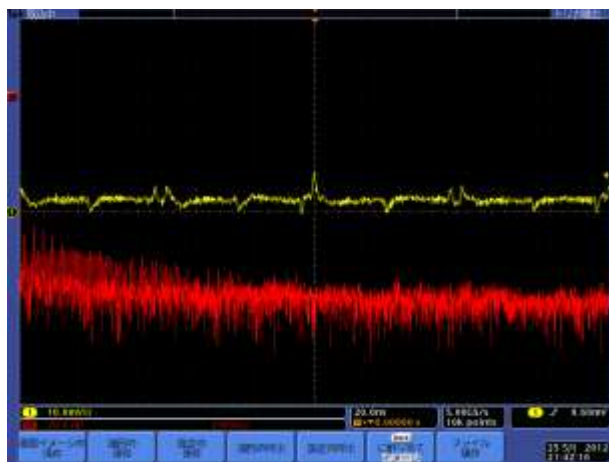


★ <http://www.langer-emv.de/en/homepage/>

ノイズ解析 -3

近接界プローブによるノイズ源の特定

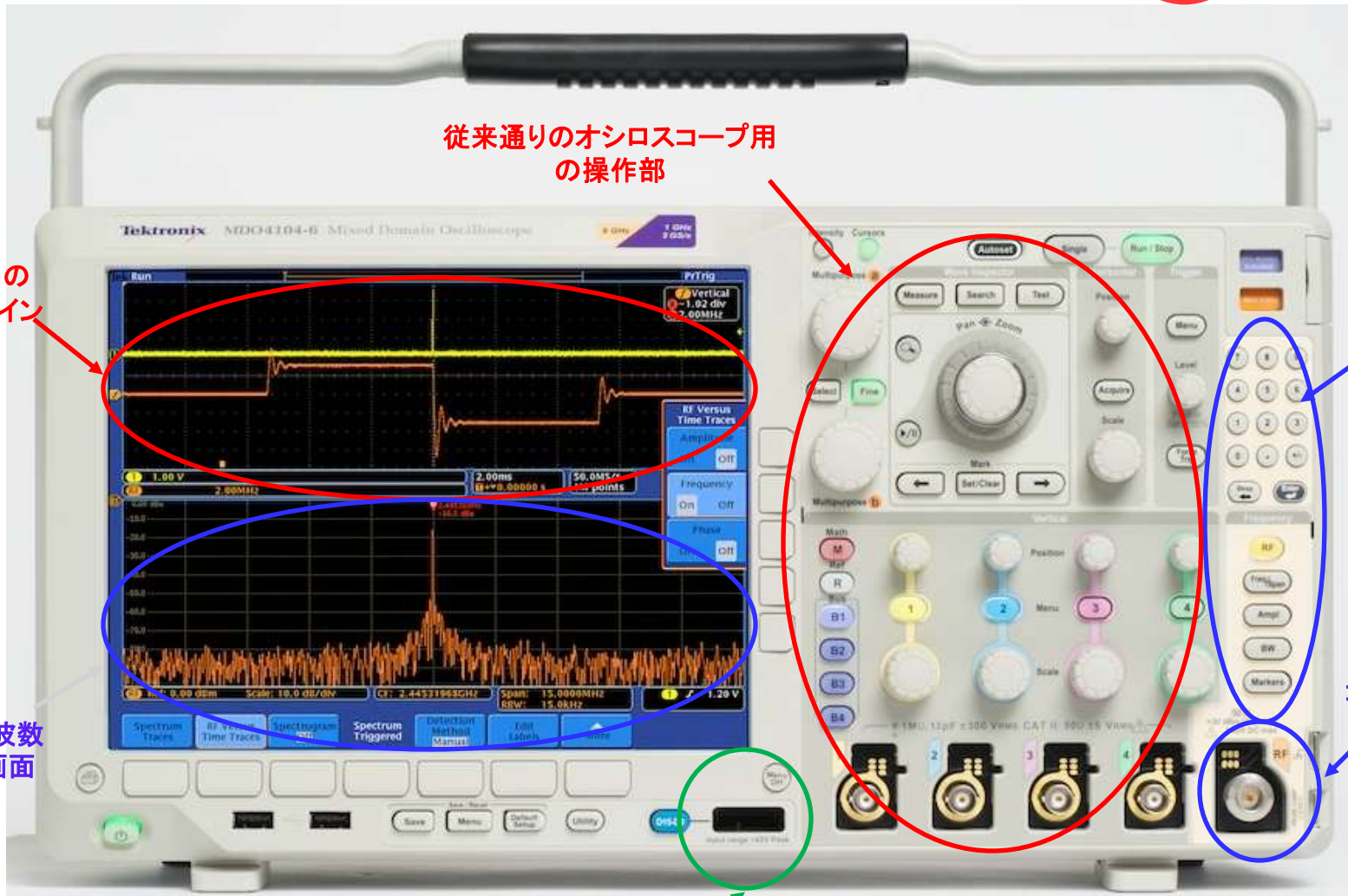
- ピンポイントでノイズ源が特定可能



MDO4000 ミクスド・ドメイン・オシロスコープ

アナログ/デジタル/RFの時間相関 測定を1台で提供

世界初



従来通りのオシロスコープ用の操作部

スペクトラム測定専用
に作られた操作部

タイプN
コネクタによる
RF入力

16ch ロジック・アナライザ

回路基板のノイズ源の特定と対策例

近接界プローブでノイズ源を探し、MDO
のスペアナ部で観測

ノイズ発生源と推測される部品の電源
電圧 vs 時間をMDOのオシロスコープ
で測定

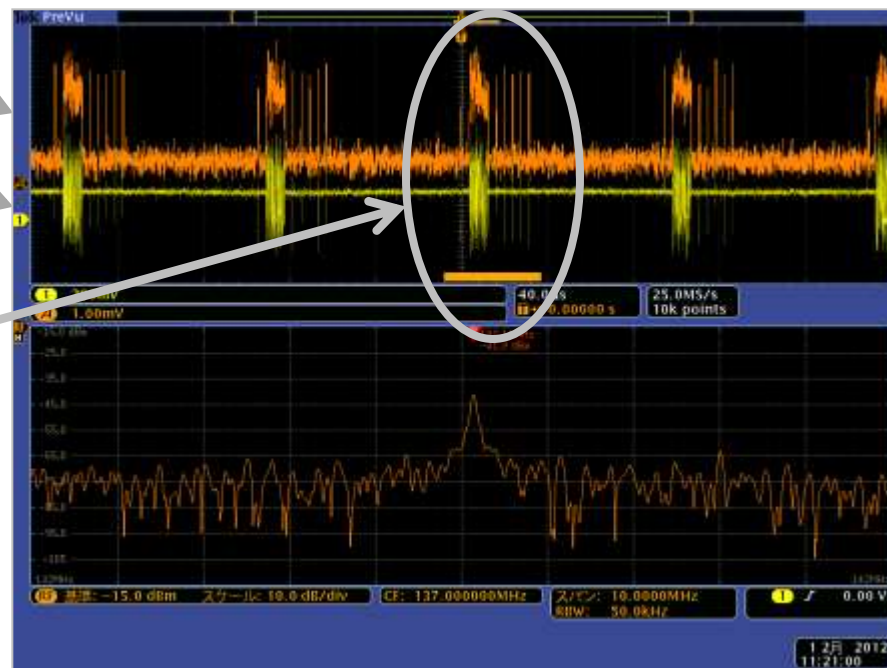


スペアナのゼロ・スパン測定

オシロスコープのch1入力

MDOでオシロとスペアナの時間軸の挙動
を同一タイミングで測定表示。ループ
アンテナで取得したノイズ波形と、デバ
イスの出力がタイミングが一致している
様子が見える

ノイズ源となる部品の近傍にパソコン
を加える回路変更を行なう



MDO4000によるSPIコマンドのターンオン遅延時間と過渡状態のスペクトラム測定例

- デバイスの遅延、過渡状態におけるスペクトラムを表示可能



パラレル・バスの解析 -1

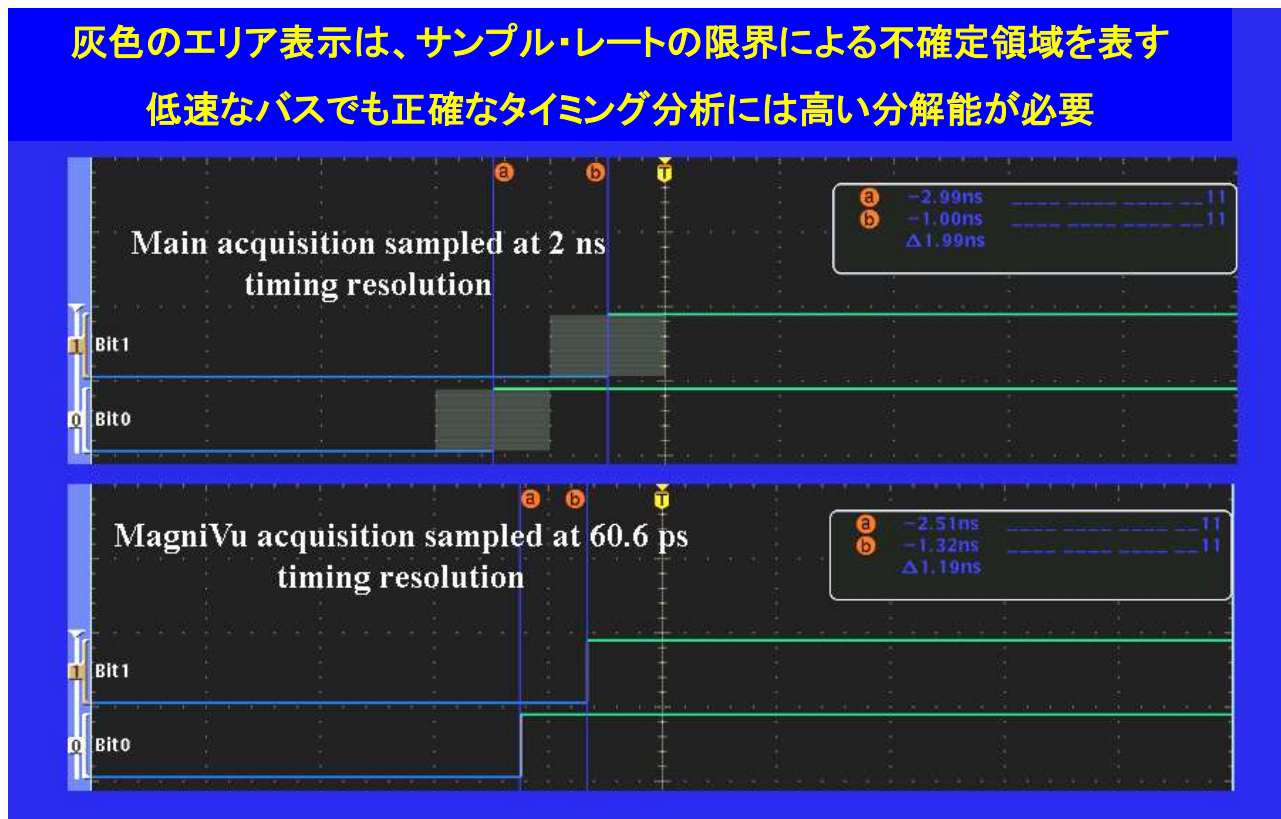
- 時間相関を保ちながら、アナログ入力部による4波形 とデジタル入力部による16波形、最大20波形の同時観測が可能(4CH機)
- チャンネルごとにスレッショルド電圧設定可能
 - 複数のロジック・ファミリ混在、多チャンネルの複雑なシーケンス制御なども1台でモニタ可能



パラレル・バスの解析 -2

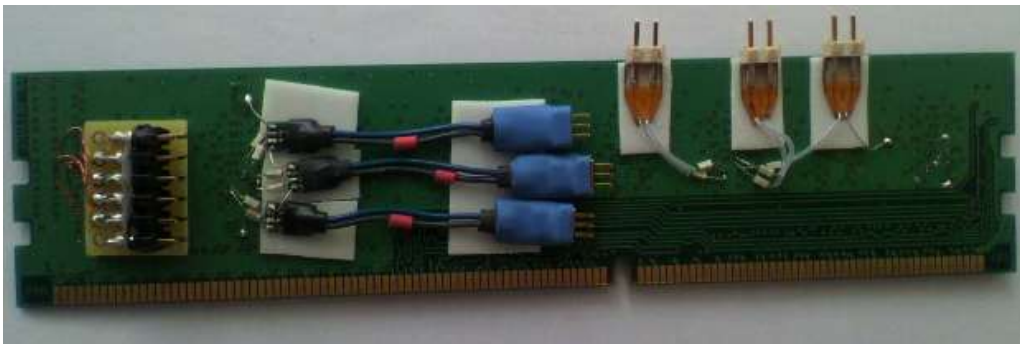
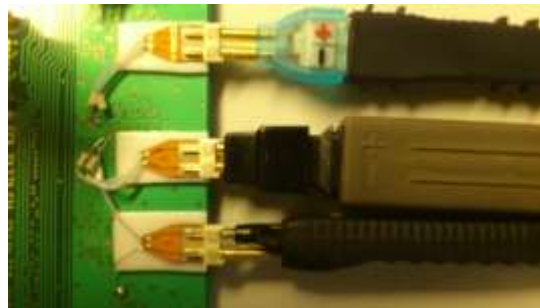
■ MagniVu

- 全チャンネル、サンプル・レート16.5 GS/s (分解能60.6 ps) の高速サンプルにより、トリガ前後の10k ポイントを詳細観測可能



MSO4000によるDDR回路の解析 -1

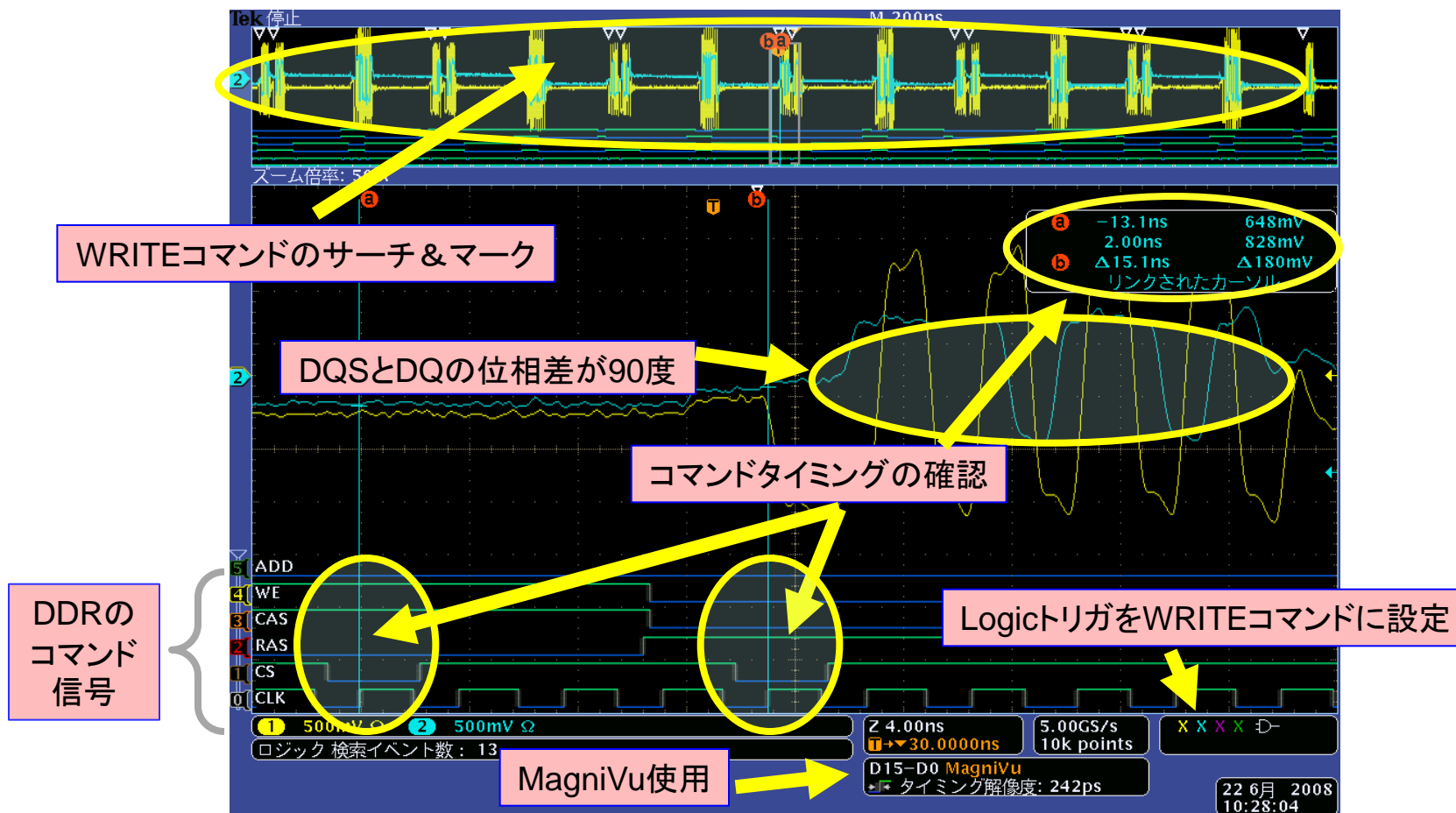
- ロジック入力でCS、RAS、CAS、WE信号を取込み
- 4つの信号によりコマンドをデコード



#Command	CS	RAS	CAS	WE
#Symbol Name	Pattern			
MODE_REG	0000			
REFRESH	0001			
PRECHARGE	0010			
ACTIVATE	0011			
WRITE	0100			
READ	0101			
NOP	0111			
DESELECT	1XXX			

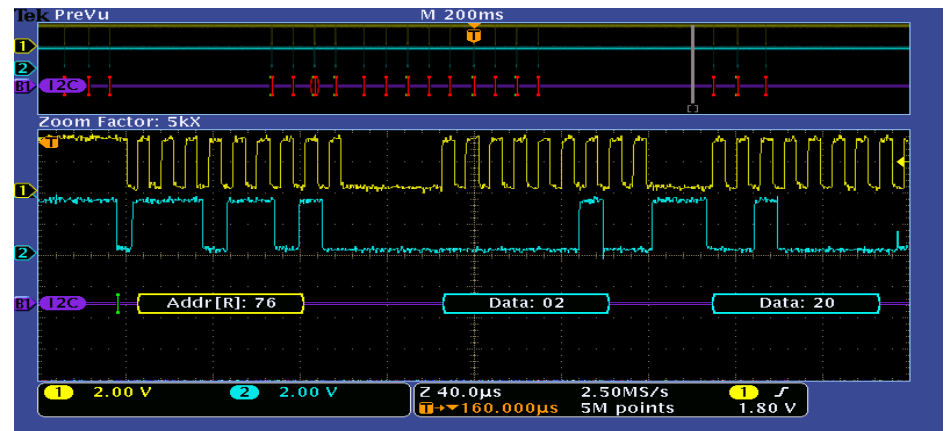
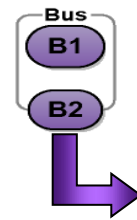
MSO4000によるDDR回路の解析 -2

- DDRのコマンド・シーケンスの確認
 - ロジック入力を利用してDDRコマンドでトリガ



シリアル・バス解析 -1

- ミックスド信号を含む組込みシステムにおいて、シリアル通信は不可欠
- 個別バイト単位やパケット単位でトリガ、観測可能
 - I2C、SPI
 - CAN、LIN
 - デジタルAUDIO バス (I2S/LJ/RJ/TDM)
 - RS-232/422/485/UART
 - Ethernet (10BASE-T/100BASE-TX)
 - USB
 - MIL-STD-1553



4 シリアル・バス解析 -7

■ デコード以外の機能

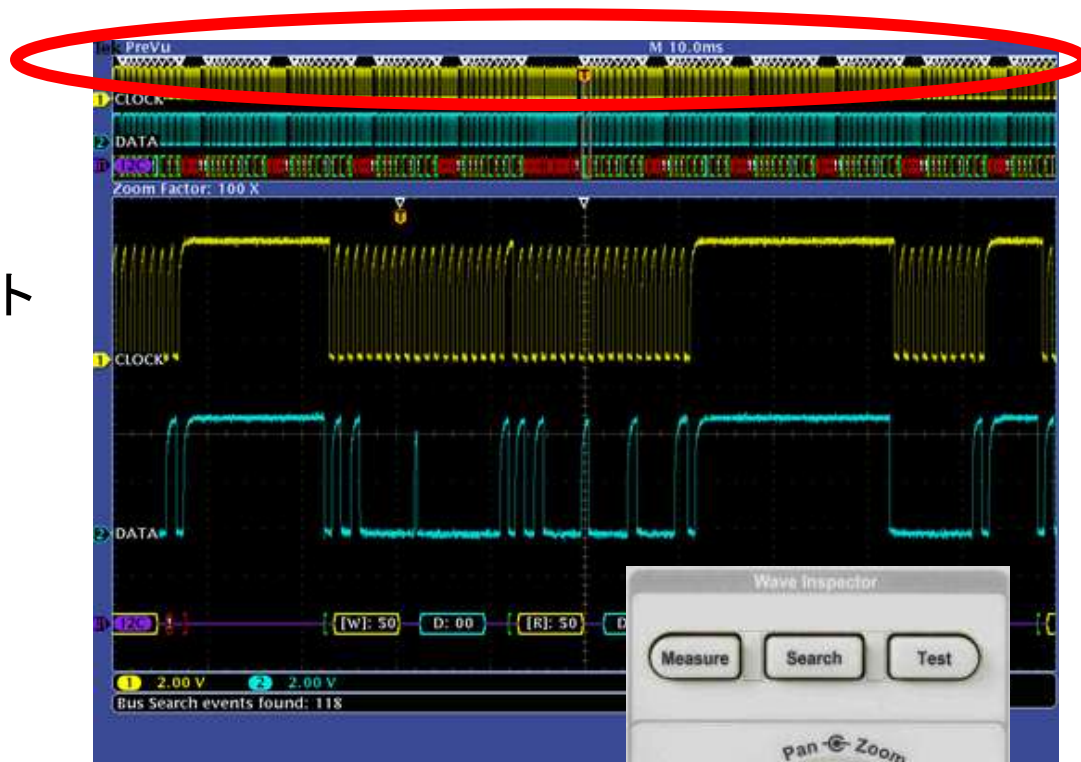
- パケット・コンテンツにトリガ
 - パケットの開始
 - 特定のアドレス/データ
 - ユニーク識別子
 - エラー
 - その他
- パケット・コンテンツを検索し、マークを付ける
- イベント・テーブル形式でデータを観測
- 2つのバスを同時に観測可能

Time	Identifier	DLC	Data	CRC	Missing Ack
-2.03ms	549	1	A1	110B	
-1.78ms	55F	7	Remote Frame	388B	
-1.57ms	11DEBBBB	3	57 B0 3E	388B	
-1.27ms	381	1	FF	110B	
-1.01ms	55F	7	A2 56 EF 00 17 D2 88	388B	
-806µs	1DE	2	C4 66	388B	
-498µs	76B	4	9E 1D 0F AA	110B	
-246µs			Error Frame		
-38.0µs	11DEBBBB	1	75	388B	
270µs	381	2	A1 EF	110B	
522µs	76B	4	Remote Frame	388B	
730µs	11DEBBBB	1	57	388B	
1.04ms	549	1	C8	110B	
1.29ms	55F	2	EF 70	388B	
1.50ms	76B	4	02 EF 08 2	388B	
1.81ms	549	2	B4 CD	110B	
2.06ms	381	1	E0	388B	
2.27ms	55F	6	EF 00 1D 0F 56 A1	388B	
2.57ms	1DE	3	67 2F 36	110B	
2.83ms	76B	3	EE F0 82	388B	
3.03ms	549	1	4C	388B	

ロング・メモリを効率的に使う

Wave Inspector による自動サーチ & マーク -1

- 自動検索
 - シリアル・パケット内容
 - パラレル・データ
 - トリガ条件と同一なポイント
- マーキング
 - Wave Inspectorは全ての検索結果にマーク
- 素早い移動
 - ボタン操作でイベント間をジャンプ



レコード長全体をただちに検索

ロング・メモリを効率的に使う

Wave Inspector による自動サーチ & マーク -2

- 10.1ms以上パルスがなかった位置をサーチ & マークし、拡大表示した例

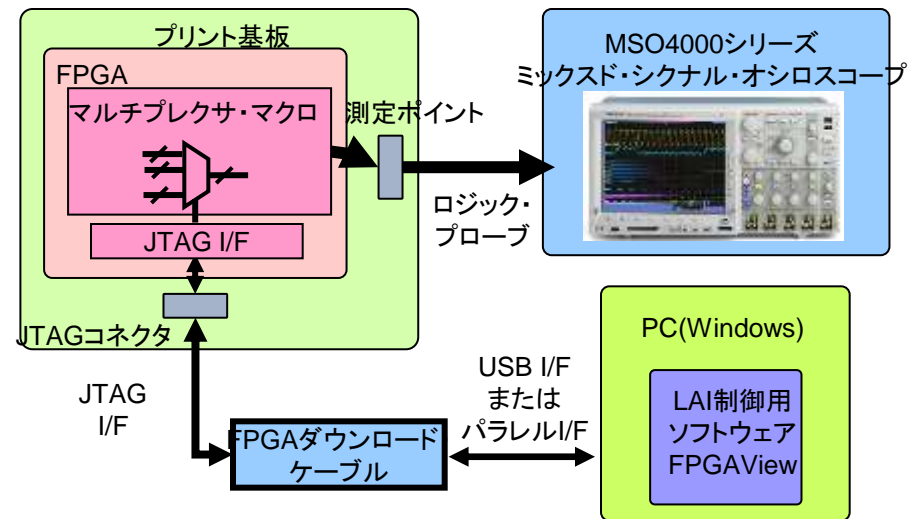


FPGAを含む回路の検証・デバック

- 埋め込みロジック・アナライザ
 - 内部にFPGAベンダ提供のロジック・アナライザ機能を作りこみ、リアルタイムにキャプチャ、表示
 - Altera : SignalTap II
 - Xilinx : ChipScope Pro
 - プロビング不要(JTAG使用)で安価だが、内部リソースを大量に使用するため、小規模FPGAでは導入困難。クロック同期の取込のみで、外部信号との時間相関困難
- 外部ロジック・アナライザ、MSO
 - インクリメンタリ配線: 内部ノードをI/Oピンに1:1で引き出す
 - Altera : SignalProbe
 - Xilinx : Probe
 - 追加リソースは最小(デザイン実装後の未使用リソース使用)だが、信号切替は基本的にリコンパイル。I/Oピンが大量に必要
 - マルチプレクサを埋め込み、I/Oピンの消費を抑えながら内部ノードを切り替え、観測
 - 設計者がテスト回路を埋め込む
 - Altera: Quartus II のLAI
 - Tektronix: FPGAView

FPGAを含む回路の検証・デバック:マルチプレクサ組込み

- バンク(入力グループ)の入力に測定したい信号を接続しておいたマルチプレクサ・デザインをデバイスにダウンロード
 - Altera : LAI (ロジック・アナライザ・インタフェース)
 - Xilinx : LAコア (例:FPGAView OCIGen: Tektronix)
- バンクごとに切り替え観測
 - Altera : 1~256ビット可変
 - Xilinx : 4~128ビット可変
- USB経由でバンク切替
 - MSOの信号名も更新
- バンク数
 - Altera : 1~256バンク
 - Xilinx : 1、2、4、8、16、32、64バンク
- 最少外部ピンで内部ノードの切替観測可能

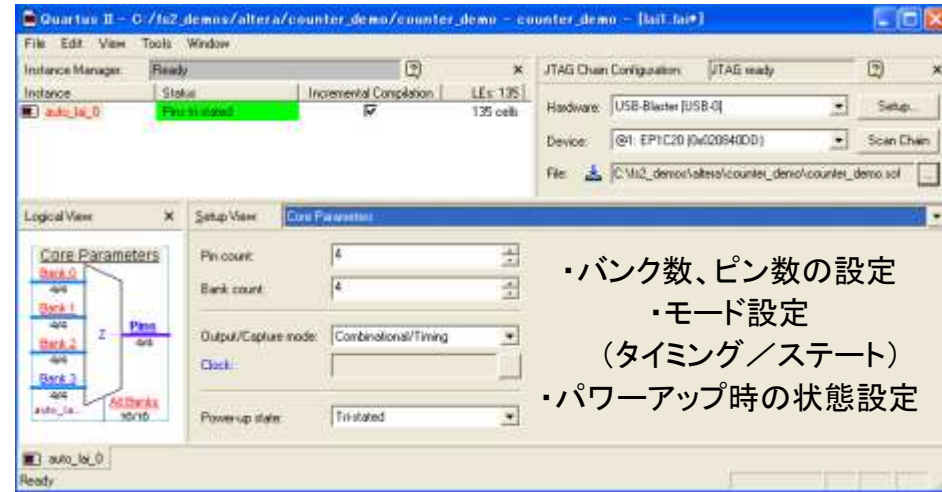
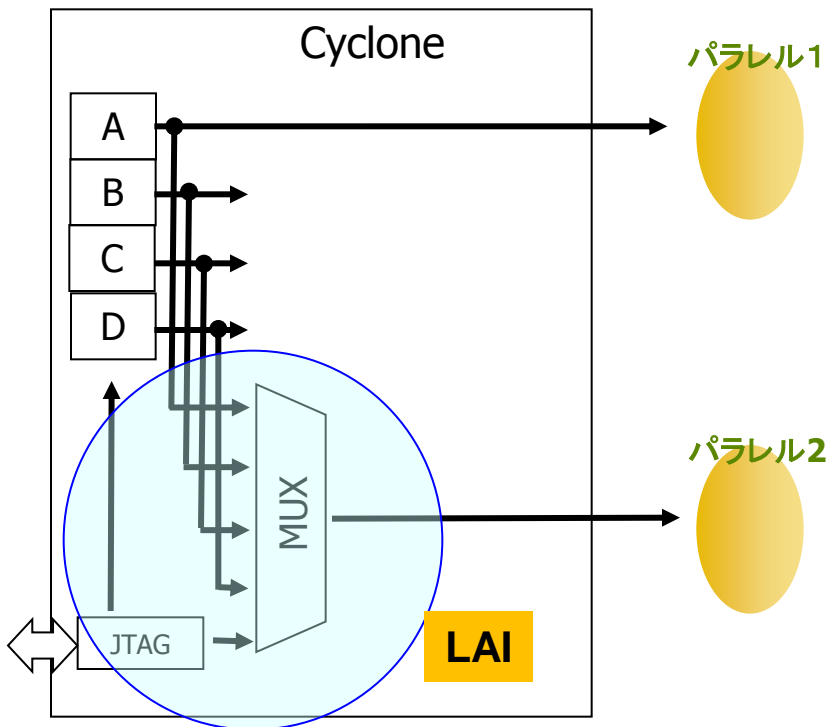


FPGAViewによるインシステム検証

FPGAのデバッグ -1

AlteraのFPGAのデバッグ例 (QuartusIIのLAI活用①)

- 下記の全てを同時観測
 - パラレル・ポート1 : Aのみ
 - パラレル・ポート2 :
 - LAIでA/B/C/Dを切替えて出力



- バンク数、ピン数の設定
- モード設定 (タイミング/ステート)
- パワーアップ時の状態設定

The screenshot shows the 'Pin Setup' view in Quartus II. The table below lists the pin configurations:

Type	Index	Name	Location	I/O Standard
	0	altera_reserved_lai_0_0	PN_U12	3.3-V LVTTTL
	1	altera_reserved_lai_0_1	PN_U12	3.3-V LVTTTL
	2	altera_reserved_lai_0_2	PN_V12	3.3-V LVTTTL
	3	altera_reserved_lai_0_3	PN_T13	3.3-V LVTTTL

•出力ピン設定

The screenshot shows the 'All Banks' setup view in Quartus II. The table below lists the signal settings for each bank:

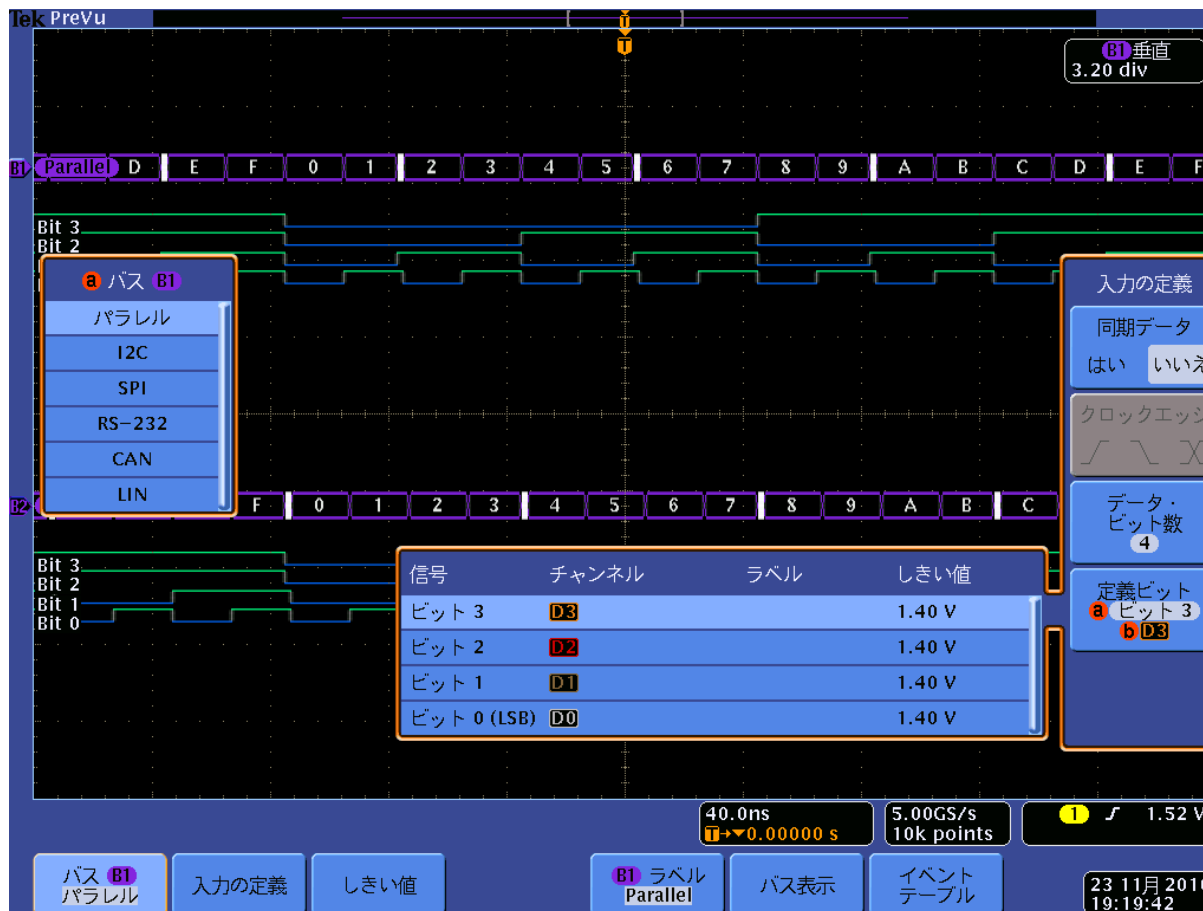
Bank Name	Pin Index	Type	Alias	Mode	Name
Bank 0	0				A_req[0]
	1				A_req[1]
	2				A_req[2]
	3				A_req[3]
Bank 1	0				B_req[0]
	1				B_req[1]
	2				B_req[2]
	3				B_req[3]
Bank 2	0				C_req[0]
	1				C_req[1]
	2				C_req[2]
	3				C_req[3]
Bank 3	0				D_req[0]
	1				D_req[1]
	2				D_req[2]
	3				D_req[3]

•各バンクの信号設定

FPGAのデバッグ -2

AlteraのFPGAのデバッグ例 (QuartusIIのLAI活用②)

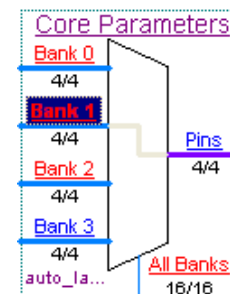
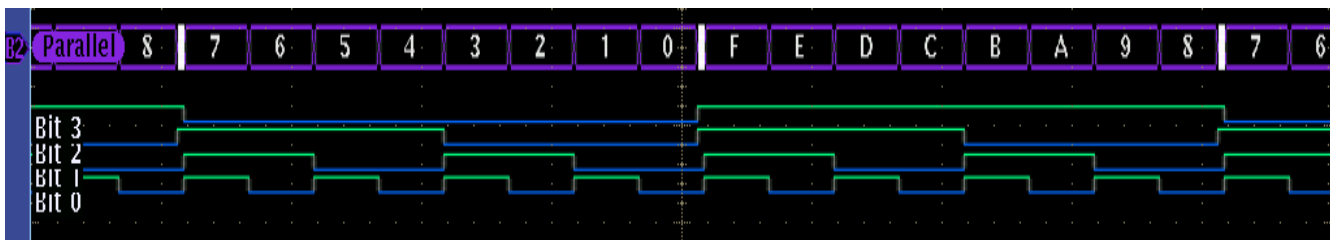
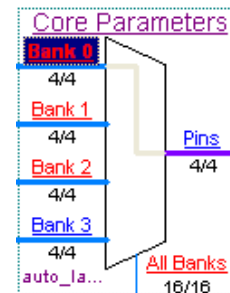
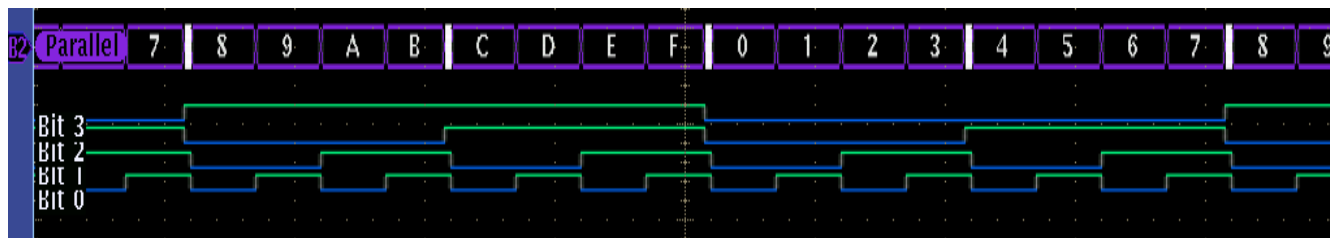
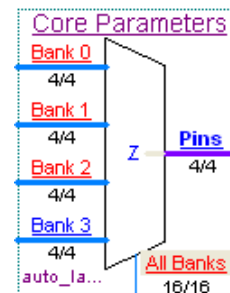
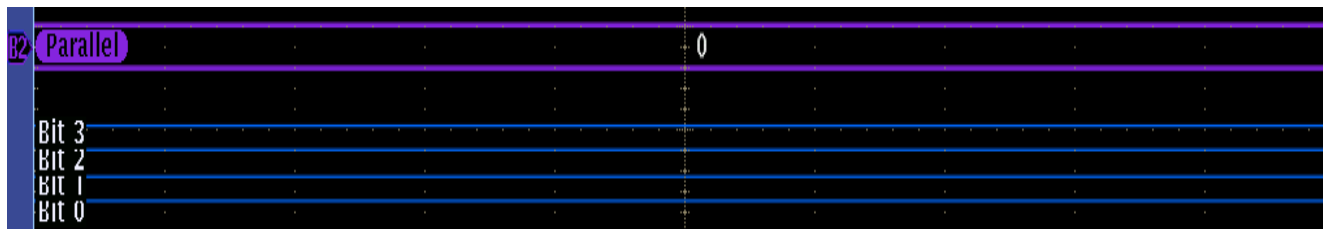
- パラレル・バスの設定
 - B1とB2に設定



FPGAのデバッグ -3

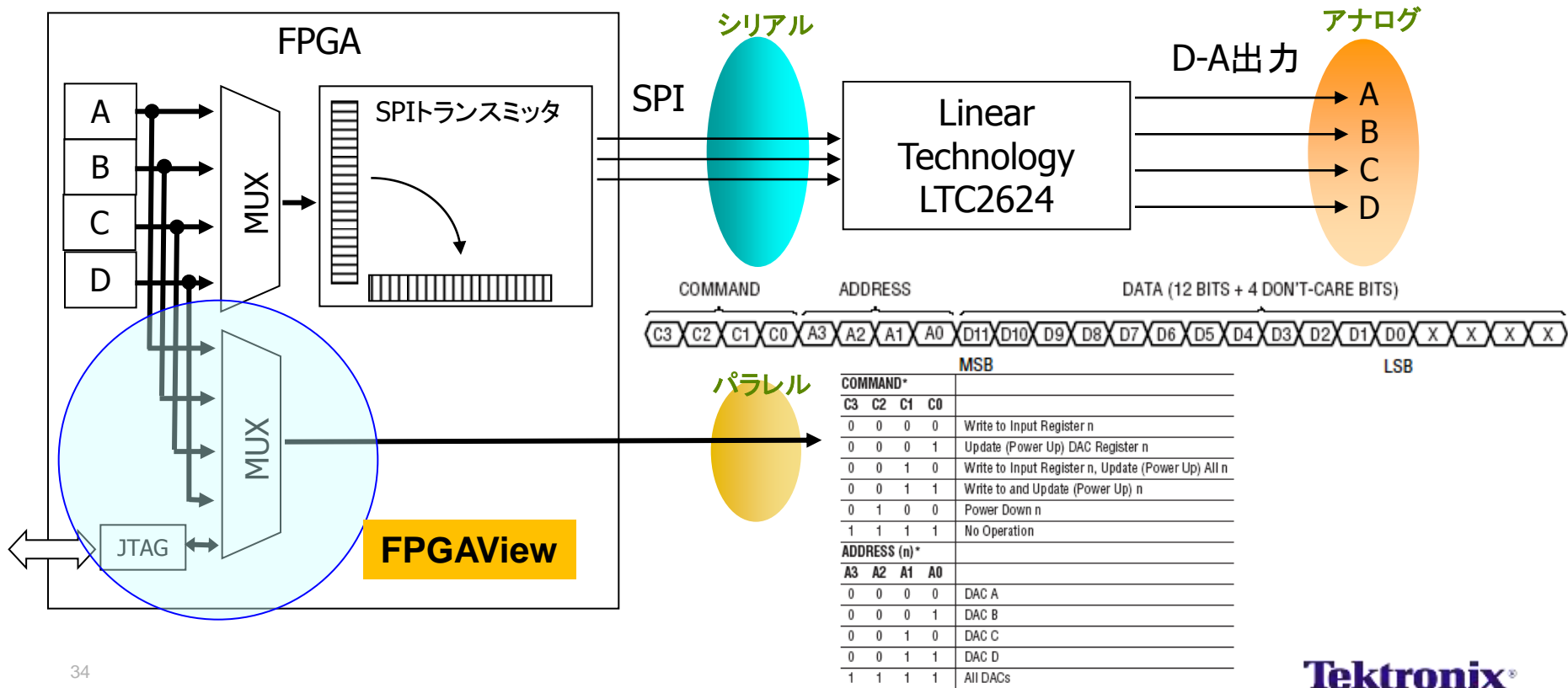
AlteraのFPGAのデバッグ例 (QuartusIIのLAI活用③)

- LAIを制御してバンクの切替と信号のモニタ
 - 初期はHi-z状態→Bank0→Bank1→...
 - 信号は切り替わるが、MSO上の信号名は変わらない



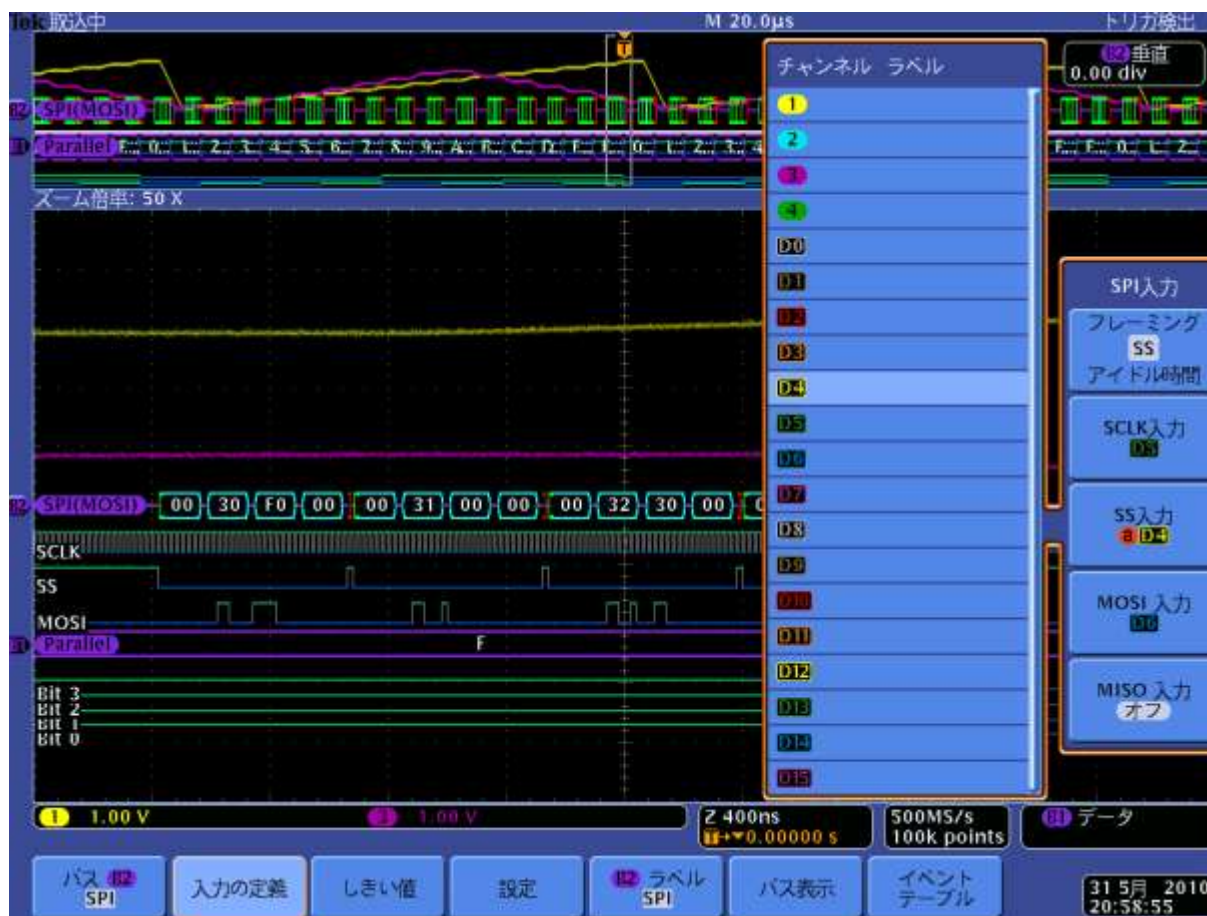
FPGAViewの活用 -①

- MSOでは下記の全てを同時観測可能
 - アナログ: DAC (LTC2624)出力
 - シリアル(SPI): FPGAで生成したデータをDACに転送
 - パラレル(Mux): A: 鋸波、B; Not A、C: 三角波、D: Not C



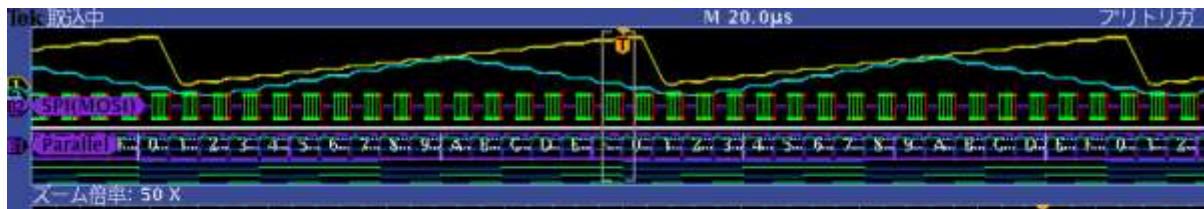
FPGAViewの活用 -②

- シリアル・バス・モニタの設定
 - DPO4EMBD型を使い、SPIバスをモニタ



FPGAViewの活用 - ③

- bank0に割り付けられているdacA_reg3:0の観測
 - 信号の自動切り替え、信号名の更新



Pin	Type	Signal Name
0	timing	dacA_reg(0)
1	timing	dacA_reg(1)
2	timing	dacA_reg(2)
3	timing	dacA_reg(3)

Mapping operation complete.

FPGAViewの活用 -④

- bank2に割り付けられているdacC_reg3:0の観測
 - 信号の自動切り替え、信号名の更新

The image displays the FPGAView interface. The main window shows a timing diagram with signals like SPI(MOSI), SCLK, SS, and MOSI. A zoomed-in view of the SPI(MOSI) signal is shown at the top, with a scale of 50x. Below it, the signal is shown in hexadecimal format: 00 30 00 00 00 31 F0 00 00 32 10 00 00. The DAC registers are also visible, with dacC_reg(3) through dacC_reg(0) circled in red. A red arrow points from the configuration window to the signal names in the waveform.

The configuration window, titled "FPGAView - dac_con_v01_fvx.clam", shows the "Debug Cores" section with "XC3S500E (01c22093)" selected. Under "dac_con_v01_LACORE", the "bank2" is selected. The "Inputs" table is circled in red and contains the following data:

Pin	Type	Signal Name
0	timing	dacC_reg(0)
1	timing	dacC_reg(1)
2	timing	dacC_reg(2)
3	timing	dacC_reg(3)

The status bar at the bottom of the configuration window indicates "Mapping operation complete."

本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>