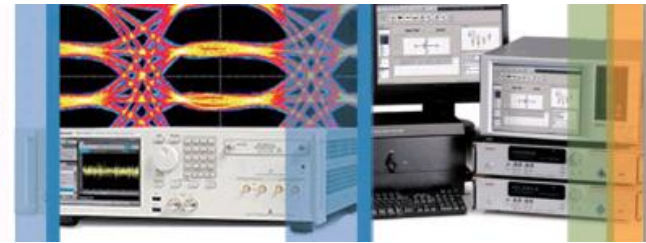


F-4

今日の標準的インタフェースであるPCI ExpressGe1/Gen2の測定

イノベーション・フォーラム 2013



鈴木克彦



本日の内容

1. 規格レビュー

- 特徴
- Base Specification、CEM Specification

2. PCI Express物理層コンプライアンス(信号品質テスト)および測定

- コンプライアンス・テスト
- 主な測定内容
- 必要な機材
- 差動プローブ

3. 補足資料

規格レビュー

PCI Expressの特徴



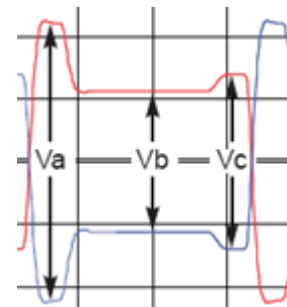
- 汎用IOインターコネクト技術として色々なアプリケーションに採用され、PCのグラフィックス、チップセットのインタフェースにも使用される
 - － 昨年登場したインテル社の第3世代Coreプロセッサ (Ivy Bridge) によりRev.3.0 (8Gbps) 時代が本格到来
 - － インテル社の最新第4世代Coreプロセッサ (Haswell) のグラフィックスにRev.3.0 (8Gbps) が、チップセット (Lynxpoint) にはRev.2.0 (5Gbps) が使用される
- 標準IOとしてハードウェア・マクロでPCI Expressを内蔵したFPGAが多く登場し、PCI Expressを手軽に導入できる環境が整う (コモディティ化)
 - － 2.5Gbps、5Gbpsのみならず8Gbpsも
- 物理層
 - － シリアル化
 - パラレル・レーンでのスキュー問題を解消
 - － スケーラブルなデータ・レート
 - Rev 1.x: 2.5 Gbps
 - Rev 2.0: 5 Gbps
 - Rev 3.0: 8 Gbps
 - Rev 4.0: 16 Gbps (プレス・リリース: 2011/11/29)
 - － スケーラブルなレーン幅: 1、4、8、16レーン (2、12、32レーン)
 - － AC結合

規格レビュー

PCI Expressの特徴

■ 物理層(続き)

- Tx信号振幅: 800-1200mV(ノーマル)、400-800mV(ハーフ・スイング)
- 2.5Gbps、5Gbps
 - 8B/10B符号化(20%オーバーヘッド)+スクランブルによる遷移密度向上とエラー検証
 - ディエンファシス: 3.5dB(2.5Gbps)、5Gbps: 3.5dBまたは6dB
- 8Gbps
 - 128B130B符号化(1.5%オーバーヘッド)+スクランブル
 - ディエンファシス: 2.5dB、3.5dB、4.4dBまたは6dB
 - プリシュート: 1.9dB、2.5dBまたは3.5dB
- スペクトラム拡散クロッキング(30~33kHzの0~-5000PPMのダウンスプレッド)

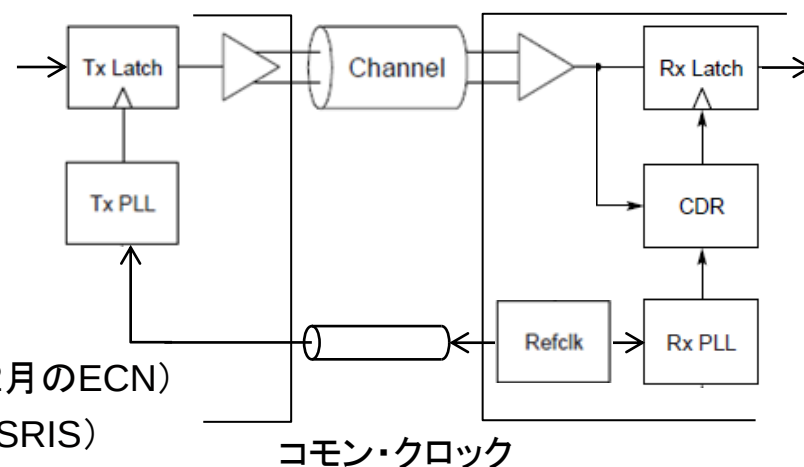


ディエンファシス: $20\log_{10}Vb/Va$
プリシュート: $20\log_{10}Vc/VB$

リファレンス・クロック方式

- クロック共有
 - コモン・クロック: SSC
- クロック非共有
 - データ・クロック: SSC
 - セパレート・クロック: No SSC (SRNS)
 - セパレート・クロック: with SSC (2013年2月のECN)

Separate Refclk With Independent SSC (SRIS)



・ケーブルからリファレンス
・クロックを削除することで
ケーブルのコスト・ダウン
新規格SATA Express対応

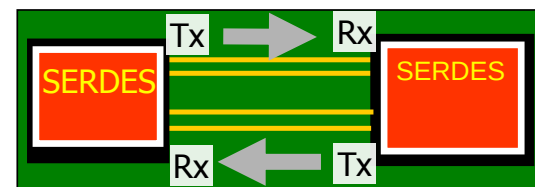
規格レビュー

PCI Expressの特徴

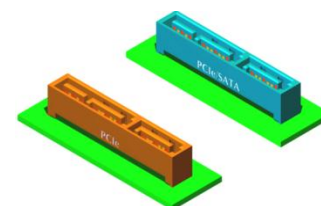
■ 物理層(続き)

- デュアル・シンプレックス通信(双対単方向伝送)
 - 独立したアップストリームとダウンストリーム
 - 最高データ・レートで双方向同時通信が可能
- 電力管理モード: L0、L0s、L1、L2
- 他の規格への展開 (Rev 3.0: 8 Gbpの物理層採用)
 - SATA Express
 - SAS over PCI Express
- コネクタ、ケーブルを含む多くのフォーム・ファクタを様々な規格団体が規定
 - PCI-SIG
 - Add-in Card
 - Mini-Card
 - Wireless Form Factor
 - Express Module (Server I/O Module)
 - External Cable
 - M.2
 - USB-IF (PCMCIAから移管)
 - Express Card

- PICMG
 - CompactPCI Express
 - COM Express
 - ASI
- MXM-SIG
 - MXM
- その他
 - ATI-XGP
 - VITA



デュアル・シンプレックス

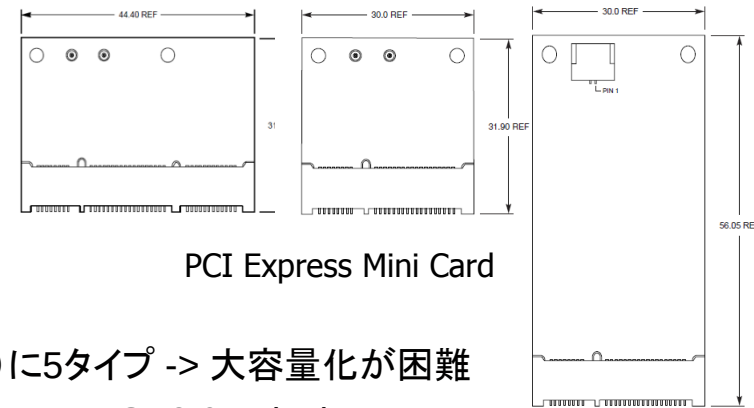


SATA Express ホスト・コネクタ

M.2

■ 従来のPCI Express Mini Cardは・・・

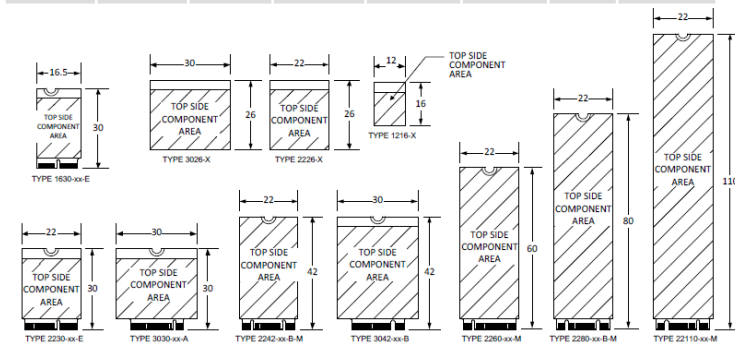
- 厚さ5mm -> 厚さ5mmでUltraBookには厚い
- 幅2種類(33mm、44,4mm)、長さ2種類(56mm、31.9mm)に5タイプ -> 大容量化が困難
- 想定アプリケーション: LAN、Wi-Fi、Bluetooth、PCI Express、USB2.0、Display Port
-> 1レーンのPCI Expressのためレーン拡張性に制約



■ M.2

- 片面で厚さ2.5mm以下、両面で3.65mm以下、mSATA(4.85mm)に比較して小型化
- 幅4種類、長さ8種類に11タイプ(ソルダー・イン3タイプ)
 - 1216、2226、3026、1630、2230、3030、2242、3042、2260、2280、22110
- 様々な機能モジュールを想定
 - Wi-Fi、Bluetooth、GPS、NFC、WiGig、WWAN(2G、3G、4G)
 - SSD
- 上記を実現するために様々なインタフェースに対応
 - PCI Express × 2または × 4、SATA × 1、DisplayPort
 - USB2.0、USB3.0、SSIC (MIPI)
 - SDIO
 - UART、PCM/I²S、I²C

幅 (mm)							
12	16	22	30				
高さ (mm)							
16	26	30	38	42	60	80	110



M.2のフォームファクタ

WiGig: Wireless Gigabit
WWAN: Wireless Wide Area Network

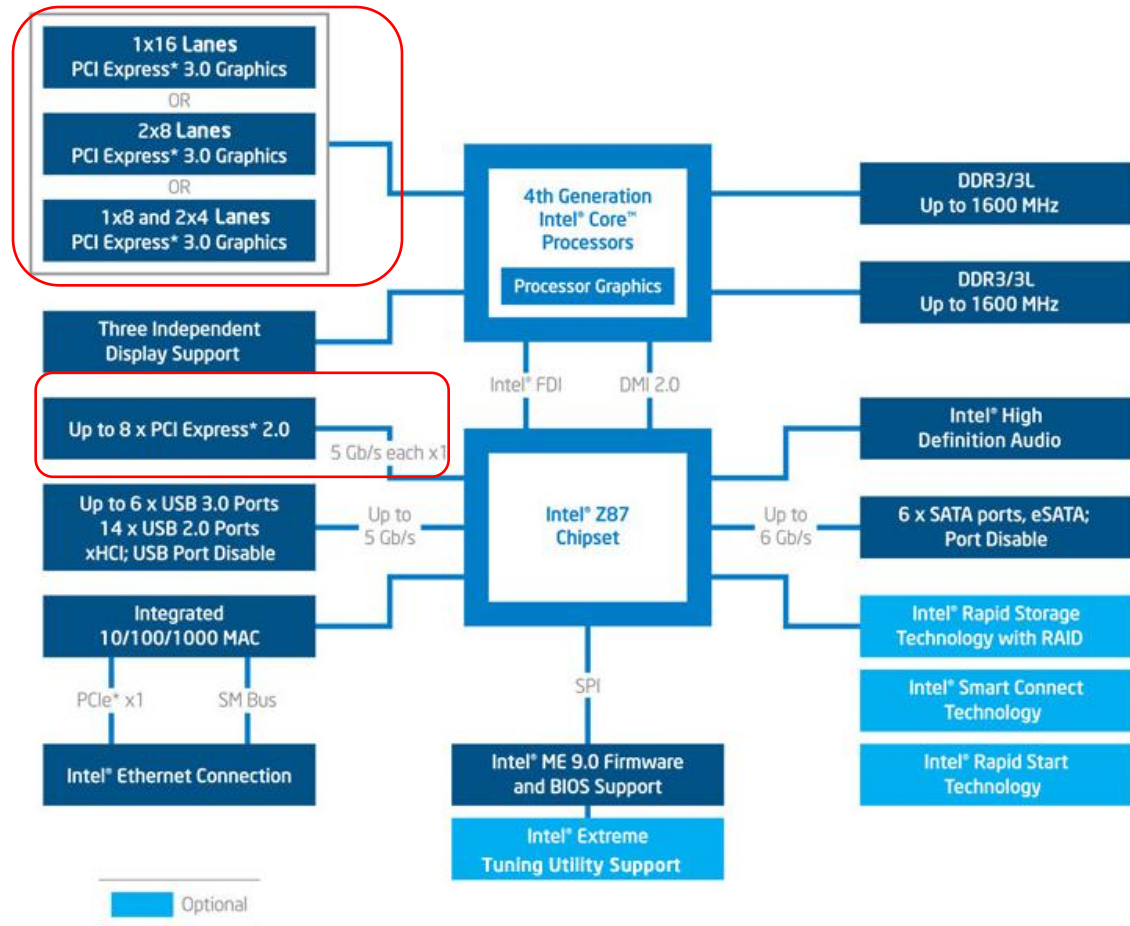
最新第4世代インテルCoreプロセッサ (Haswell) 用 チップセット・ブロック図 Z87 (Lynx Point) の例

Haswell

- PCI Express Rev.3.0をサポート(第3世代から)
- グラフィックス性能の向上
- 低消費電力化
- LPDDR3メモリのサポート

Lynx Point(8シリーズ)

- PCI Express Rev.2.0(8x1、2x4、1x8)
- SATA 6Gbps、最大6ポート、USB3.0最大6ポート
- PCIバス・サポートの廃止



<http://www.intel.co.jp/content/www/jp/ja/chipsets/performance-chipsets/z87-chipset-diagram.html>

組み込みでの実現方法

- 標準IOとしてハードウェアでPCI Expressを内蔵したFPGAも普及し、PCI Expressを手軽に導入できる環境が整う(コモディティ化)

- Before

- PCI Expressを実現できる高性能トランシーバを内蔵したFPGAは高価
 - 低コストのソリューションは外付けPHYの使用
 - » MAC層までFPGAで実現
 - » PIPEの配線が複雑
- ソフトウェアIPの購入が必要
 - 試作・少量の場合に障壁

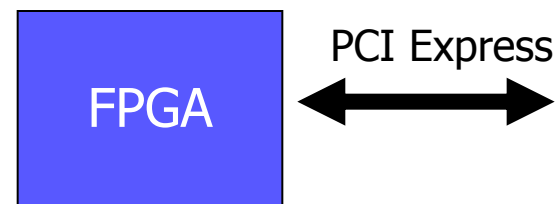
- After

- ハードウェア・ブロックを内蔵
 - IP購入が不要に
- 外付けPHYも不要
- 高性能版のみならず低価格版も登場

- PCI Expressを内蔵した組み込み用CPUも登場

- FreeScale Semiconductor社PowerQUICC III
- ルネサスエレクトロニクス株式会社SH-4A(SH7786)

- ASIC



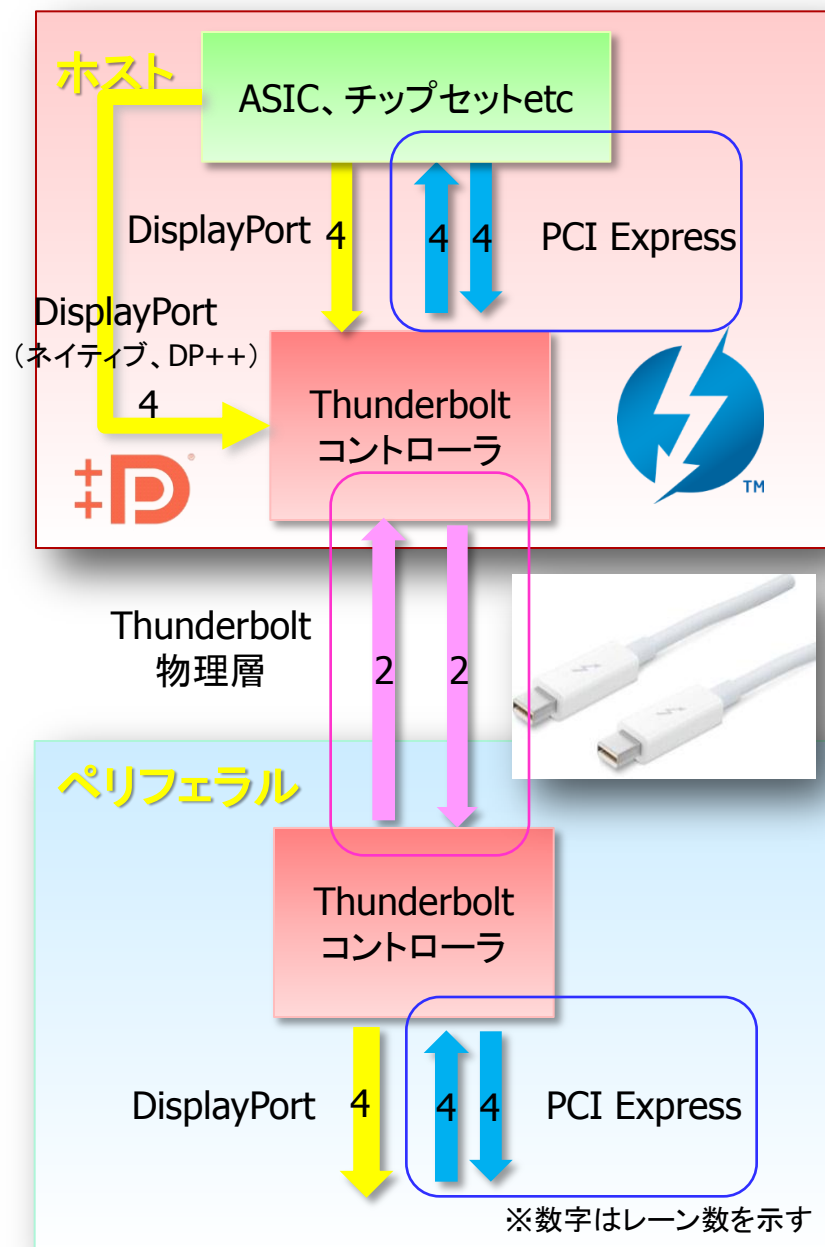
Altera社
Stratix V GT/GX/GS (Rev.3.0) Stratix IV GX/GT、Arria II GZ (Rev.2.0) Arria II GX、Cyclone IV GX (Rev.1.1)
Xilinx社
Virtex-7 (Rev.3.0) Kintex-7、Virtex-6 (Rev.2.0) Artix-7、Virtex-5、Spartan-6 (Rev.1.1)

※一部のFPGAはソフトウェアIPで上位の
PCI Expressに対応可能

MAC : Media Access Controller
PIPE : PHY Interface for the PCI Express

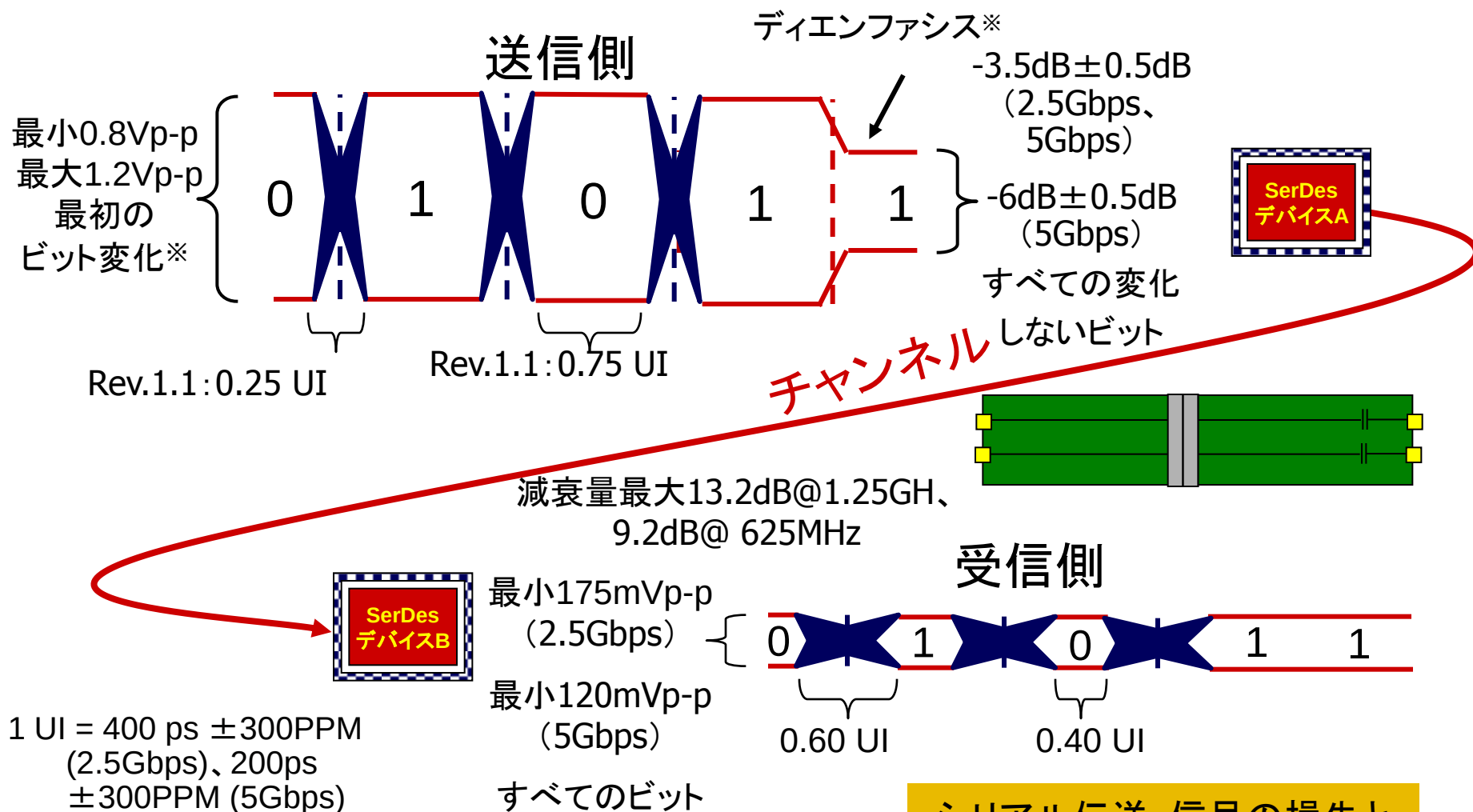
Thunderbolt Technologyにも

- PCとペリフェラル間の接続用インタコネク
- 1本のケーブルでデュアル・プロトコルをサポート
 - PCI Express 2.0、DisplayPort 1.1a
 - 低レイテンシ(8ns)
 - デジ・チェーン・トポロジ
 - 7ホップ
- 上位から見るとPCI Expressのスイッチ
 - Thunderboltの物理層を意識する必要がない
- Mini DPコネクタを使用
 - Thunderbolt TechnologyとネイティブのDisplayPort(DP++)を共用
- 10.3125Gbps × 2、双対単方向伝送
 - 64B/66B符号
- 伝送距離
 - 銅線ケーブルで3m(アクティブ)
 - AOC(Active Optical Cable)にて10m以上
- 10Wまでの電力供給可能



PCI Express: 電氣的仕様

Base Specification

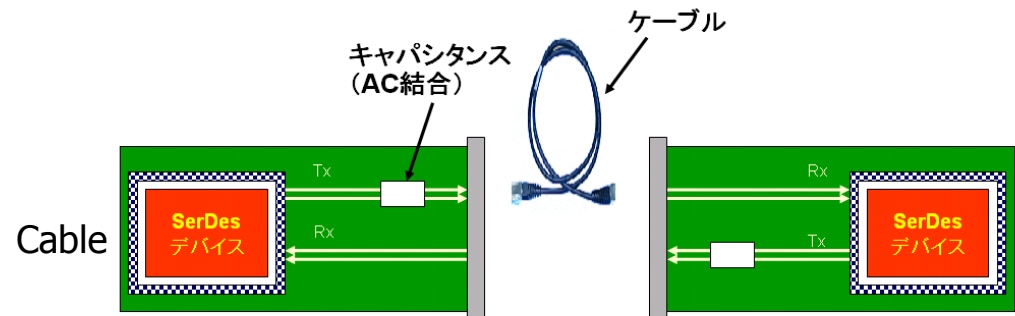
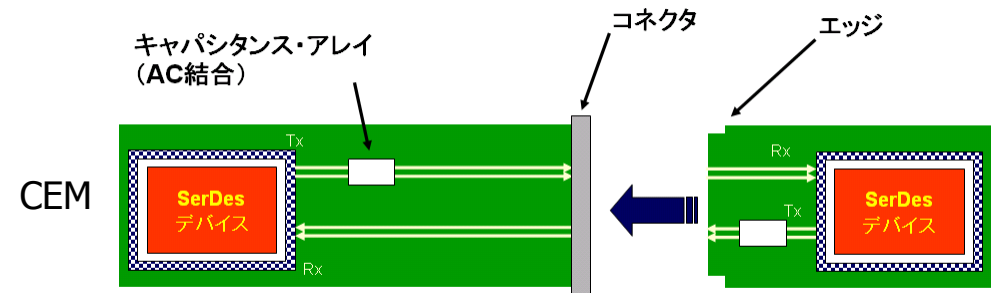
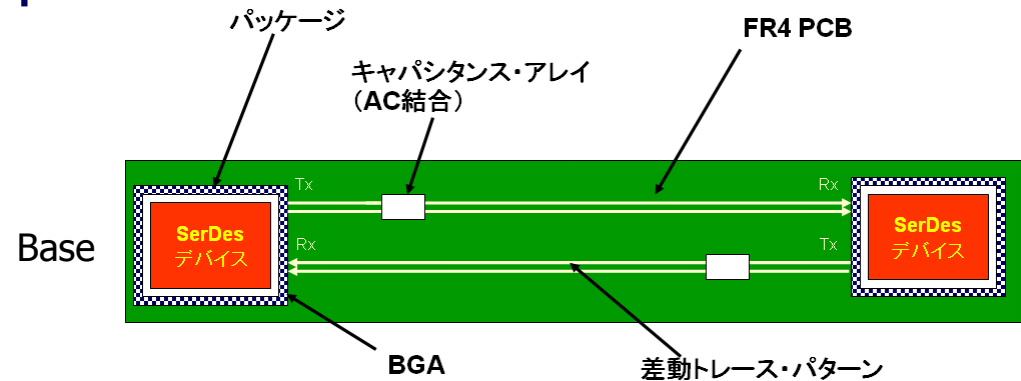


※Rev.2.0から低電力モードが正式に規格化。差動振幅は1.2V~0.4V、ディエンファシスなし

シリアル伝送: 信号の損失とジッタの評価が重要

PCI Expressのインタコネクト

- 3種類に分類
 1. コネクタなし - Base Spec
 2. コネクタあり - CEM
 3. ケーブル接続 - Cable



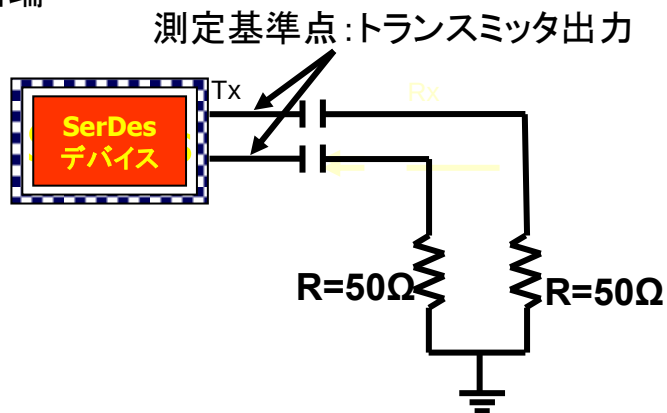
どの測定ポイントの規格を使うかを決定

Base Specification (送信端・受信端)

デバイスの仕様 (Rev.1.x)

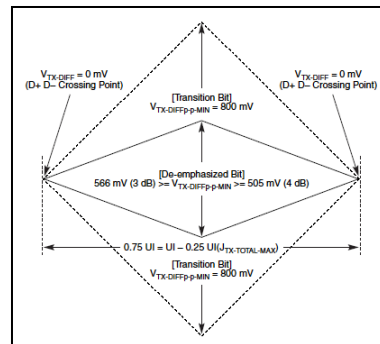
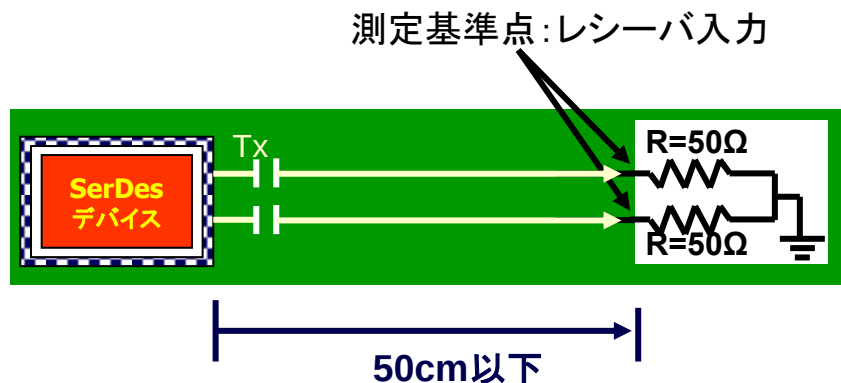
■ デバイス・ベンダ

－ 送信端

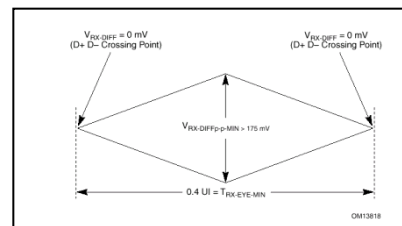


－ 受信端

- 感度
- ジッタ耐性



シンボル		規格
$V_{TX-DIFFp-p-MIN}$ (遷移ビット)		800 mV
$V_{TX-DIFFp-p-MIN}$ (非遷移ビット)		505 mV ~ 566 mV
T_{TX-EYE}	Rev.1.0a	280 ps (0.7UI)
	Rev.1.1	BER10 ⁻¹² 300 ps (0.75UI)

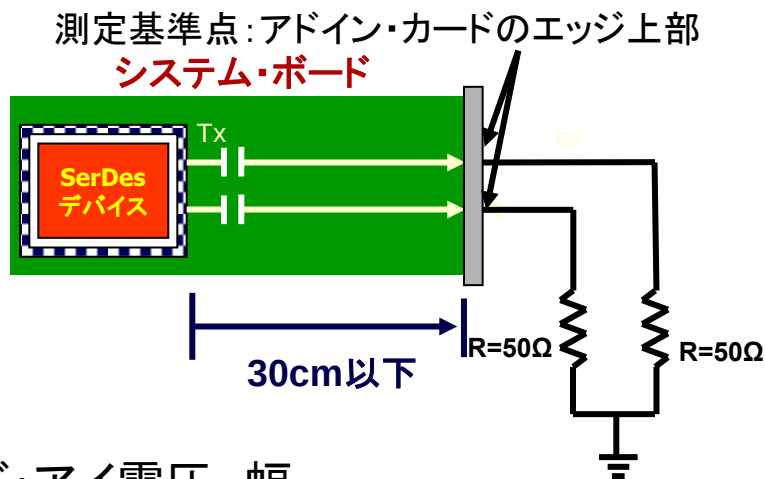


シンボル		規格
$V_{RX-DIFFp-p-MIN}$		175 mV
T_{RX-EYE}	Rev.1.0	160 ps (0.4UI)
	Rev.1.1	

CEM Specification (コネクタ部)

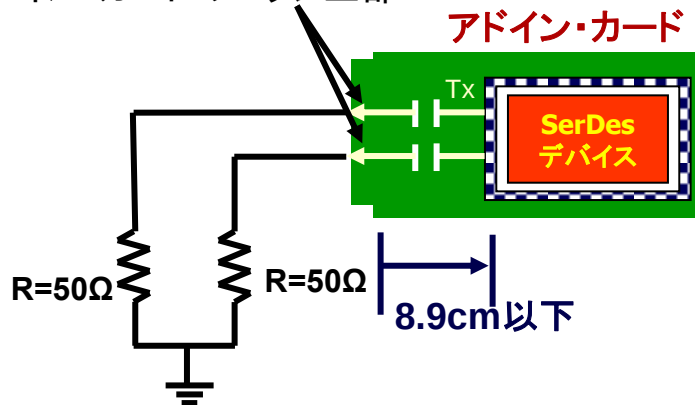
システム・ボード／アドイン・カード仕様 (Rev.1.x)

- コンプライアンス・テストの測定ポイント
- システム・ボード:アイ電圧、幅

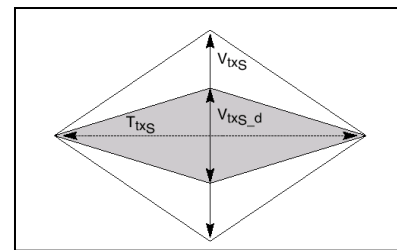


- アドイン・カード:アイ電圧、幅

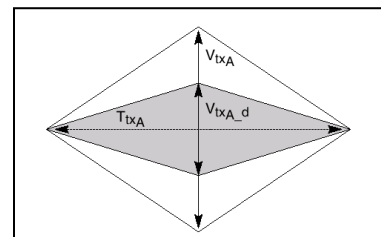
測定基準点: アドイン・カードのエッジ上部



CEM=Card ElectroMechanical



シンボル		規格
V_{txS}		274 mV
V_{txS_d}		253 mV
T_{txS}	Rev.1.0a	183 ps
	Rev.1.1	1,000,000 UI
		BER10 ⁻¹²



シンボル		規格
V_{txA}		514 mV
V_{txA_d}		360 mV
T_{txA}	Rev.1.0a	237 ps
	Rev.1.1	1,000,000 UI
		BER10 ⁻¹²

Rev.2.0 CEM Specification (コネクタ部)

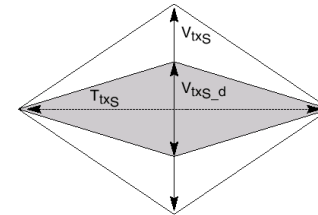
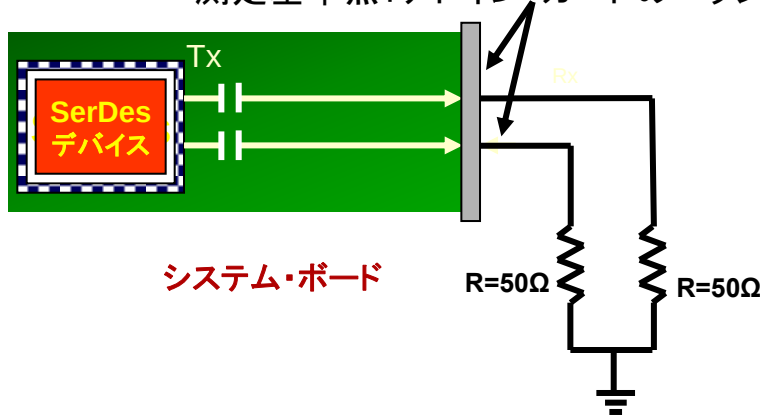
CEM=Card ElectroMechanical

システム・ボード／アドイン・カード仕様 (Rev.2.0)

コンプライアンス・テストの測定ポイント

■ システム・ボード:アイ電圧、アイ幅

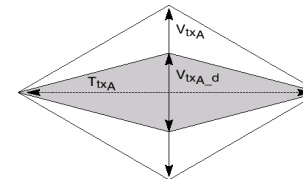
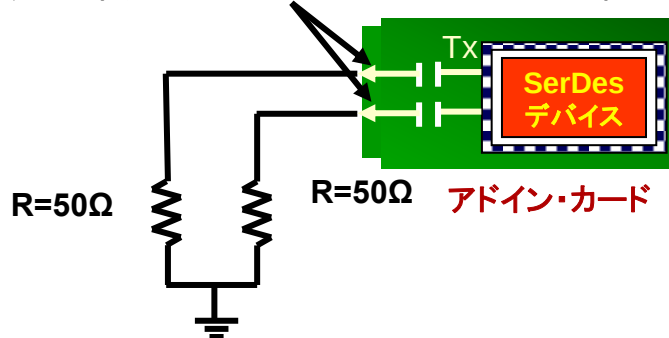
測定基準点: アドイン・カードのエッジ上部



パラメータ			規格
VtxS			300 mV
VtxS_d			300 mV
TtxS	BER10 ⁻¹²	クロストーク含む	95ps (Dj:57ps)
		クロストークなし	108ps (Dj:44ps)

■ アドイン・カード:アイ電圧、アイ幅

測定基準点: アドイン・カードのエッジ上部



パラメータ				規格
3.5dB	VtxA			380 mV
	VtxA_d			380 mV
	T _{txA}	BER10 ⁻¹²	クロストーク含む	123ps (Tj:77ps、Dj:57ps)
			クロストークなし	126ps (Tj:74ps、Dj:54ps)
6dB	VtxA			306 mV
	VtxA_d			260 mV
	T _{txA}	BER10 ⁻¹²	クロストーク含む	123ps (Tj:77ps、Dj:57ps)
			クロストークなし	126ps (Tj:74ps、Dj:54ps)

PCI Express測定クロック・リカバリ条件

■ 1.5MHz1次PLL (20dB/dec.)

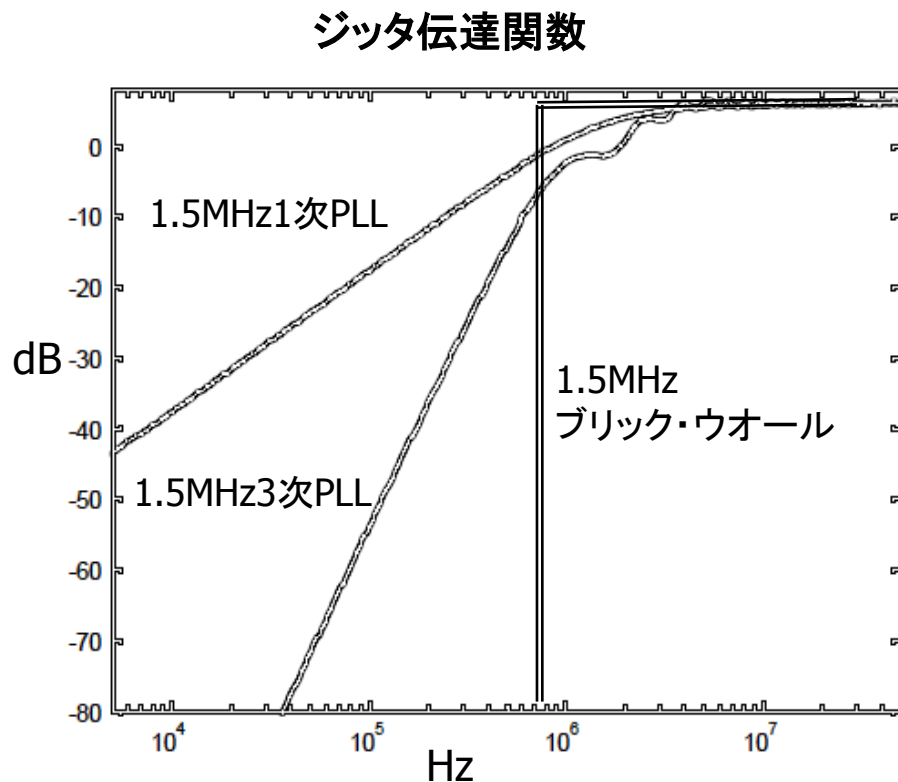
- アドイン・カードのRev.1.1/2.5Gbpsコンプライアンス・テストでCBBとともに使用
- SSC (30kHz~33kHz) の高調波やリファレンス・クロックの低周波ジッタが影響しないようジッタのない「クリーン・クロック」の使用時のみ

■ 1.5MHz3次PLL (60dB/dec.)

- システム・ボードのRev.1.1/2.5Gbpsコンプライアンス・テストで使用
- クリーン・クロックの入力・改造が困難、SSCがオフできない、実システムのリファレンス・クロック(ダーティ・クロック)でのテスト用。Rev.1.0aでのクロック・リカバリ

■ 1.5MHzブリック・ウォールを使用

- Rev.2.0/5Gbpsコンプライアンス・テストで使用
- さらにシステム・ボードではデュアル・ポート測定法を使用

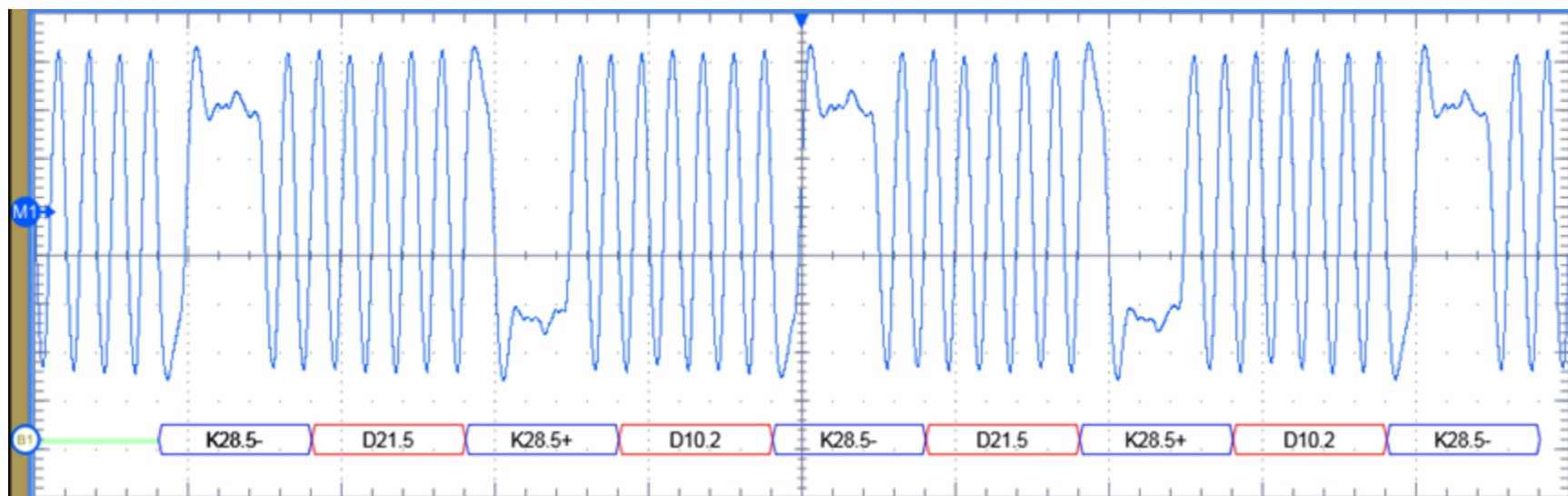


©PCI-SIG

規格はコンプライアンス・パターンで規定・測定

- 規格はすべてコンプライアンス・パターンにて指定の測定点で終端した状態で測定
 - － レシーバ検出後、トランスミッタからのトレーニング・シーケンスに応答がない場合、Polling.Complianceへ移行し、コンプライアンス・パターンの出力が規格化されている

シンボル	K28.5-	D21.5	K28.5+	D10.2
現在のディスパリティ	0	1	1	0
パターン	0011111010	1010101010	1100000101	0101010101



PCI Express物理層コンプライアンス(信号品質テスト) および測定について

イノベーション・フォーラム 2013



Tektronix®

KEITHLEY
A Tektronix Company

インターオペラビリティとコンプライアンス・テスト

- インターオペラビリティを確保するためには最低限コンプライアンス項目を満たしている必要がある⇒コンプライアンス・テスト(認証試験)の実施
- コンプライアンス・テストに合格すると規格団体としてお墨付きを受けたことになる
 - － 証明の仕方は規格団体による
 - ・ ログ添付
 - ・ インテグレータズ・リストへの掲載
- コンプライアンス・テスト(ロゴ認証)を受ける方法
 - － 年に数回、規格団体により開催されるプラグ・フェスタに実機を持ち込む
 - ・ PCI Express、SATA、USB2.0/3.0など
 - － 規格団体が承認した民間認証会社でのテストを受ける
 - ・ SATA、USB2.0/3.0、HDMIなど
 - － セルフ・コンプライアンス
 - ・ 社内でテストを実施し、テスト結果を規格団体に提出
 - － IEEE1394など
- ほとんどの規格は、ロゴなしで製品出荷・販売可能
 - － ログ認証必須なのはThunderbolt、HDMI(事実上)など
- ただし、製品保証の観点から、社内あるいは民間認証会社でコンプライアンスに準ずる測定をしておくことは重要



PCI Expressのコンプライアンス・テストの内容

- PCI-SIG主催。年に数回、米国Milpitas市、台湾で開催
- テスト対象はシステム・ボード(マザーボード)とアドイン・カード
- 内容
 - Physical Layer: オシロスコープなどを使っての信号の電氣的なテスト
 - Configuration Space: メモリ上のコンフィギュレーション空間のフィールドと値の検証
 - Link & Transaction Layer (2種類): プロトコルの境界条件のテスト、およびエラー注入とエラー・ハンドリングの確認
 - Platform Configuration: PCI ExpressデバイスのBIOSハンドリングのチェック
- 80%のインターオペラビリティで合格

Compliance Workshop Test Results Report
(Press hard, you are making 2 copies. Turn white copy in to SIG)

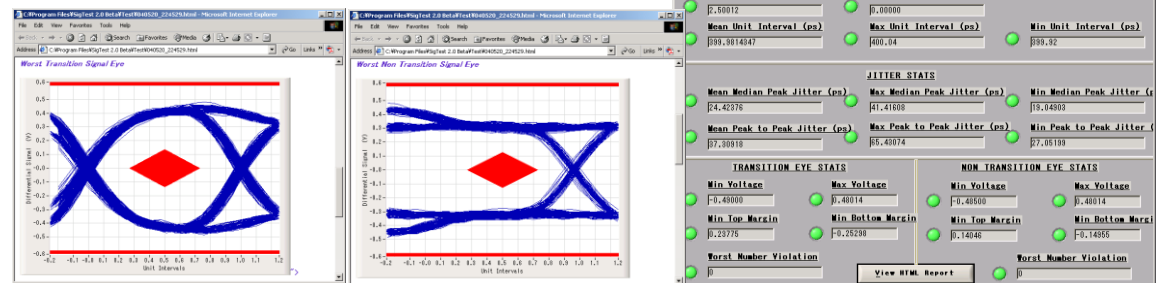
Add-in Card PCI Express		System PCI Express	
Owner: Mistuharu Fukuda	Vendor: Pajtek	Vendor: PCI-SIG	VID: PCIB
Product Name: PTKB-100002	DID: 1	Product Name: PCIe Electrical Suite	DID: PCIB
Product Rev.: B-01	Driver Rev.: 1	Product Rev.: BIOS Rev.: 1	
Product Type: ☐ PCIe 1.0a ☒ PCIe 1.1	PCIe Connector: ☐ x1 ☒ x4	CPU: ☐ Graphics ☐ LAN	
☐ Graphics ☐ SCSI ☐ IDE ☐ LAN	PCIe Connector Lane Width: ☐ x1 ☒ x4	Speed: ☐ SATA ☐ SAS	
☒ Other:		# of Slots: ☐ IDE 0	
☐ PCI to PCI Bridge	Type: x4	MB Chipset: ☐ PCI 32 ☐ PCI 33 ☐ PCI 33 ☐ PCI 33	

Test	Pass	Fail	Comments
System			
Electrical Tests			
BIOS Tests			
Electrical Tests			
Configuration Tests			
Link Tests			
Transaction Tests			
Overall Evaluation	Pass	Fail	

Pass fail indications above are for: (circle one) PCIe 1.0a PCIe 1.1

Notes: P.L. BANDWIDTH 7.50 Gbit/s
P.L. POWER 1.0W

Add-in Card Vendor	System Vendor
Signature: <i>Mistuharu Fukuda</i>	Signature: <i>Mark Johnson</i>
Print Name: Mistuharu Fukuda	Print Name: Mark Johnson
Date: 03/29/07	Date: 03/27/07



トランスミッタ測定項目例: PCI Express Rev.1.1

2.5Gbps、コンプライアンス・テスト

物理層

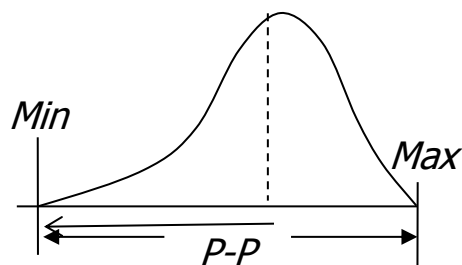
- アイ・ダイアグラム: 遷移ビット、非遷移ビット (ディエンファシス) を分離しての評価

- アイ高さ
- アイ幅@1M-UI
- マスク・テスト: マスク・ヒット

- ユニット・インターバル(UI): 周期

- ジッタ

- Median-to-Maxジッタ

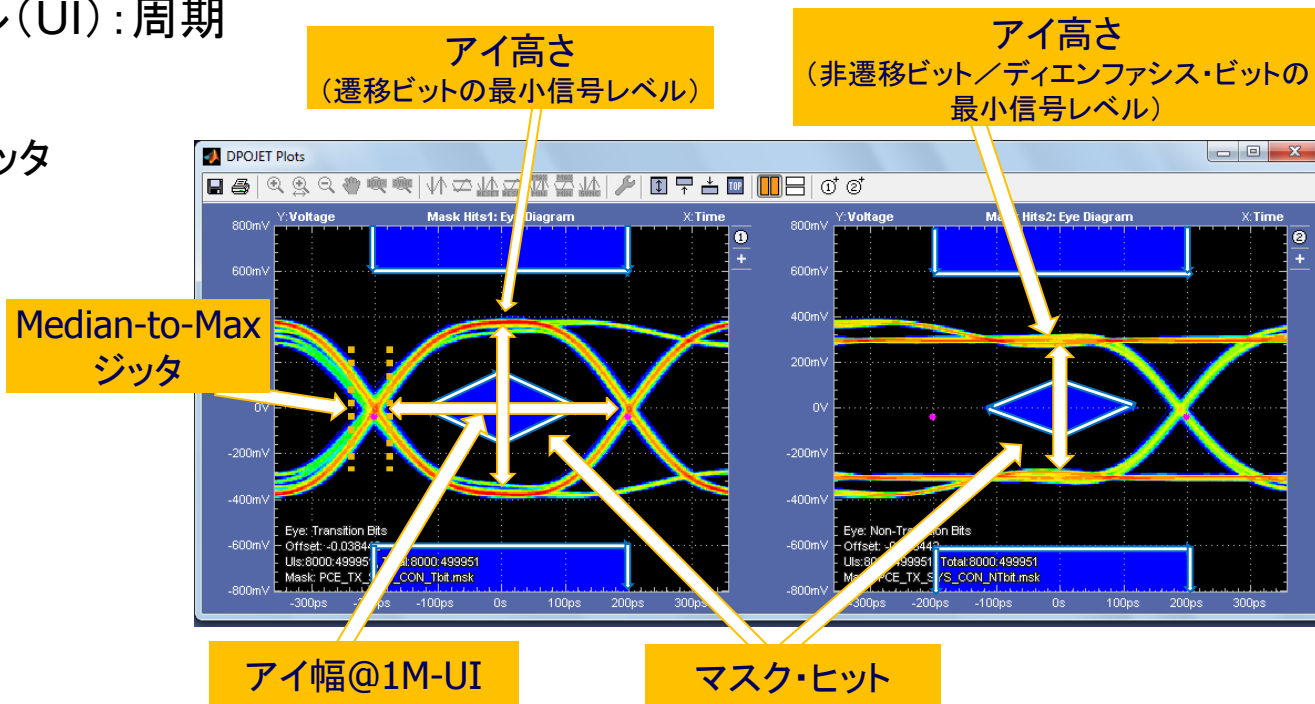


ジッタ分布

Median = 中央値

リファレンス・クロック(システム・ボード)

- ジッタ



Rev.2.0(5Gbps)での変更点(CEM測定上)

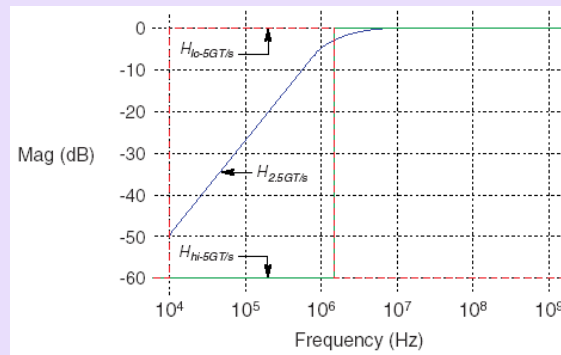
*参考テストのみ

- 測定に必要なオシロスコープの周波数帯域を明確に第5次高調波で規定
 - 2.5Gbps: 6.25GHz
 - 5Gbps: 12.5GHz
 - 新しいTx測定
 - Rj/Dj(δ - δ)分離
 - $T_j@BER10^{-12}$
 - 新しいCDR関数(1.5MHzブリックウォール)
 - システム・テストではデュアル・ポート測定
 - リファレンス・クロック・ベースでのデータのアイ・ダイアグラムとジッタ測定
 - リファレンス・クロック測定
 - Rev.2.0からはBase Specificationに
 - 指定のジッタ伝達関数適用後にて
 - PLLループ帯域幅測定(アドイン・カード)
- TDR*
 - 伝送線路は85 Ω 差動インピーダンスに
 - Tx/Rx終端抵抗は変更なし(100 Ω 差動)
 - レシーバ・テスト*
 - ジッタ・ストレス・テストとエラー・カウント



PCI Express Base Specification, Rev2.0

CDR特性



PCI Express Rev.2.0物理層信号測定項目

5Gbps、コンプライアンス・テスト

1. アイ・ダイアグラム

- 遷移ビット、非遷移ビット(ディエンファシス)を分離してのアイ・ダイアグラム評価
- アイ高さ
- アイ幅@1M-UI(2.5Gbps)
- アイ幅@BER10⁻¹²(5Gbps)
- マスク・テスト: マスク・ヒット(2.5Gbps)

2. ユニット・インターバル(UI): 周期(SSC)

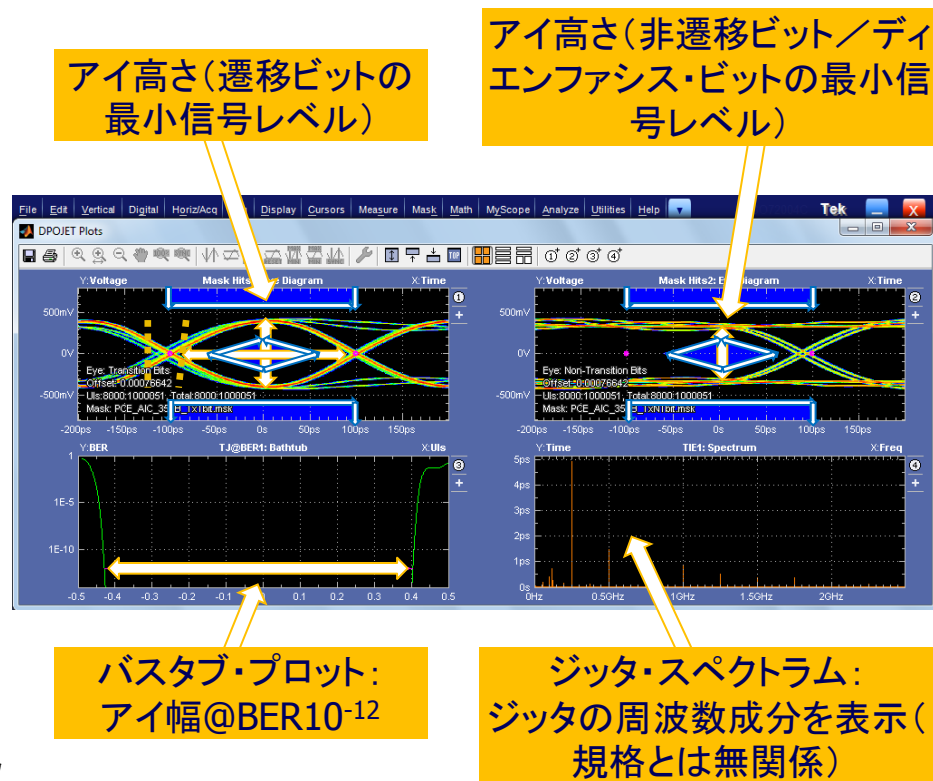
3. ジッタ

- 2.5Gbps: Median-to-Maxジッタ
- 5Gbps: ランダム・ジッタ($Rj_{(0-0)}$)、デターミニステック・ジッタ($Dj_{(0-0)}$)、トータル・ジッタ@BER10⁻¹²測定

※以上1から3は1M-UI捕捉し、ソフトウェアでリカバリされたクロックを基準に測定

4. リファレンス・クロック・ジッタ(システム・ボード、2.5Gbps)

5. PLLループ帯域幅、ピーキング測定(アドイン・カード)

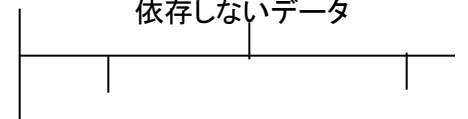


デュアル・ポート測定

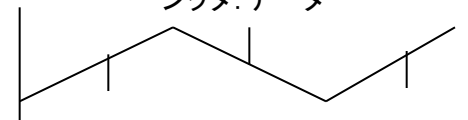
5Gbps、コンプライアンス・テスト

- PCI Express CEM Specification Rev.2.0のシステム・ボードでのジッタ測定方法
- データ、クロックを別々に測るのではなく、同時に測定
 - － クロック・ジッタの影響を受けて発生するデータ・ジッタを除去
 - ・ SSC
 - ・ システムでは「クリーン・クロック」入力が困難なため
- データ、クロックを40GS/s以上で同時に捕捉する必要あり
 - － 擬似差動の場合には4チャンネル必要
- 1M-UI長の単発捕捉
- リファレンス・クロックを50逡倍化し、タイミング・リファレンスとして使用

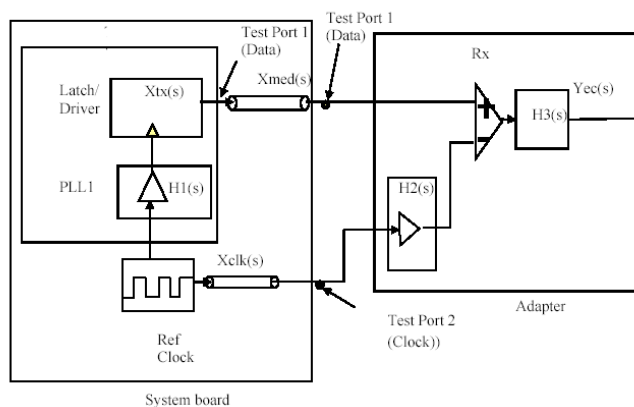
ジッタ: リファレンス・クロックに
依存しないデータ



ジッタ: データ

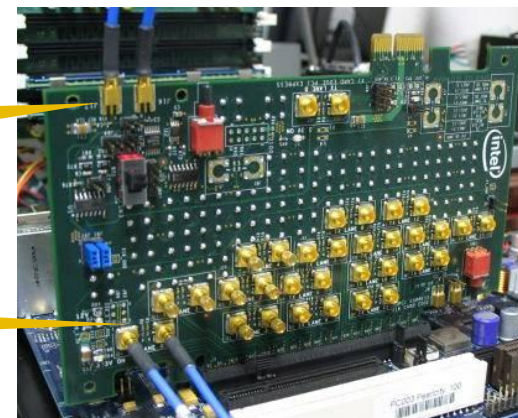


ジッタ: リファレンス・クロック



リファレンス・
クロック

データ(レーン0)

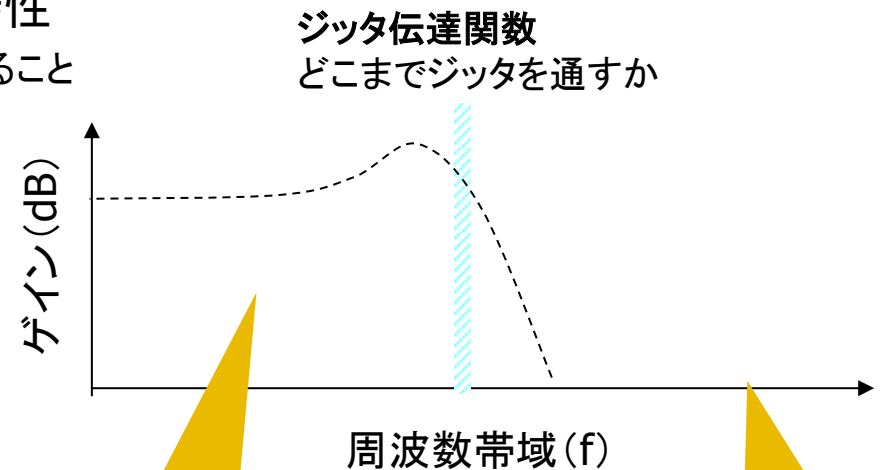
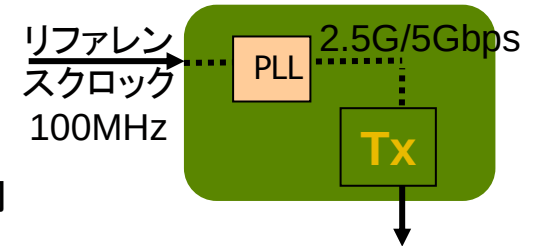


PLLループ帯域幅、ピーキング測定(アドイン・カード)

Rev.2.0、コンプライアンス・テスト

測定の必要性は・・・

- アドイン・カードのトランスミッタはクリーン・クロックで測定
 - － リファレンス・クロックの影響を含めない
- システムのリファレンス・クロックは別途測定し、ジッタを制御
- 残りはトランスミッタのPLLのジッタ伝達特性
 - － ジッタを増加させるピーキングが3dB以内であること
 - － 2.5Gbps:ループ帯域幅(-3dB)
 - ・ ピーキング3dB以内:1.5-22MHz
 - － 5Gbps:ループ帯域幅(-3dB)
 - ・ ピーキング1dB以内:5-16MHz
 - ・ ピーキング3dB以内:8-16MHz
 - － 8Gbps:ループ帯域幅(-3dB)
 - ・ ピーキング2dB以内:~4MHz
 - ・ ピーキング1dB以内:~5MHz
- Rev.2.0よりコンプライアンス・テスト項目に
- 現在2種類の方法がSIGで承認
 - － スペクトラム・アナライザ測定法
 - － クロック・リカバリ法
 - － その他、弊社ではAWG任意波形ジェネレータを使用した方法も可能



リファレンス・クロックの低周波ジッタに対してPLLは追従。その結果、リファレンス・クロックの低周波ジッタはそのままTx出力に重畳される形に

リファレンス・クロックの高周波ジッタに対してPLLは追従しない。その結果、リファレンス・クロックの高周波ジッタはTx出力に重畳されない

必要な機材 (Rev.1.1:2.5 Gbps)

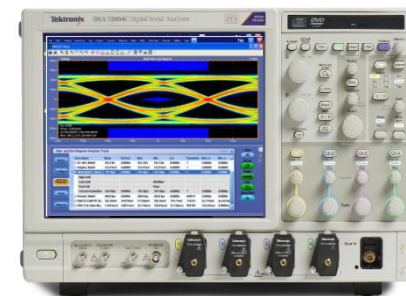
コンプライアンス・テスト(信号品質)、物理層測定

- デジタル・オシロスコープ: 6GHz帯域、20GS/s以上。下記いずれかの機種
 - DSA70804C型 8GHz25GS/sデジタル・シリアル・アナライザ
 - DSA70604C型 6GHz25GS/sデジタル・シリアル・アナライザ
- SMAケーブル (CLB10/CBB11)
- コンプライアンス・テスト・ソフトウェア
 - SIGTEST
 - Clock Jitter Tool (Rev.1.1システム・ボードのみ)
 - SIGのWebよりダウンロード
 - DPOJET ジッタ&アイ・ダイアグラム解析ソフトウェア※1
 - opt.PCE3 PCI Express自動化ソリューション
- プローブ: 必要に応じて下記いずれかの機種
 - P7580型 8GHz差動プローブ
 - P7560型 6GHz差動プローブ
 - P7380SMA型 8GHz SMA入力差動プローブ

※1. DSAシリーズには標準付属

DSA70000Cシリーズ デジタル・シリアル・アナライザ

- 「最高の波形特性」と「強力な解析能力」



型名	DSA72004C型	DSA71604C型	DSA71254C型	DSA70804C型	DSA70604C型	DSA70404C型
最高周波数帯域	20GHz	16GHz	12.5GHz	8GHz	6GHz	4GHz
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル			25GS/s@4チャンネル		
最大レコード長	250Mポイント@4チャンネル			100Mポイント@4チャンネル		
垂直軸ノイズ(フルスケールに対するp-p)	0.77%	0.43%	0.38%	0.35%	0.32%	0.28%
フラットネス	±0.5dB(最高周波数帯域の半分まで)					
ジッタ・ノイズ・フロア(rms)	290fs	270fs		300fs		340fs
デルタ時間測定確度(rms)	1.43ps	1.15ps	1.23ps	1.24ps	1.33ps	1.48ps
DSA70000D/C、MSO70000Cシリーズ共通						
主な機能(標準)	サーチ&マーク、コミュニケーション・マスク・テスト、ジッタ／アイ・ダイアグラム解析、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ／プロトコル・デコード&サーチ(PCIe rev.1/2/3など)					
主な機能(オプション)	- フレーム&ビット・エラー・ディテクタ ビジュアル・トリガ - I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ - DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 - 周波数帯域のアップグレード					
その他	- 毎秒30万波形取込みレート - DSP特性補正、DSP帯域拡張(DSA72004C型) - 周波数帯域選択機能、ArbFilter機能					

必要な機材 (Rev.2.0:5 Gbps)

コンプライアンス・テスト(信号品質)、物理層測定

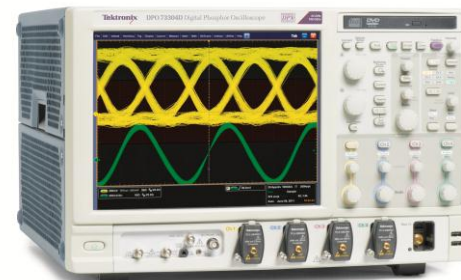
- デジタル・オシロスコープ: 12.5GHz帯域、40GS/s以上。下記いずれかの機種
 - DSA73304D型: 33GHz50GS/s@4チャンネル100GS/s@2チャンネル デジタル・シリアル・アナライザ
 - DSA72504D型: 25GHz50GS/s@4チャンネル100GS/s@2チャンネル デジタル・シリアル・アナライザ
 - DSA72004C型: 20GHz50GS/s@4チャンネル100GS/s@2チャンネル デジタル・シリアル・アナライザ
 - DSA71604C型: 16GHz50GS/s@4チャンネル100GS/s@2チャンネル デジタル・シリアル・アナライザ
 - DSA71254C型: 12.5GHz50GS/s@4チャンネル100GS/s@2チャンネル デジタル・シリアル・アナライザ
- ケーブル (CLB2/CBB2)
 - SMAケーブル
 - SMA-SMP変換アダプタ
 - SMA-SMPケーブル
- コンプライアンス・テスト・ソフトウェア
 - SIGTEST
 - Clock Jitter Tool
 - SIGのWebよりダウンロード
 - DPOJET ジッタ&アイ・ダイアグラム解析ソフトウェア※1
 - opt.PCE3 PCI Express自動化ソリューション
- シリアル・データ・リンク解析ソフトウェア※2
 - Opt.SLA SDLAシリアル・データ・リンク解析ソフトウェア

※1. DSAシリーズには標準付属

※2. Base Specificationでのトランスミッタ測定でディエンベッドする場合

DSA70000Dシリーズ デジタル・シリアル・アナライザ

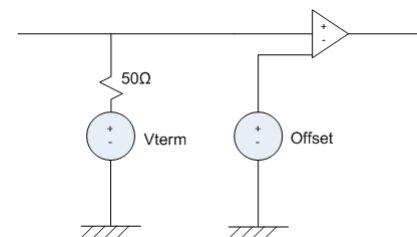
- 「最高の波形特性」と「強力な解析能力」



型名	DSA7334D型	DSA72504D型
最高周波数帯域	33GHz	25GHz
2ch(RT)、4ch(ET、アンダー・サンプリング)		
4ch(RT)		
立上り時間(20%-80%)	9ps	12ps
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル	
最大レコード長	250Mポイント@4チャンネル	
垂直軸ノイズ (フルスケールに対するp-p)	0.58%	0.58%
フラットネス	±0.5dB(最高周波数帯域の半分まで)	
ジッタ・ノイズ・フロア(rms)	250fs	
デルタ時間測定確度(rms)	347fs	330fs
垂直軸感度	6.25mV/div~120mV/div (62.5mV~1.2Vフルスケール)	
オフセット・レンジ 終端電圧レンジ	+3.4~-3.4V	

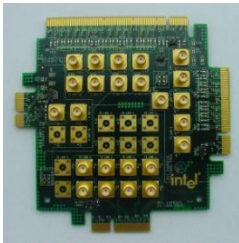
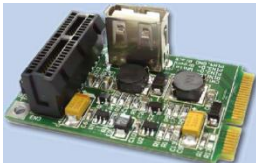


IBM社SiGe 8HP BiCMOSプロセスによる新設計のフロントエンドにより、33GHzで必要とされる垂直ノイズとジッタ・ノイズ・フロアの低減化を実現

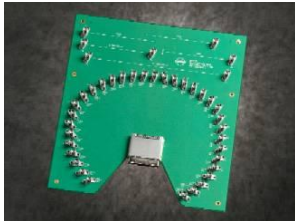


終端電圧機能によりバイアス Tee、DCブロックを併用することなく、DCバイアス回路を直結可能

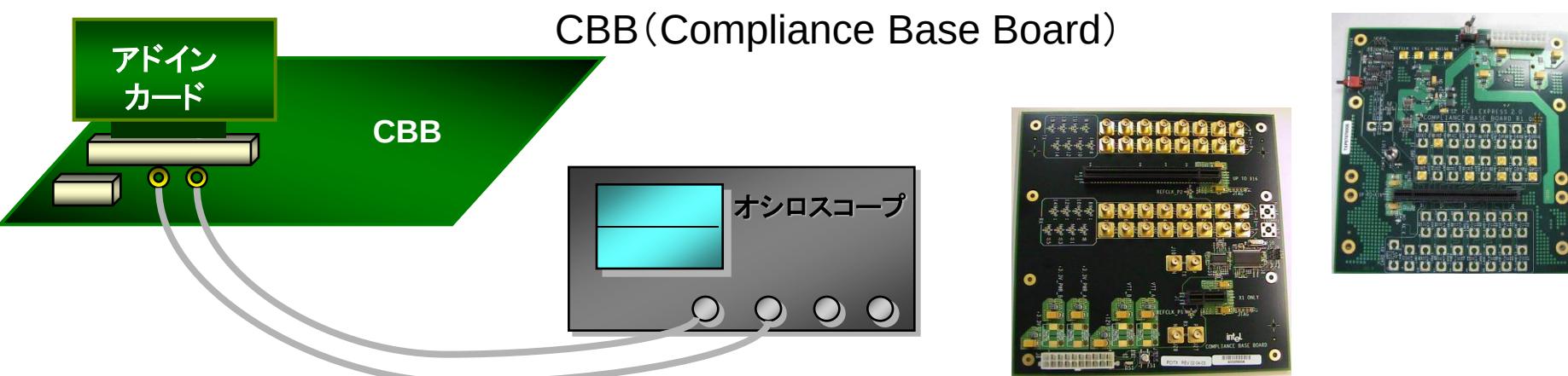
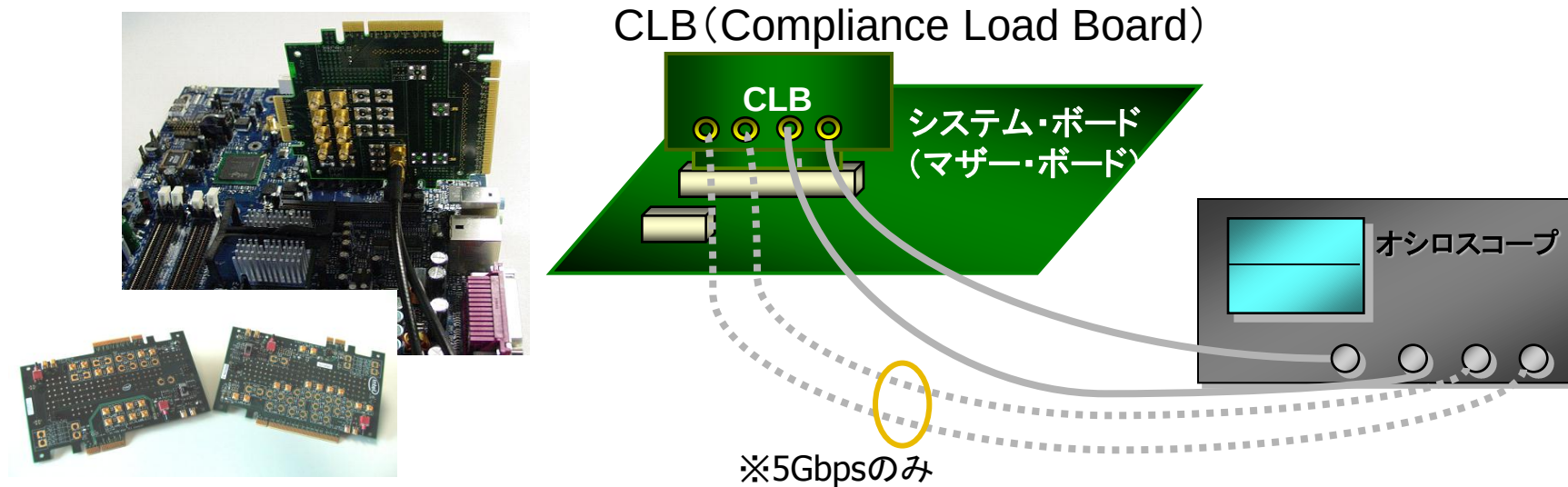
テスト・フィクスチャ

CEM : PCI-SIGより購入		
Compliance Base Board (アドイン・カード)		
CBB1 Rev. 1.1	CBB2	
		
Compliance Load Board (システム・ボード)		
CLB1	x4/x8 CLB2	x1/x16 CLB2
		
Mini Card CEM : Allion社より購入		
アドイン・カード	システム・ボード	
PXM-1A	PMA-2	
		

29

External Cable : Molex社より購入	
リンク数	Molex社部品番号
x1	73931-2752
X4	73931-2642
X8	73931-2652
X16	73931-2662
 ×1  ×8	
ExpressCard : PCMCIAより購入	
EC-SI-P	PEC-1X
	

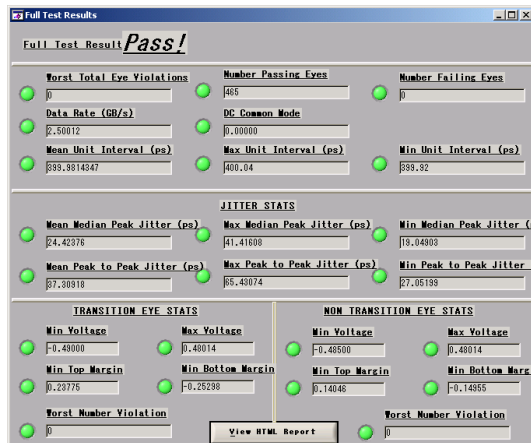
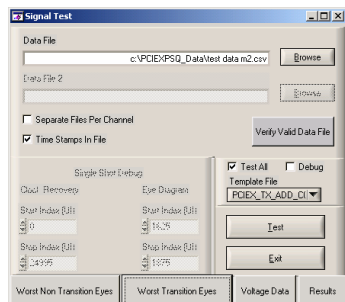
テスト・フィクスチャ使用形態 (CEM Specification)



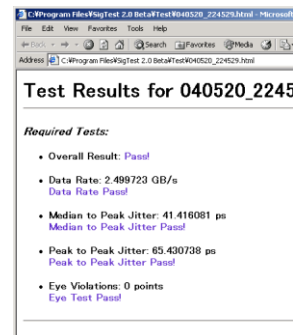
Compliance Workshopでの標準 コンプライアンス・テスト・ソフトウェアSigTest Ver.3.1.9

- PCI-SIGが各社のオシロスコープ用に用意(テクトロニクス、アジレント・テクノロジー、レクロイに対応)
 - － PCI-SIGサイトからメンバーは無料でダウンロード可能
- Microsoft Windows 7/XP/2000上で動作
- テスト手順書(Signal Quality Test Methodology)を用意
- 測定項目を自動的に測定し、規格に対して測定結果のパス／フェイル判定を表示
 - － 遷移ビット、非遷移ビットを識別し、各ビット別に測定(電圧)とアイ・ダイアグラムとマスク・テストを実行
 - － 結果をHTML形式で出力
 - － 波形データをいったんファイルに落とす必要がある -> 作業性が悪い*
 - － 5Gbps用新機能
 - Rj、Dj(Dual Dirac)測定、Tj@BER 10⁻¹²測定、デュアル・ポート測定

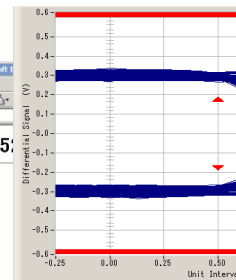
コントロールと測定画面



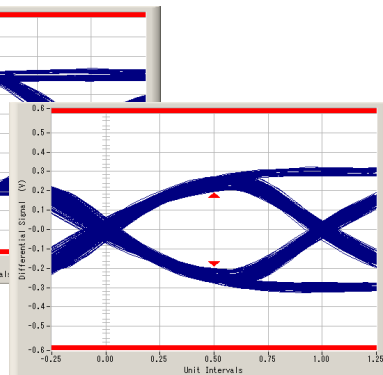
テスト結果ヘッダ部



非遷移ビット・アイ・ダイアグラム



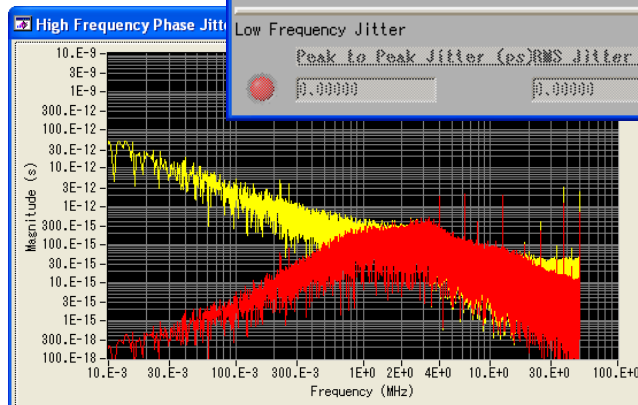
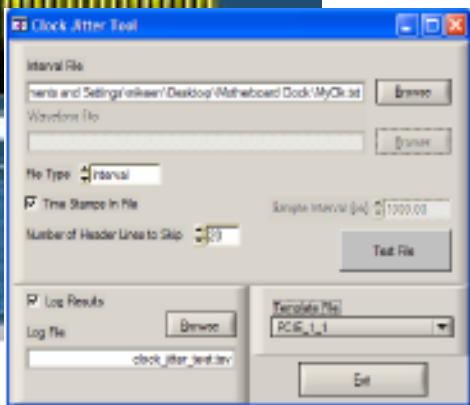
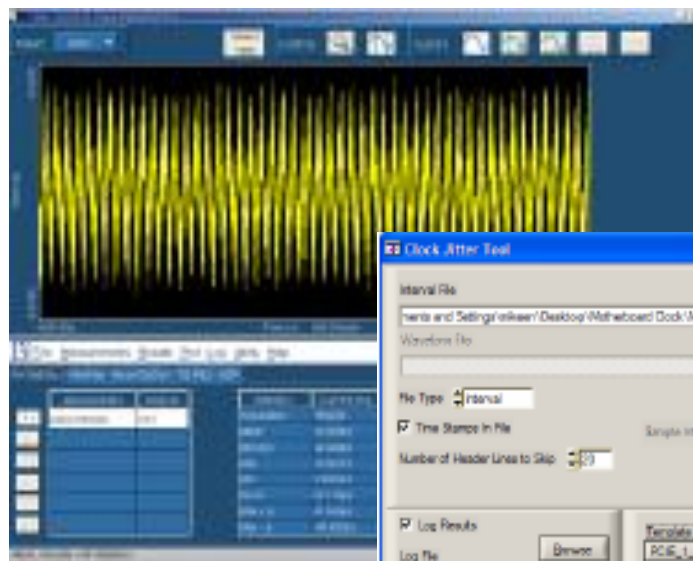
レポート



遷移ビット・アイ・ダイアグラム

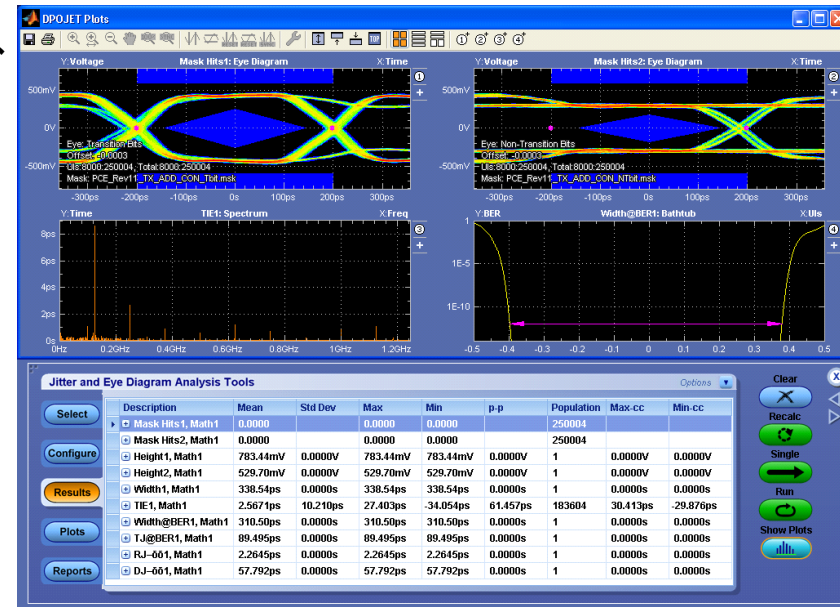
Compliance Workshopでの標準 リファレンス・クロック・テスト・ソフトウェア Clock Jitter Tool

- 規格指定のジッタ伝達関数(フィルタ)を適用し、パス／フェイルを判定
 - － 入力ファイル
 - ・ 各社のジッタ解析ソフトウェアからのPeriod、Crossover測定ファイル
 - ・ 波形データ
- PCI-SIGサイトから無料でダウンロード可能
 - － 最新版はVer.1.3
- Microsoft Windows XPで動作



DPOJETジッタ&アイ・ダイアグラム解析ソフトウェア

- 汎用(デバッグ、バリデーション) + 特定用途(DDR、PCI Express、USB3.0などのコンプライアンス・テスト)
- 周波数／周期、振幅、タイミングおよびジッタとアイ・ダイアグラム測定
 - － データ、クロックおよびクロック - データ間
- ジッタ成分の詳細な解析
 - － Rj/Dj測定、特定BERでのトータル・ジッタ
 - － 真のRj/Dj測定と $R_{j(\delta\delta)}$ / $D_{j(\delta\delta)}$ 測定
 - － Diの成分をBUJ、Pj、DCDj、DDjに分離測定
 - － 有界非相関ジッタ(BUJ:Bounded Uncorrelated Jitter)の測定
 - クロストーク起因のジッタ課題を解決
- アイ幅@BER、アイ高さ@BER、差動クロスオーバー
- 様々なデータ解析を可能にする複数のプロット表示
 - － アイ・ダイアグラム、ヒストグラム、スペクトラム、バスタブ、サイクル・トレンド
 - － ジッタ発生源の特定など
- SigTestとの使い分けは？
 - － プリテストはDPOJETで
 - － コーナ・ケースをSigTestで評価

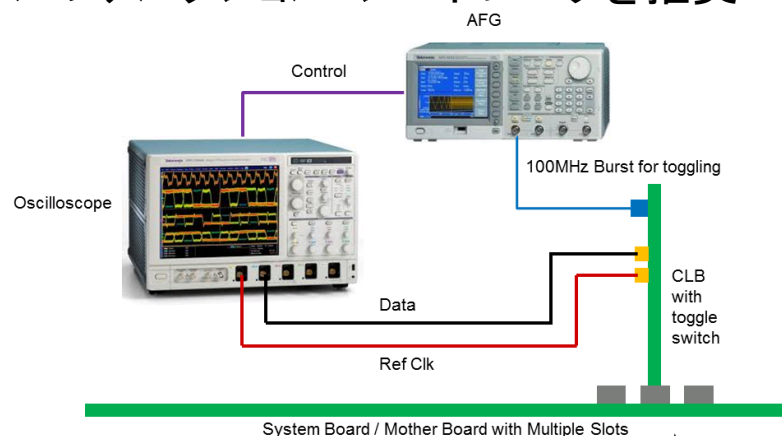
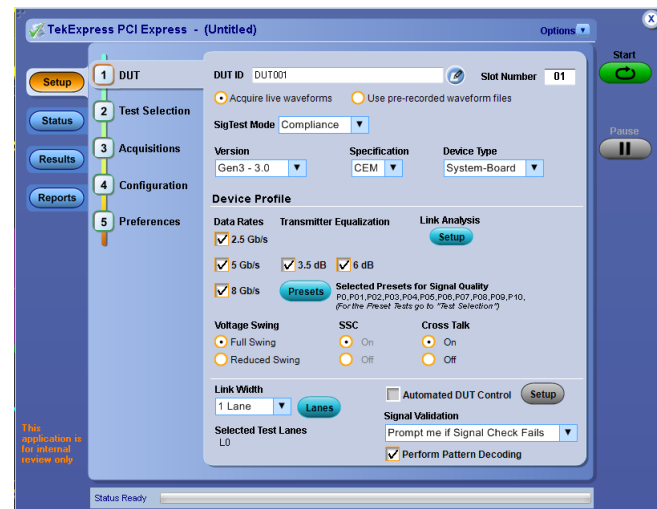


- レポート生成機能
 - MHTML形式(MIME Encapsulation of aggregate HTML)*
- セットアップ・ファイル、リミット・ファイルの提供で標準規格に対応
 - － SAS、Fibre Channel
 - － DisplayPort
 - － PCI Express
 - － USB3.0
 - － MIPI

*HTML ファイルや画像データを単一のアーカイブにまとめて保存できる形式

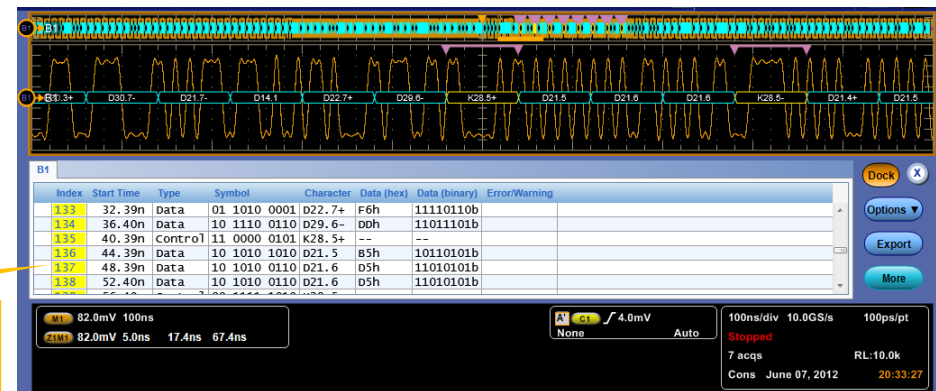
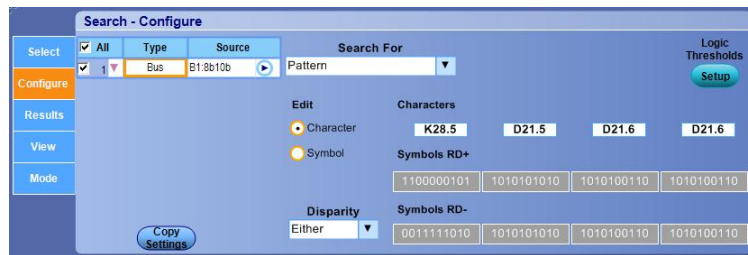
オプションPCE3 PCI Express自動化ソリューション

- コンプライアンス・テストの完全自動化ソリューション
- SigTestベースの測定
 - 完全統合
 - 現在: DLLのみ、次期(2013年7月): DLLに加え、コマンド・ラインによるSigTest.exe実行を選択可能
- 完全自動化のためにはAFG3252C型任意波形／ファンクション・ジェネレータを推奨
 - データ・レートおよびディエンファシス・レベルを変更してのテストや プリセット・テストに、モード変更が必要
 - DUTのRxに対する100MHzパルス・バーストを生成、Rxへ直接入力してモードを自動変更
 - 次期(2013年7月)ではAWGシリーズも使用可能に
 - 所望のケーブル・セットが必要
- DPOJET用PCI Expressモジュール付属(旧オプションPCE3相当)
 - ベースおよびケーブルなどその他の仕様、更なる解析はDPOJET PCI Express モジュールで
- SR-PCIE PCI Expressシリアル解析標準付属(Windows 7版搭載機種のみ)
 - 次スライド参照
 - コンプライアンス・パターンの自動検証に利用 -> テストの信頼性向上
- 既存のOpt.PCE3ユーザは無償でアップ・グレード可能
 - SR-PCIEは別途購入



SR-PCIE PCI Expressシリアル・デコード、サーチ&トリガ

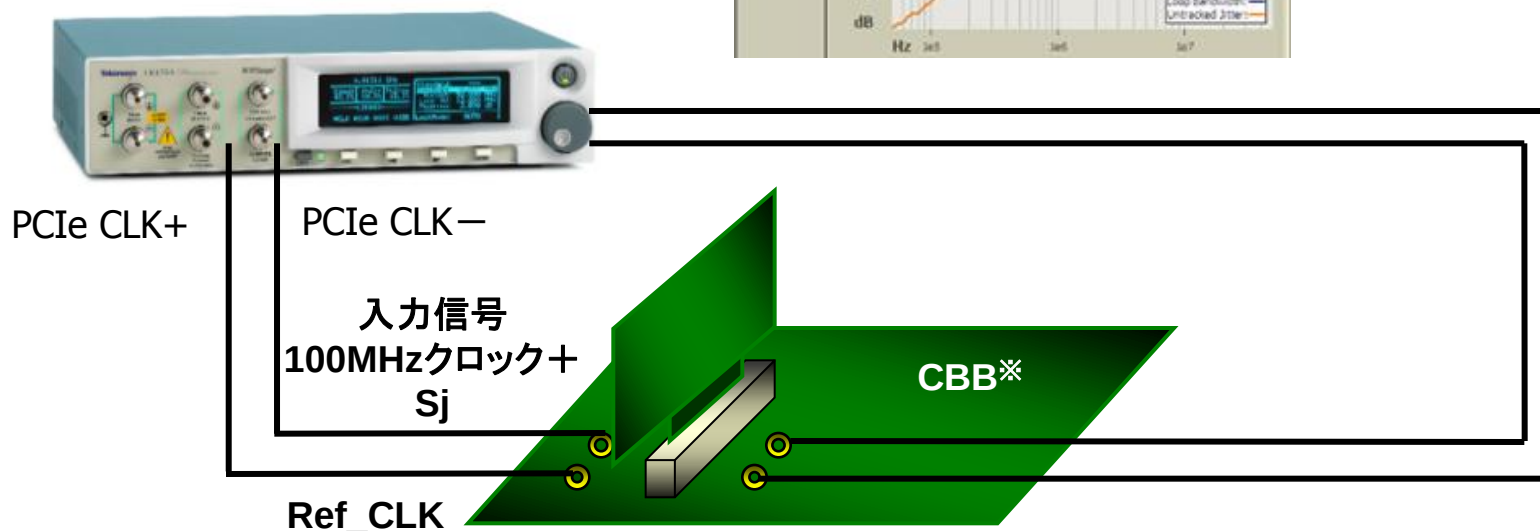
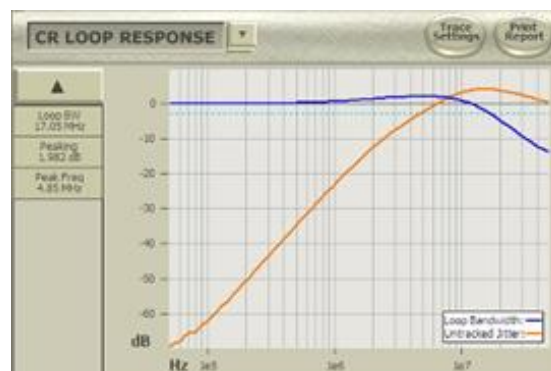
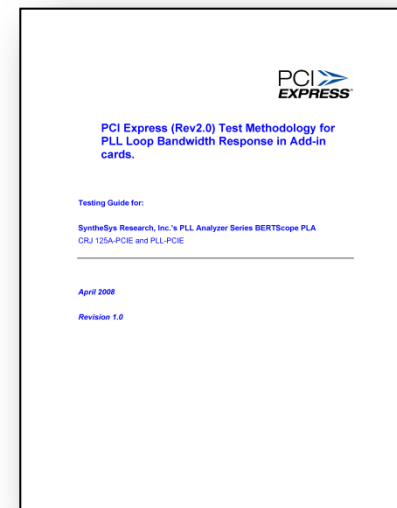
- オーダード・セット識別を含む8B/10Bレベルでのデコード&トリガ(2.5Gbps、5Gbps)、および128B/130Bレベルでのデコード(8Gbps)
- ディスクランブルされた、およびディスクランブルされない双方のデータ表示
- バス波形表示
- イベント・テーブル表示:テキストとしてエクスポート可能
- ディスパリティ、シンボル・エラー表示
- アドバンスド・サーチ&マーク機能によるデータ、シンボルおよびオーダード・セット、エラーのマークとサーチ(2.5Gbps、5Gbps)
- 6.25 Gbps 8b/10bシリアル・プロトコル・トリガ/デコード機能によるキャラクタ、シンボルおよびオーダード・セット、エラーによるトリガ(オプションDSAU、DSAH、STU、あるいはST6Gが必要:DSA標準装備。MSOは現在標準装備)



- 波形表示内にテーブルをドッキング可能に
- さらにドッキング後、波形表示領域の高さが可変に

PLLループ帯域幅、ピーキング測定 クロック・リカバリ法:BERTScope CR125A

- Tx PLLループ帯域幅テストが1台(+PC)で可能
 - PCI Express用100MHz変調クロックを発生(オプション)
 - 25MHzまでジッタを重畳
 - 25MHzまでのジッタ伝達特性

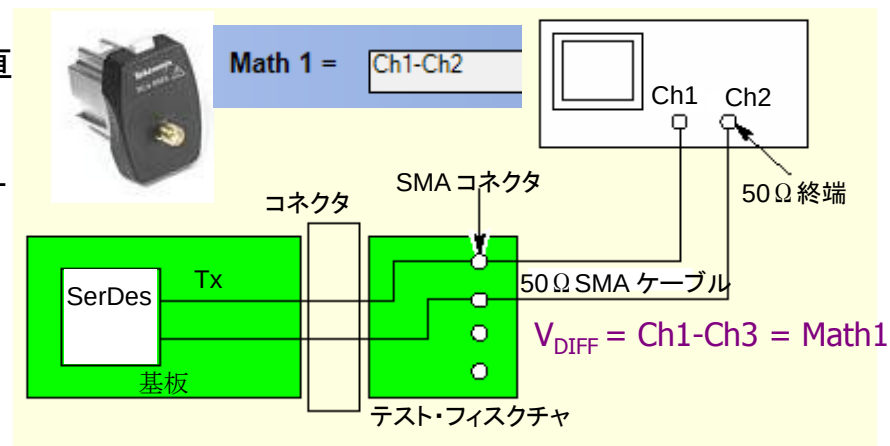


※外部クロックを入力できるように改造が必要

プロービング

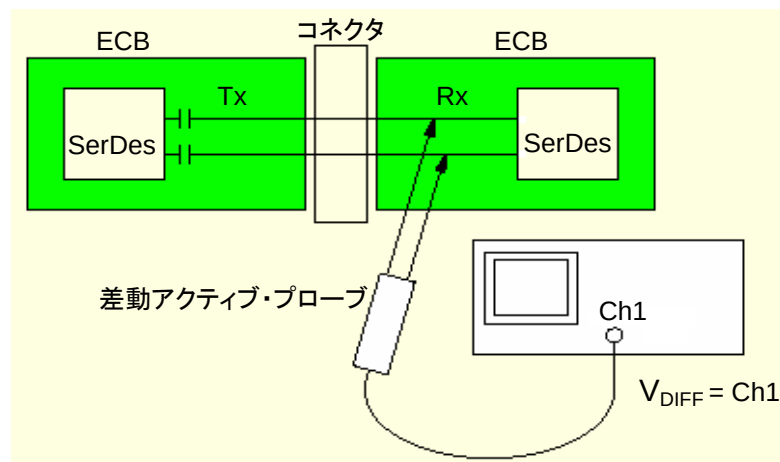
■ 擬似差動接続

- 2チャンネル使い、差動信号の+ (P)と- (N)を直接オシロスコープへ入力
- 内部で波形演算でシングルエンド化: $\text{Math} = \text{Ch1} - \text{Ch2}$
- 目的
 - コンプライアンス・テスト
 - デバイス評価



■ プローブ接続

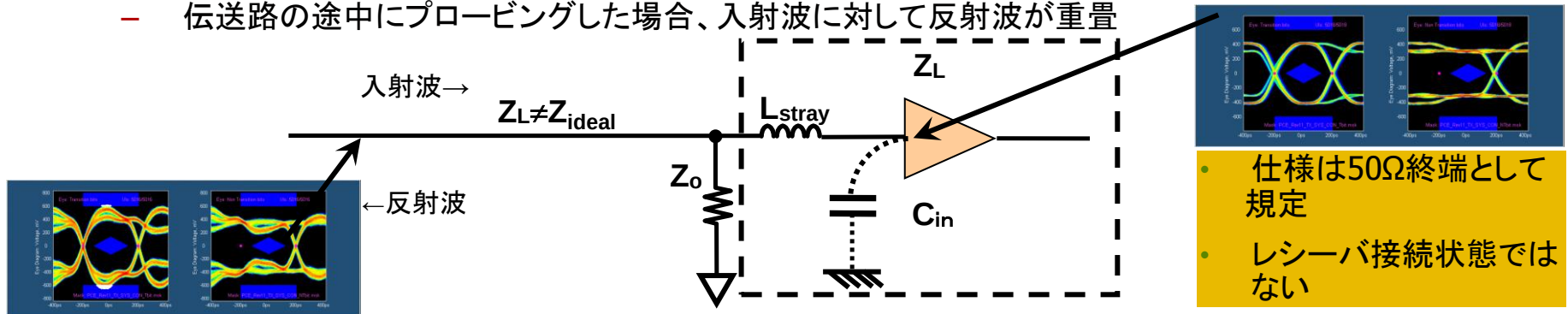
- 差動プローブによる信号ピックアップ
- 目的
 - シグナル・インテグリティ
 - トラブルシューティング、デバッグ



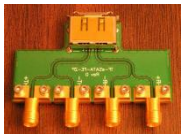
差動プローブによる観測の注意点

実デバイスでの規定・測定の問題点

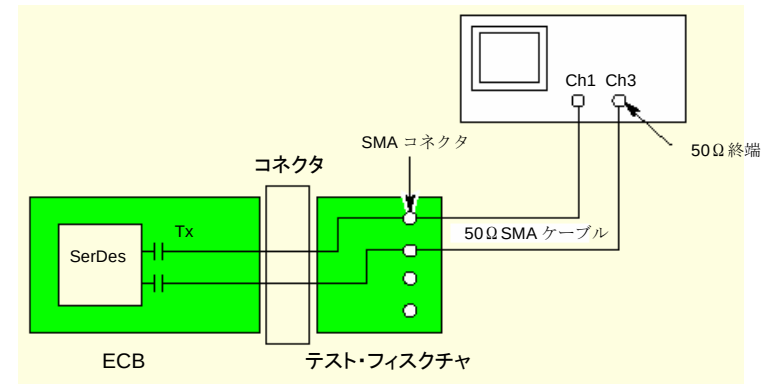
- プローブを使っでの測定。受信端のアイがエラーとなる。本当にエラーか？
- 実デバイス環境ではデバイス入力容量により高周波領域でのインピーダンスが変動
 - デバイスの入力容量は並列容量成分を持つ
- その結果、
 - 規格は一般的に理想終端(50Ω)での仕様のため信号振幅が変動(一般的に下がる)
 - 伝送路の途中にプロービングした場合、入射波に対して反射波が重畳



- ゆえにコンプライアンス・テストでは実デバイスではなく、理想終端で測定
 - オシロスコプの 50Ω 入力で終端
 - テスト・フィクスチャを併用
 - デバッグや参考測定ではプローブを使用



市販テスト・フィクスチャ例 (SATA、DisplayPort、PCI Express)

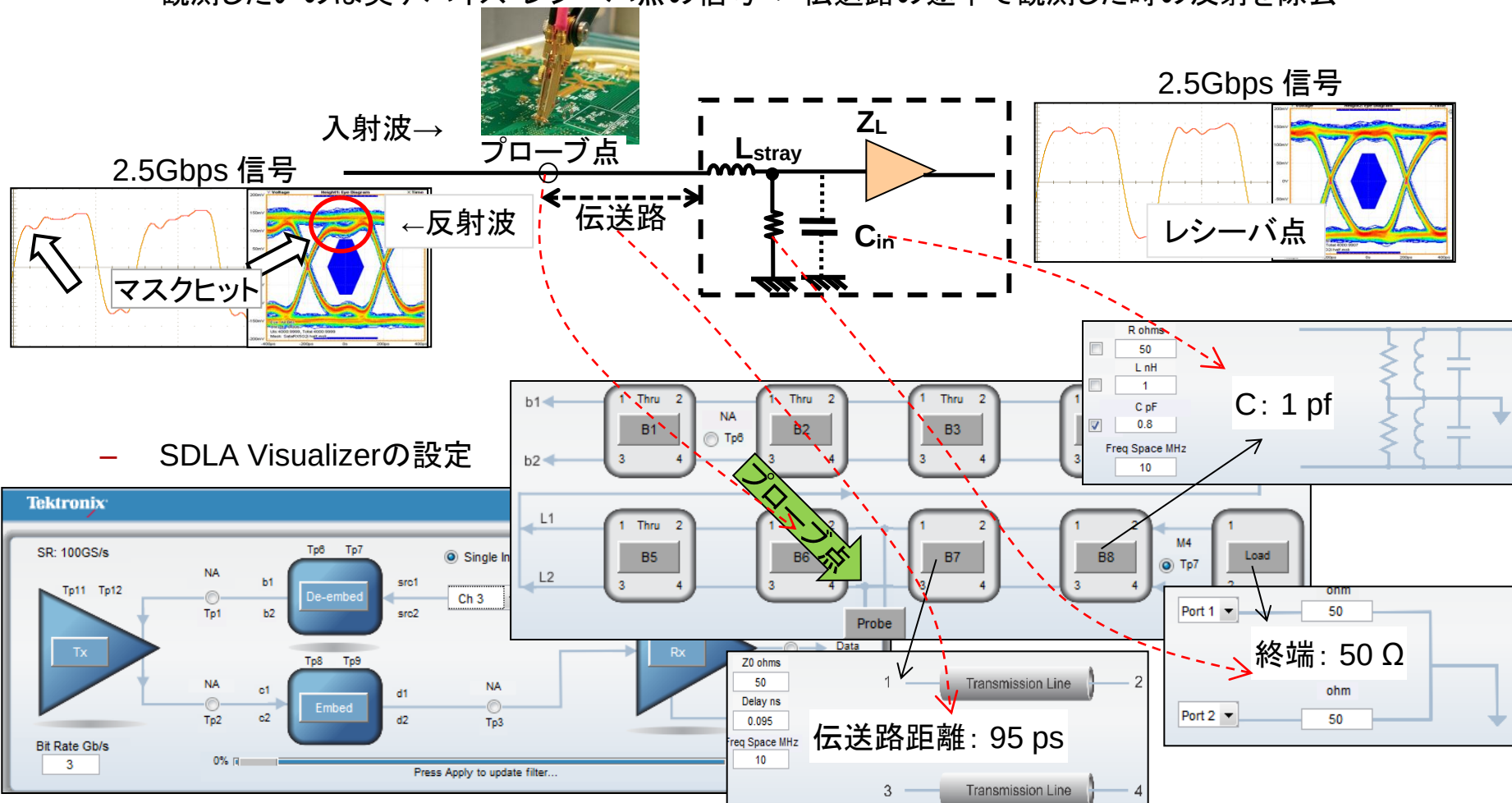


実デバイス入力容量の反射除去

シリアル・データ・リンク解析ビジュアライザ(SDLA Visualizer)による反射除去

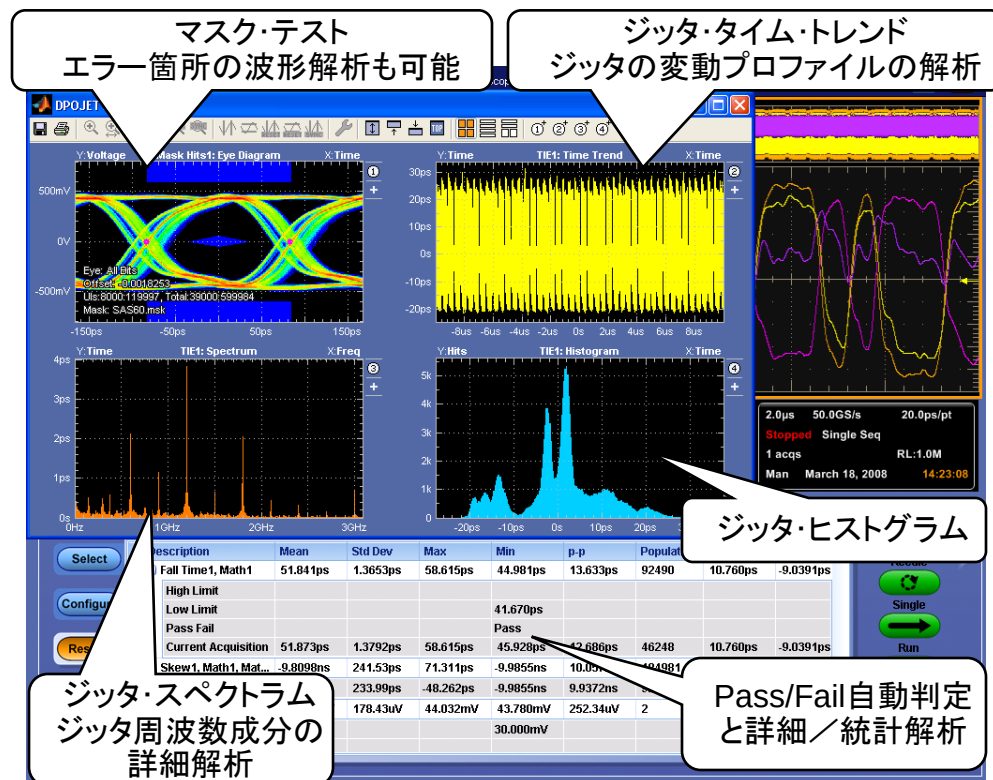
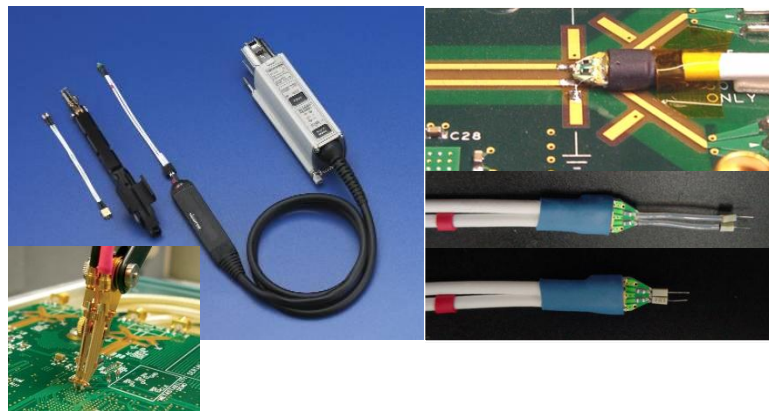
- 実デバイスの入力容量による反射を除去して実デバイス・レシーバ点の信号をシミュレーション

- 観測したいのは実デバイス・レシーバ点の信号 -> 伝送路の途中で観測した時の反射を除去



差動プローブによる測定

- 実リンク(IDLE)中の信号測定・デバッグを行いたい...
- DPOJETジッタ&アイ・ダイアグラム解析アプリケーションによる汎用測定、解析とデバッグ
 - アイ・ダイアグラムとジッタ・タイムトレンド・グラフ、ジッタ・スペクトラムなどの同時表示による解析
 - Pass/Fail自動判定と詳細／統計解析、HTML形式のレポート
- 実インタフェースの測定やデバッグに最適な高性能差動プローブ



まとめ

- PCI Expressアプリケーションの拡がり
 - － PC / サーバー・インタフェース、組込み機器、ストレージ、新規格(Thunderbolt、M.2など)
- 3種類のインタコネクト、コンプライアンス・テストはCEMで実施
 - － Physical Layer、Configuration Space、Link & Transaction Layer(2種類)、Platform Configuration
 - － テスト・フィクスチャ: CLBとCBB
- Rev.1.1 2.5Gbps、Rev.2.0 5Gbpsのコンプライアンス・テスト(物理層)
 - － アイ・ダイアグラム、UI、リファレンス・クロック・ジッタ(システム・ボード)など
 - － 2.5Gbps: Median-to-Maxジッタの測定
 - － 5Gbps: Rj(δ - δ)、Dj(δ - δ)、トータル・ジッタ@BER10-12の測定、デュアル・ポート測定、PLLループ帯域幅測定などが追加
 - － DPOJET、SigTest と Clock Jitter Tool
- CEMで測定できないケースは
 - － 差動プローブによる測定、デバッグ(非コンプライアンス・テスト)

補足資料

イノベーション・フォーラム 2013

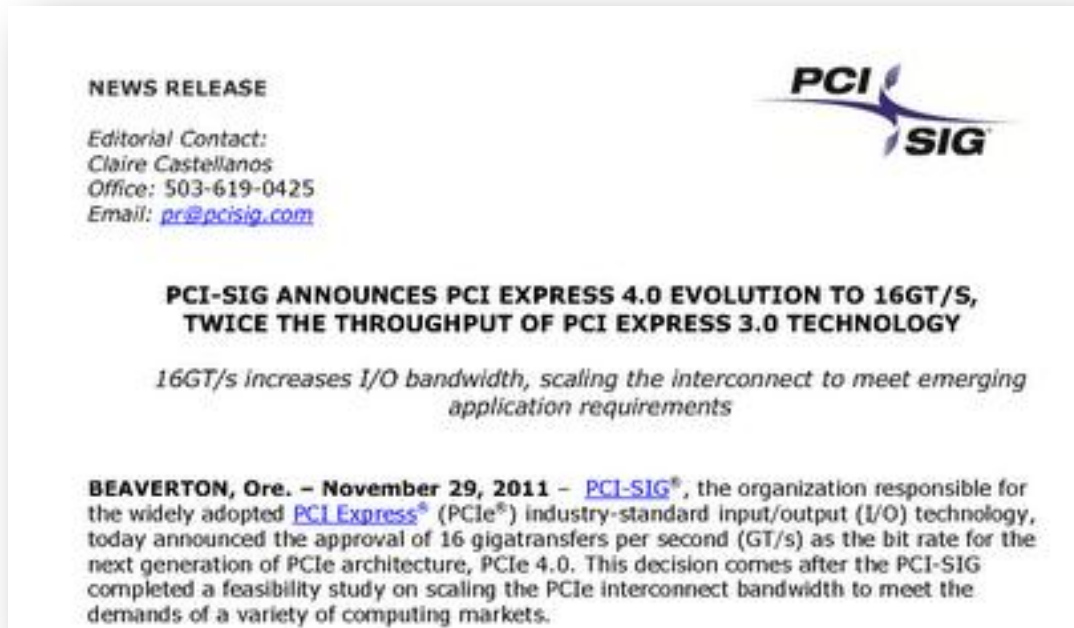


Tektronix®

KEITHLEY
A Tektronix Company

PCI Express 4.0: 更なる高速化

- 16GT/s(16Gbps)に決定！
 - http://www.pcisig.com/news_room/Press_Releases/PCIe_4_0_BitRate_Release_11_29_11.pdf
- 128b/130b、3タップ・ディエンファシスはそのまま
- 実現にあたっての検討されている技術
 - DFEの必須化とマルチタップ化(8Gbpsでは1タップでオプション)
 - パッケージ特性の改善
 - 基板素材の変更
 - リタイマの併用
 - その他



物理層回路と共通基盤技術 (PCI Express、USB3.0・・・)

■ 小振幅・差動伝送

- 送信と受信の双方での終端

■ レシーバ検出※

- パルスを定期的に送信し、レシーバの接続を立上り時間の変動で検出

■ AC結合※

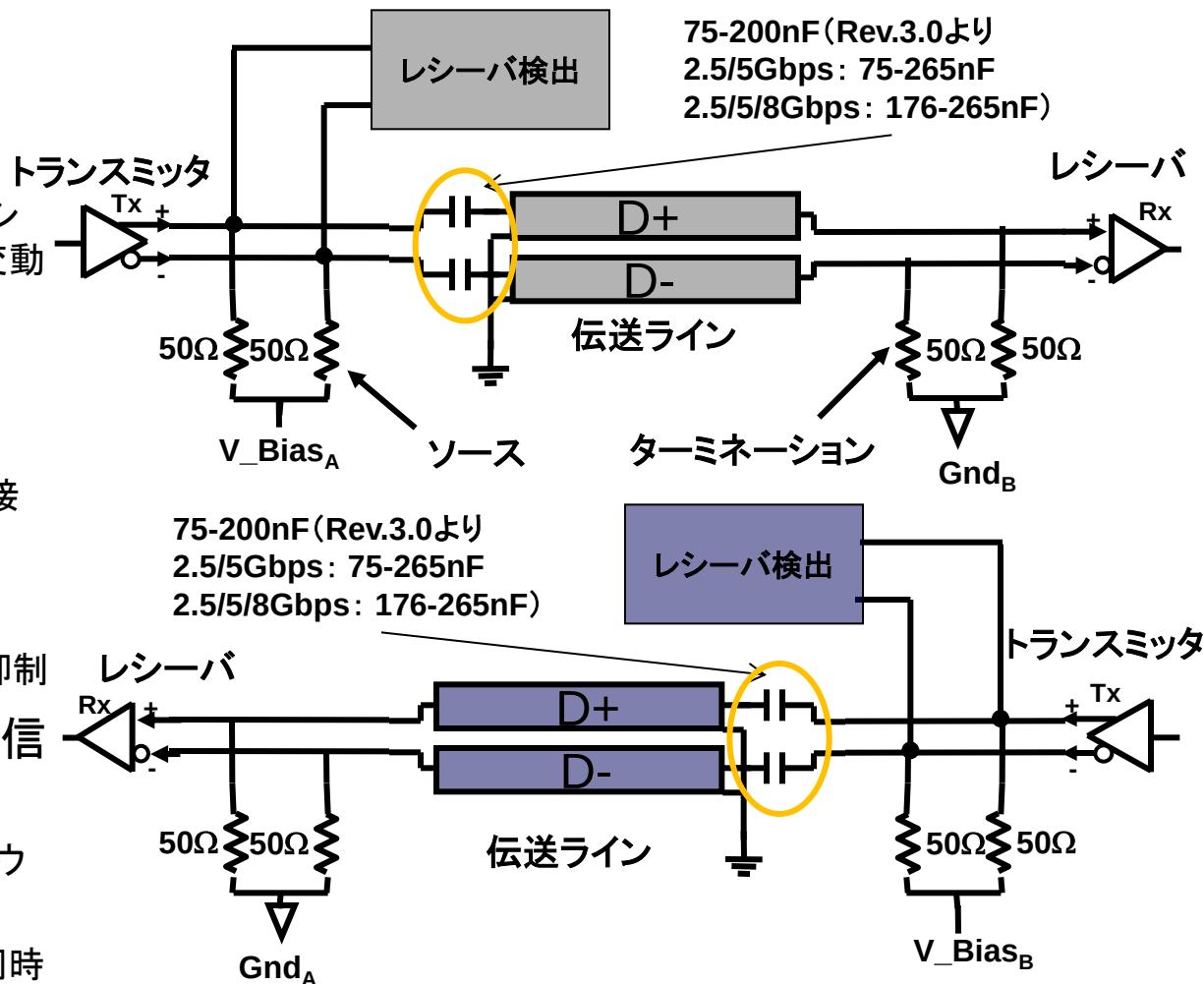
- Vcc、コモン電圧非依存
- テストの容易化 (計測器に直接接続して終端可能)

■ ピア・ツー・ピア接続

- 分岐配線による多重反射の抑制

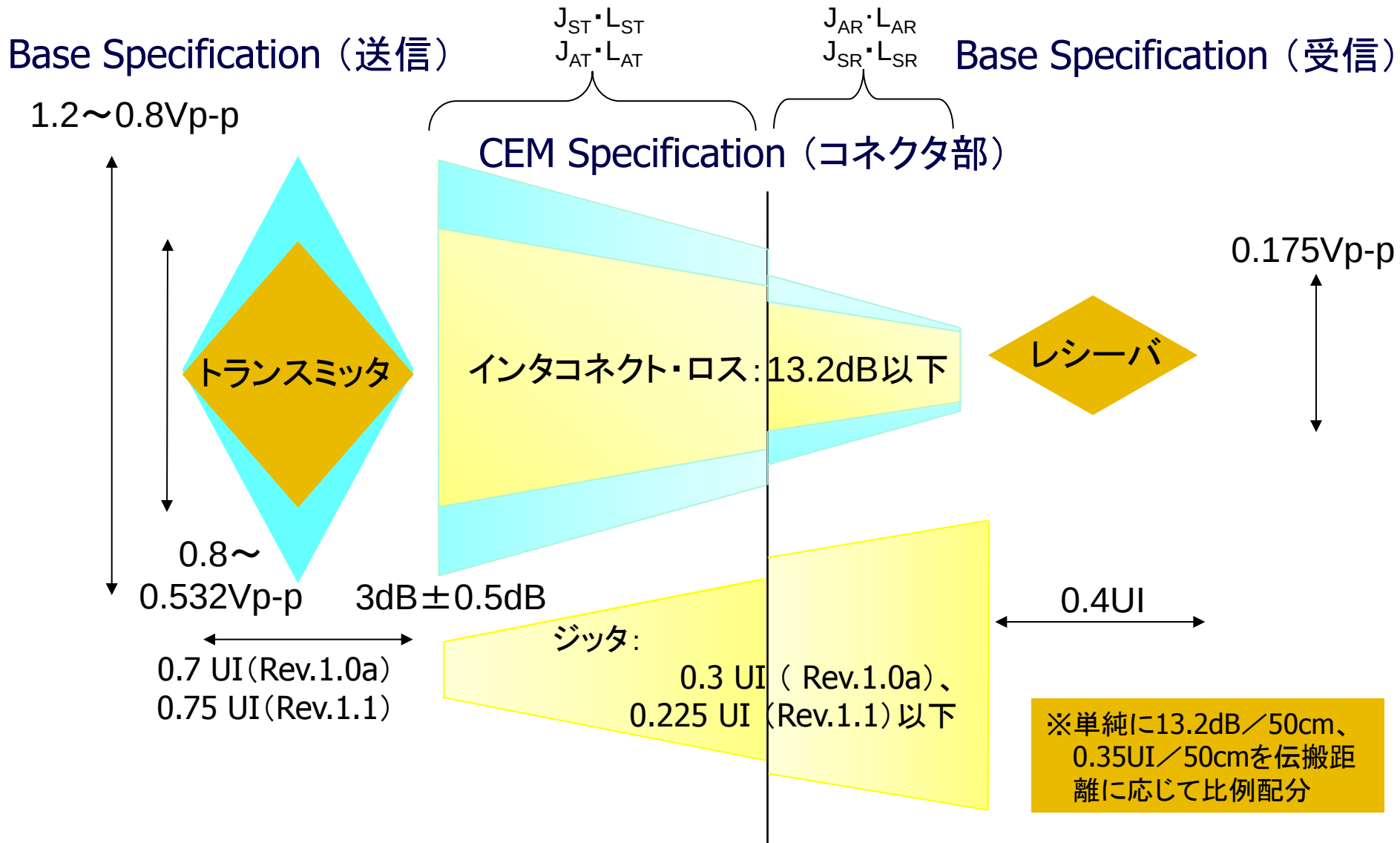
■ デュアル・シンプレックス通信 (双対単方向伝送)

- 独立したアップストリームとダウンストリーム
- 最高データ・レートで双方向同時通信が可能



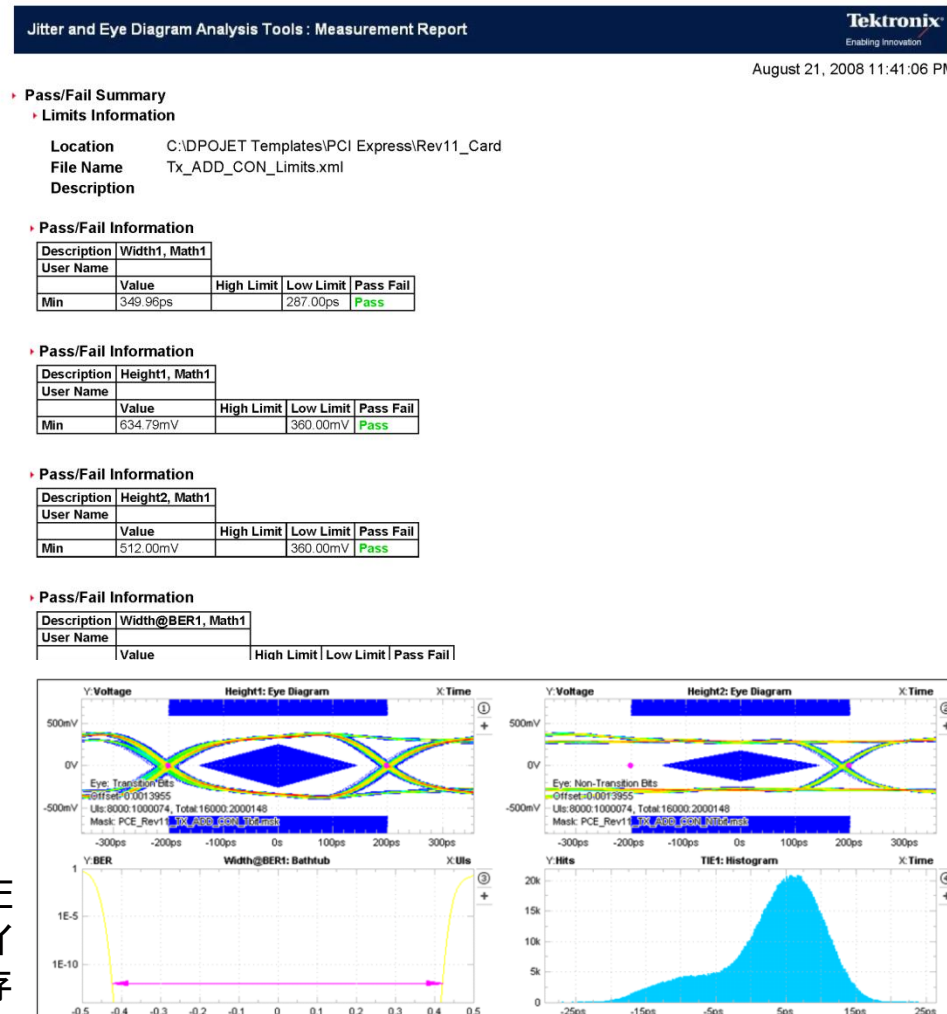
※PCI Express、USB3.0で採用されている技術

Base SpecificationとCEM Specificationの関係



DPOJET PCI Expressコンプライアンス・セットアップ 複雑な物理層の測定を簡単に実施するツール

- 遷移ビット・アイ幅、高さ
- 非遷移ビット・アイ幅、高さ
- 立上り時間、立下り時間
- UI
- 差動電圧
- TIEジッタ
- アイ開口@BER10⁻¹²
- トータル・ジッタ@BER10⁻¹²
- $R_j(\delta-\delta) / D_j(\delta-\delta)$ 測定

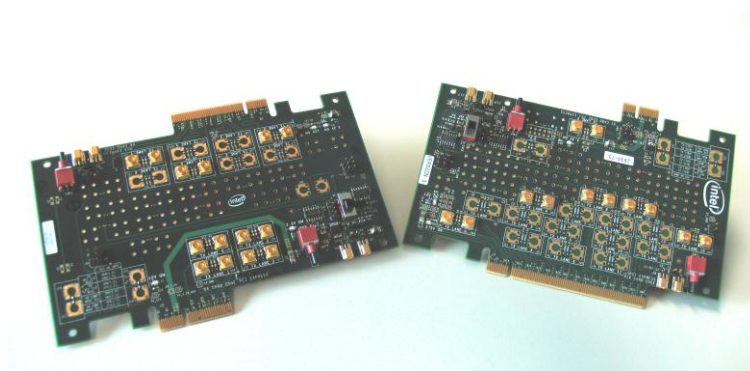
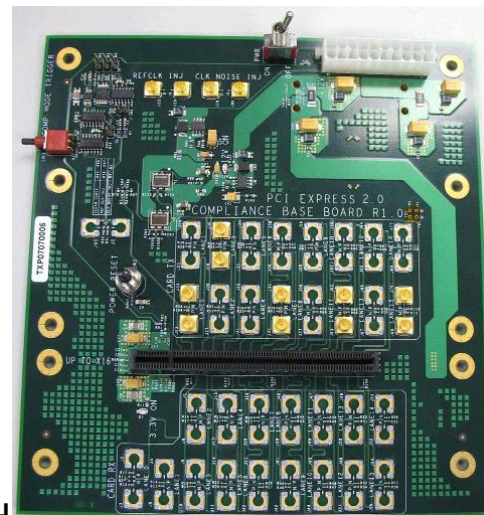


DPOJETレポート結果: MHTML形式(MIME Encapsulation of aggregate HTML)。HTML ファイルや画像データを単一のアーカイブにまとめて保存

Rev.2.0用CLB/CBBテスト・フィクスチャ

Rev.1用テスト・フィクスチャからの変更点

- アドイン・カード(CBB): Rev1.1と同等
 - オンボード・クリーン・クロックによるテスト
- システム・ボード(CLB)
 - x16/x1カードとx4/x8カードの2構成に
- レセプタクルをSMAからSMPに変更
 - SMP(SMA): 挿抜回数1000回以上(500回) 40 GHz帯域(18GHz) 占有面積0.5 mm²(12.7 mm²)
- 85Ω差動トレース・インピーダンス
- モード・スイッチ(Rxにパルス・バーストを入力)
 - 2.5Gbps 3.5dBディエンファシス
 - 5Gbps 3.5dBディエンファシス
 - 5Gbps 6dBディエンファシス



発注に関する詳細

http://www.pcisig.com/developers/main/boards_waitlist/

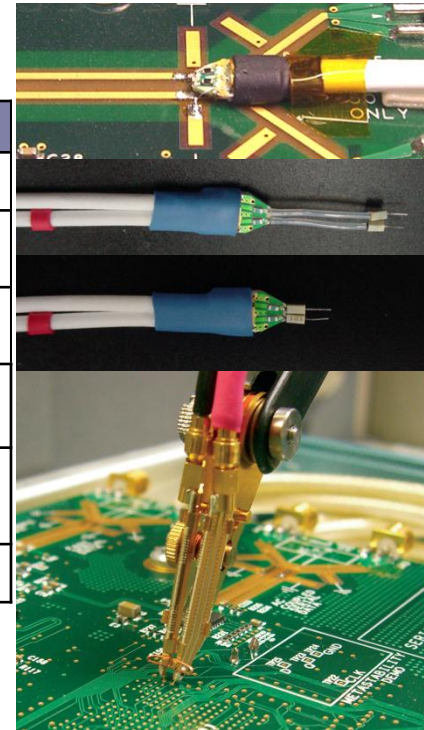
テスト・フィクスチャ資料

http://www.pcisig.com/members/downloads/specifications/testprocedures/CLB2.0_Test_Fixture_Users_Document_r1.0.pdf

http://www.pcisig.com/members/downloads/specifications/testprocedures/CBB2.0_Test_Fixture_Users_Document-2_rev_1.0.pdf

コンプライアンスはケーブル直結。デバッグ、トラブルシューティングにはプローブが必要 P75xxシリーズTriMode差動プローブ

型名	P7630型	P7520A型	P7516型	P7513A型	P7508型	P7506型	P7504型
周波数帯域	30GHz	20/25 GHz *	16 GHz	13 GHz	8 GHz	6GHz	4GHz
10～90%立上り時間(代表値)	16ps以下	27ps以下	31ps以下	40 ps以下	55 ps以下	75ps以下	105ps以下
20～80%立上り時間(代表値)	12ps以下	18ps以下	23ps以下	30 ps以下	35 ps以下	50 ps以下	75ps以下
差動動作入力レンジ	2V p-p (P76CA)、 10V p-p (P76TA)	±625mV (5:1)、 ±1.6V (12.5:1)	±750mV (5:1)、±1.75V (12.5:1)				
オフセット・レンジ	±4V	+2.5～-1.5V (A-Bモード) +3.4～-1.8V (その他のモード)					
ケーブル長	1.2m	1m	1.3m				



* : P75PST型の使用において25GHz

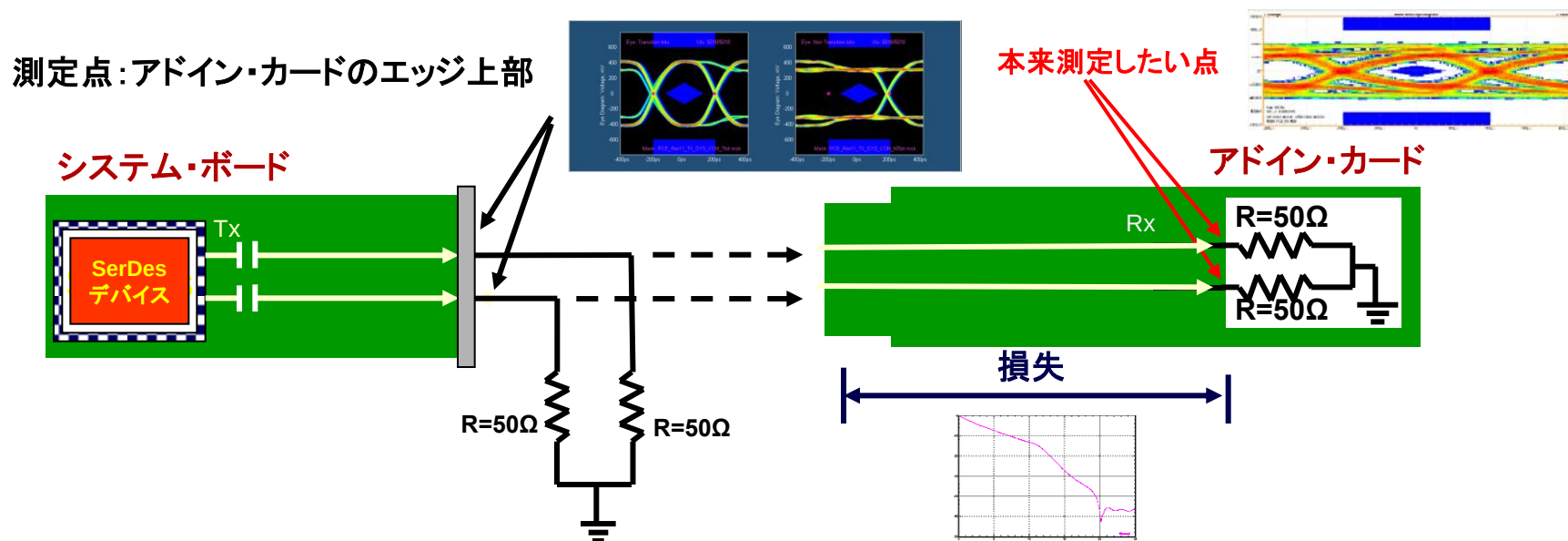


- 業界初
 - Z-Active™ プローブ・アーキテクチャ
 - TriMode
- 接続形態
 - 標準: はんだ付け
 - オプション:
 - P75PDPM型ハンドヘルド／プロービング・アーム
 - 抵抗溶ダ・チップ
 - ロング・リーチ・溶ダ・チップ
 - 恒温槽その他

シリアル・データ・リンク解析:エンベッド

レシーバ端波形の規格照合

- レシーバ端の規格は実デバイスではなく、理想終端での仕様
- レシーバを実装した状態での測定結果と規格は一致しない
 - － あくまでも参考測定
- 例としてPCI Expressでは、手前の測定ポイント(例:CEMのシステム、External Cable Rx)で測定した結果をアドイン・カード、サブシステムのレシーバ・パッドまでのトレースの損失特性を加算(エンベッド)することで測定可能
 - － 損失特性(Sパラメータ)は、VNA、TDRで測定したり、シミュレーションで求めておく



本テキストの無断複製・転載を禁じます。テクトロニクス/ケースレーインストルメンツ
Copyright © Tektronix, Keithley Instruments. All rights reserved.

www.tektronix.com/ja
www.keithley.jp/

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>

