

F-5

PCI Express Gen3の規格認証試験とソリューション



薩摩 泰文

Tektronix[®]

KEITHLEY
A Tektronix Company



本日の内容

- PCI Express Gen3規格について
- PCI Express Gen3のトランスミッタ・テスト
- PCI Express Gen3のレシーバ・テスト
- PCI Express Gen3のインターコネクト・テスト

PCI Express



- インテル社の最新第3世代Coreプロセッサ (Ivy Bridge)によりRev.3.0 (8Gbps) 時代が本格到来
- 標準IOとしてハードウェア・マクロでPCI Expressを内蔵したFPGAが多く登場し、PCI Expressを手軽に導入できる環境が整う (コモディティ化)
 - 2.5Gbps、5Gbpsのみならず8Gbpsも
- 物理層
 - スケーラブルなデータ・レート: 2.5Gbps、5Gbps、8Gbps
 - スケーラブルなレーン幅: 1、4、8、16レーン (2、12、32レーン)
 - AC結合
 - Tx信号振幅: 800-1200mV (ノーマル)、400-800mV (ハーフ・スイング)
 - 2.5Gbps、5Gbps
 - 8B/10B符号化 + スクランブル
 - ディエンファシス : 3.5dB (2.5Gbps)、5Gbps: 3.5dB または 6dB
 - 8Gbps (後述)
 - スペクトラム拡散クロッキング (30~33kHzの0~-5000PPMのダウンスプレッド)
 - コモン・クロックにて (送受信間のトレランスは±300PPM)
 - デュアル・シンプレックス通信 (双対単方向伝送)
 - 独立したアップストリームとダウンストリーム
 - 最高データ・レートで双方向同時通信が可能
 - コネクタ、ケーブルを含む多くのフォーム・ファクタを様々な規格団体が規定
 - 電力管理モード: L0、L0s、L1、L2

PCI Express Gen3.0 の物理層の特徴

128b/130b符号化の採用

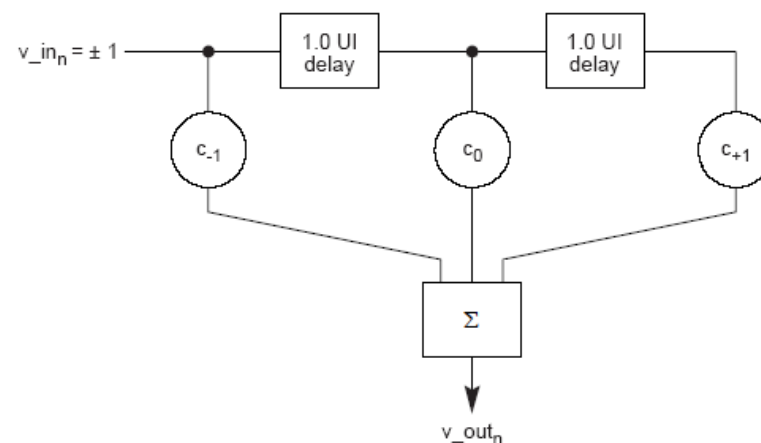
- Gen2 : 5GT/s からGen3 : 8GT/sへ60%高速化
- 128ビット(16バイト)ペイロードに対し、シンク・ヘッダ2ビット(“10”、あるいは“01”)を付加。ペイロード部分のみにスクランブルを適用。各レーンごとにスクランブラを備える
 - シンク・ヘッダ
 - “10”: データ・ブロック
 - “01”: オーダード・セット・ブロック
 - 23ビット・スクランブラ
 - スクランブラ多項式: $X^{23} + X^{21} + X^{16} + X^8 + X^5 + X^2 + 1$
 - EIOS (Electrical Idle Exit Ordered Set) により初期化
- スクランブルだけでデータ遷移密度を向上させる方法により、オーバーヘッドを低減。物理層の速度を2倍に上げなくても、実質的に2倍のデータ転送レートが可能に
 - 消費電力の抑制
 - コスト・アップにつながる基板への低損失素材やバック・ドリル・ビア、ブラインド・ビアなどの採用が不要

PCI Express Gen3.0 の物理層の特徴

Txイコライザー プリセット採用

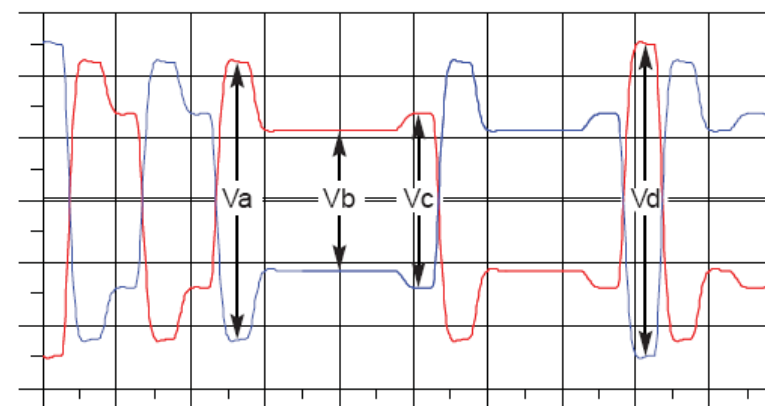
- ディエンファシスのみならずプリシュートも適用(3タップFIR)
 - 11通りのプリセット値(P0からP10)を使用
 - リンク・アップ時に最適な設定を選択

Preset Number	Preshoot (dB)	De-emphasis (dB)
P4	0.0	0.0
P1	0.0	-3.5 ± 1 dB
P0	0.0	-6.0 ± 1.5 dB
P9	3.5 ± 1 dB	0.0
P8	3.5 ± 1 dB	-3.5 ± 1 dB
P7	3.5 ± 1 dB	-6.0 ± 1.5 dB
P5	1.9 ± 1 dB	0.0
P6	2.5 ± 1 dB	0.0
P3	0.0	-2.5 ± 1 dB
P2	0.0	-4.4 ± 1.5 dB
P10	0.0	See Note 2.



$$v_{out_n} = v_{in_{n-1}}c_{n-1} + v_{in_n}c_n + v_{in_{n+1}}c_{n+1}$$

$$|c_{-1}| + |c_0| + |c_{+1}| = 1 \quad c_{+1} \leq 0 \quad c_{-1} \leq 0$$



$$\text{De-emphasis} = 20\log_{10} Vb/Va$$

$$\text{Preshoot} = 20\log_{10} Vc/Vb$$

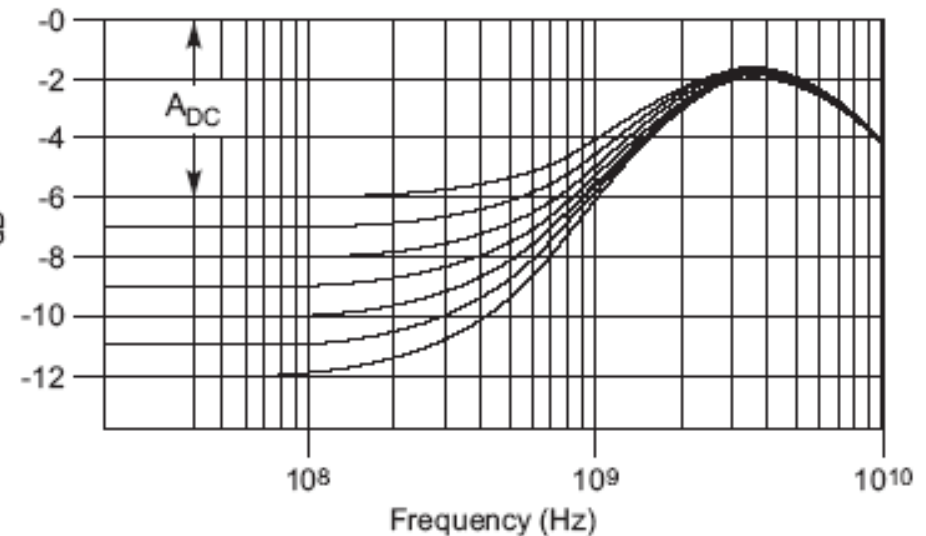
$$\text{Boost} = 20\log_{10} Vd/Vb$$

PCI Express Gen3.0 の物理層の特徴

Rxイコライザ – CTLE+DFE採用

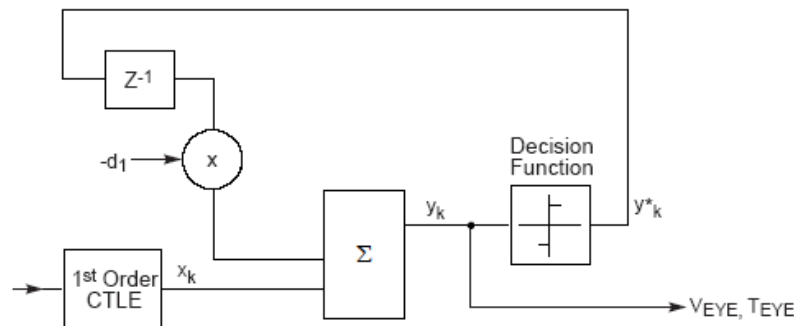
- CTLE

- DCゲイン: -6~-12dB、1dBステップ
- 極周波数: 2GHz、8GHz (2極)
- ピークでも約-2dB
 - レシーバの感度改善というよりは、ディエンファシスでカバーできないチャンネル周波数特性の補正
 - 低周波成分の抑制のみ



- DFE (オプション)

- 1タップ



$y_k = x_k - d_1 \text{sgn}(y_{k-1})$
 y_k = DFE summer differential output voltage.
 y^*_k = decision function output voltage. $|y^*_k| = 1$
 x_k = DFE differential input voltage
 d_1 = feedback coefficient
 k = sample index in UI

$$H(s) = \omega_{p2} \frac{s + \omega_{p1} * A_{DC}}{(s + \omega_{p1}) * (s + \omega_{p2})}$$

ω_{p1} = pole 1 = $2\pi * 2$ GHz
 ω_{p2} = pole 2 = $2\pi * 8$ GHz
 A_{DC} = dc gain

PCI Express 4.0: 更なる高速化

- 16GT/s(16Gbps)に決定！
 - http://www.pcisig.com/news_room/Press_Releases/PCIe_4_0_BitRate_Release_1_29_11.pdf
- 128b/130b、3タップ・ディエンファシスはそのまま
- 実現にあたっての検討されている技術
 - DFEの必須化とマルチタップ化(8Gbpsでは1タップでオプション)
 - パッケージ特性の改善
 - 基板素材の変更
 - リタイマの併用
 - その他

NEWS RELEASE

Editorial Contact:
Claire Castellanos
Office: 503-619-0425
Email: pr@pcisig.com



PCI-SIG ANNOUNCES PCI EXPRESS 4.0 EVOLUTION TO 16GT/S, TWICE THE THROUGHPUT OF PCI EXPRESS 3.0 TECHNOLOGY

16GT/s increases I/O bandwidth, scaling the interconnect to meet emerging application requirements

BEAVERTON, Ore. – November 29, 2011 – **PCI-SIG®**, the organization responsible for the widely adopted **PCI Express®** (PCIe®) industry-standard input/output (I/O) technology, today announced the approval of 16 gigatransfers per second (GT/s) as the bit rate for the next generation of PCIe architecture, PCIe 4.0. This decision comes after the PCI-SIG completed a feasibility study on scaling the PCIe interconnect bandwidth to meet the demands of a variety of computing markets.

PCI Express Gen3.0 トランスミッタ・テスト



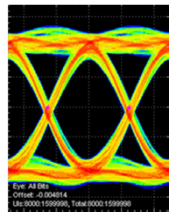
PCI **EXPRESS**®



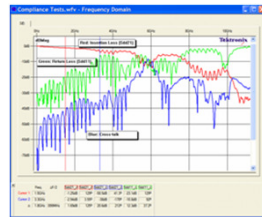
DSA70000Cシリーズ
デジタル・シリアル・アナライザ

PCI Express Gen3 CEM specコンプライアンス・テスト

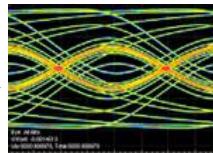
- CBB/CLBで取込んだデータに対し、遠端+イコライザをシミュレーションしてのアイ、ジッタの評価
 - コンプライアンス・チャンネルを適用
 - イコライザを最適化
 - 最適なプリセットを使用(1プリセットさえパスすればOK)
 - 最適なプリセットをが既知でない場合、プリセットごとの評価が必要



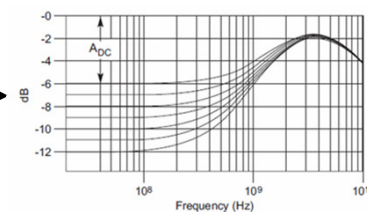
CBB・CLBからの
データの取得
(従来と同様)



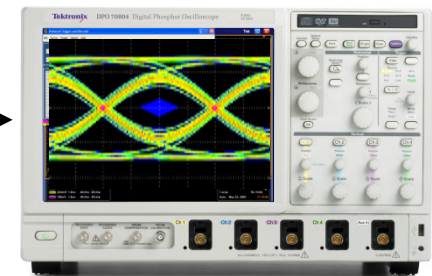
疑似コンプライアンス・
チャンネルの
特性を
印加
(エンベッド)



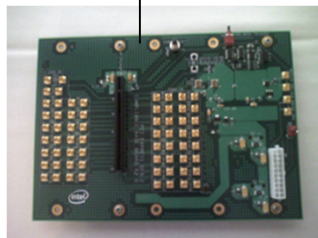
コンプライアンス・
チャンネルにより
損失を受け、
閉じたアイ



CTLE、DFEの適用



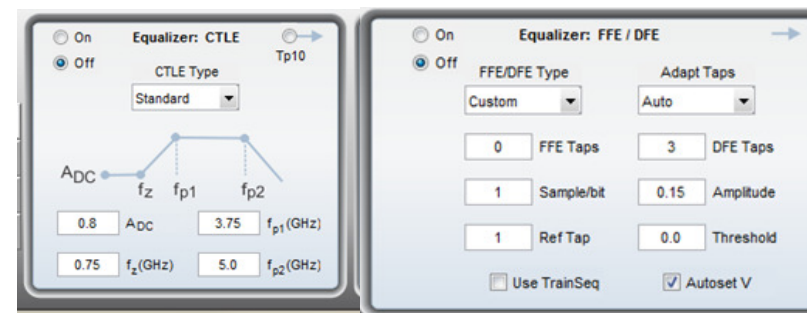
開いたアイの観測



イコライザとチャンネル・エミュレーションのソリューション

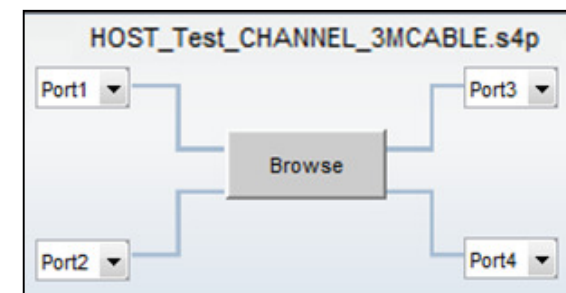
New ! SDLA Visualizer シリアル・データ・リンク解析ソフトウェア

- 高速シリアル信号テストのための波形処理ツール
 - フィクスチャ・ディエンベディッド
 - チャンネル・エンベディッド
 - レシーバ・イコライゼーション (CTLE、FFE、DFE)
- Sパラメータ (TouchStone) を ArbFilter に変換可能
 - *.S1p、*.S2p、*.S4p (差動、シングルエンド)
- 処理結果をプロットで確認可能
- DPOJETと連動して、アイ、ジッタなど自動テスト、判定可能
- PCI Express Rev.3.0 (8Gbps) トランスミッタ・テストでの測定の際のレシーバ・イコライザ最適化

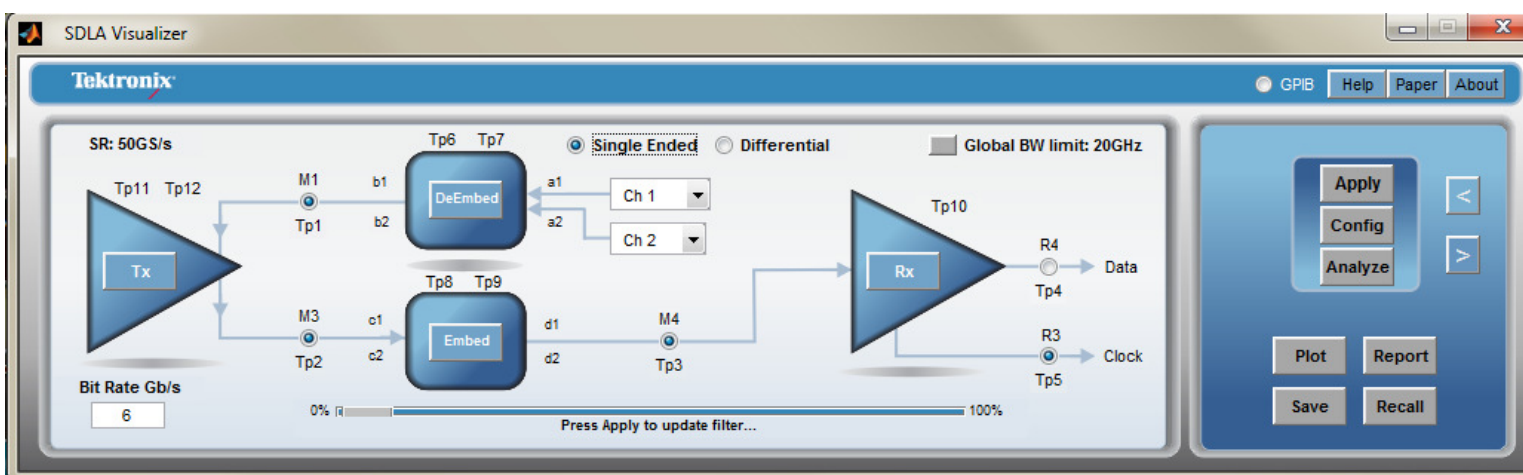


CTLE

DFE

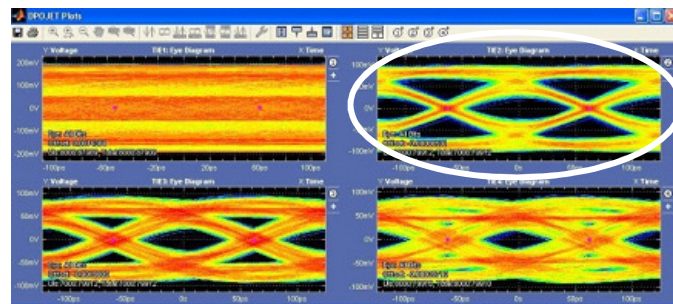
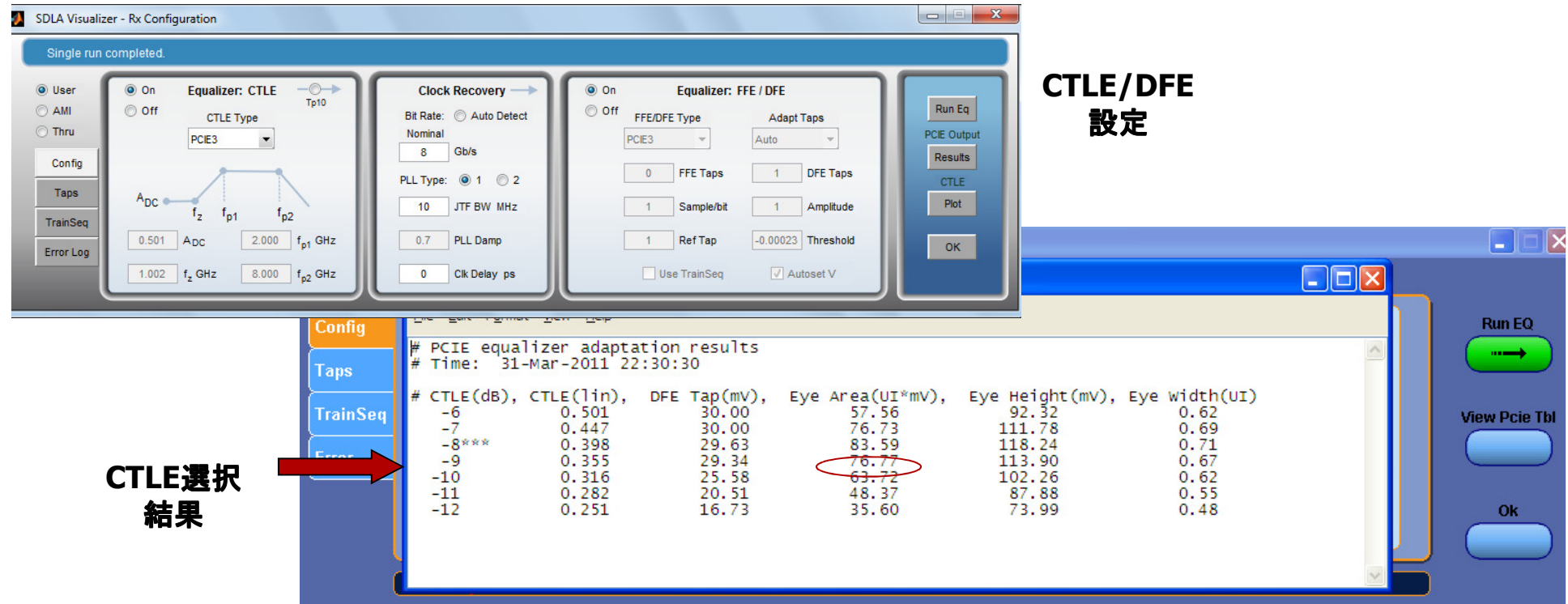


チャンネル
エンベディッド

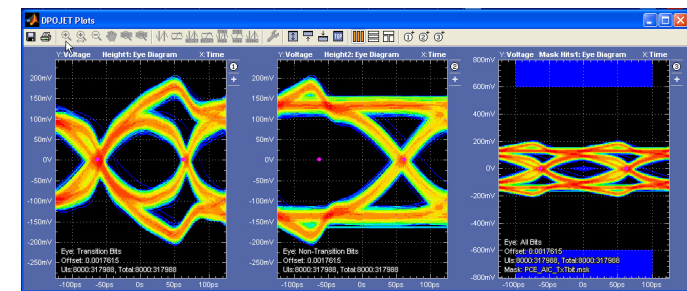


PCI Express Gen3 トランスミッタ・テストでの レシーバ・イコライザの最適化

- SDLAにより、最適CTLE(アイ開口=EW*EH 最大)の自動選択、DFE適用



最適CTLE選択

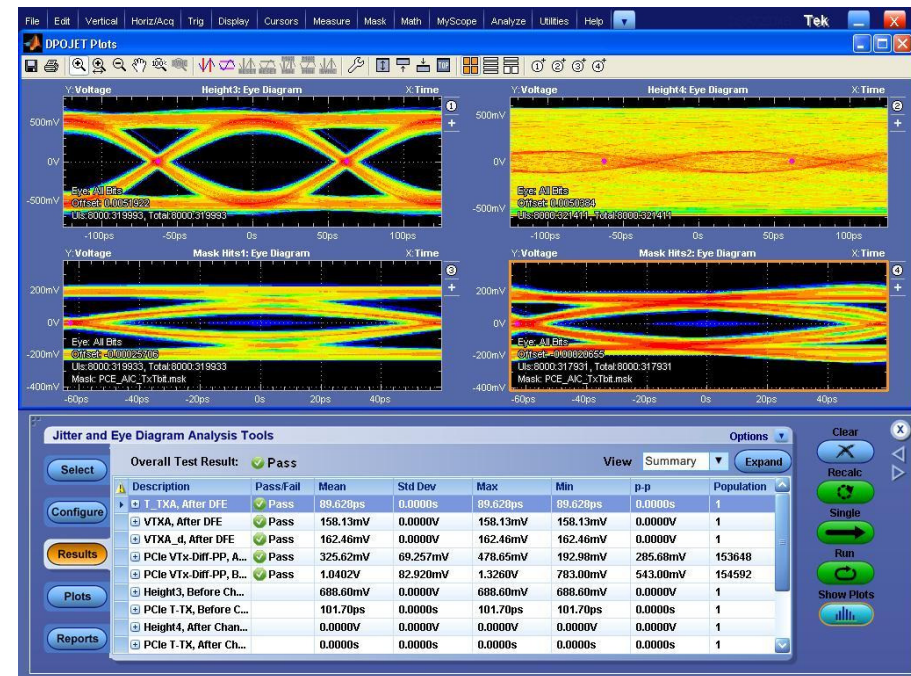


DFEの適用

DPOJET

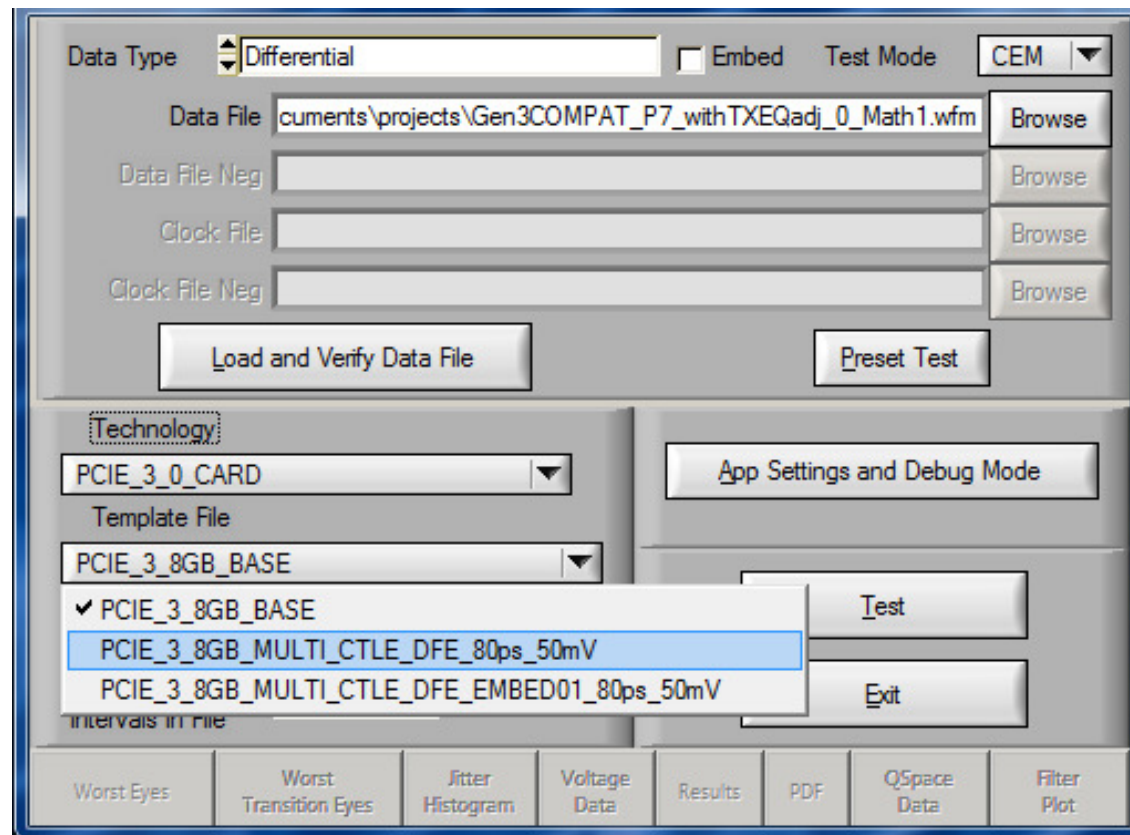
ジッタ&アイ・ダイアグラム解析ソフトウェア

- DSO/DSA70000シリーズでのPCI Express、DisplayPortなどのコンプライアンス・テスト、デバッグ、バリデーションに
- 当社の標準コンプライアンス・テスト・ソフトウェア
- コンプライアンス・モジュール、セットアップ・ファイル、リミット・ファイルの提供で標準規格に対応
 - DisplayPort
 - PCI Express Gen1/2/3
 - USB3.0
 - MIPI
- SigTestとの使い分けは
 - プリテスト/解析・デバッグはDPOJETで
 - ワークショップでのフォーマット出力はSigTestで



Sigtestによるコンプライアンス・テスト

- Windowsベースの正式なコンプライアンス測定ツール
- Pass/Fail判定付の ジッタ / アイ振幅測定
- 各測定器ベンダ・サポート
 - 差動、シングルエンド波形を指定
- 測定機能
 - チャンネル・エンベディング
 - CTLE/DFE
 - プリセット測定
 - Rj/Dj分離
 - Dual Port 測定(System)



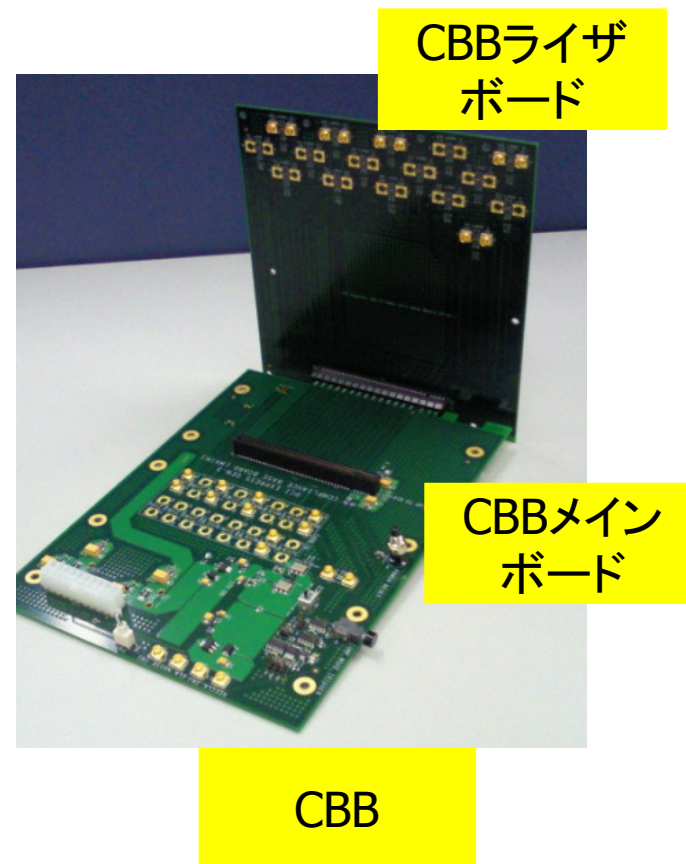
PCI Express Gen3用CLB/CBBテスト・フィクスチャ

変更点

- コンプライアンス・モート・トグルのためのRxへのパルス・バースト入力方法の変更
 - SMPケーブルで接続
 - 任意のRxレーンへ入力可能に
- クロック選択をジャンパからスイッチに変更
- RXテスト用の疑似チャンネル
 - CLB: パッケージ・トレース+10cmトレース
 - CBB: メイン・ボード: 10cmトレース。ライザ・ボード: パッケージ・トレース+25cmトレース



CLB

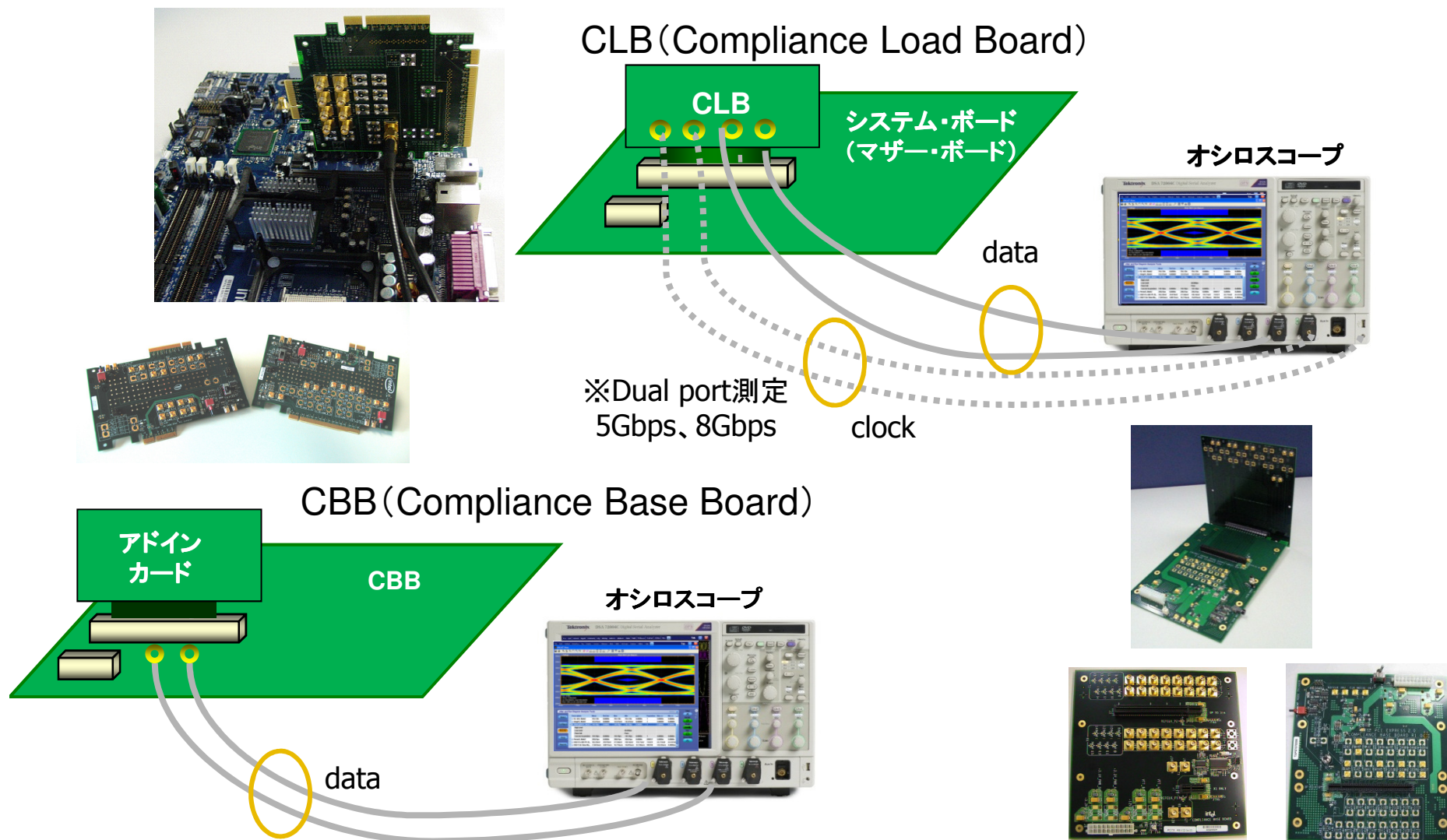


CBBライザ
ボード

CBBメイン
ボード

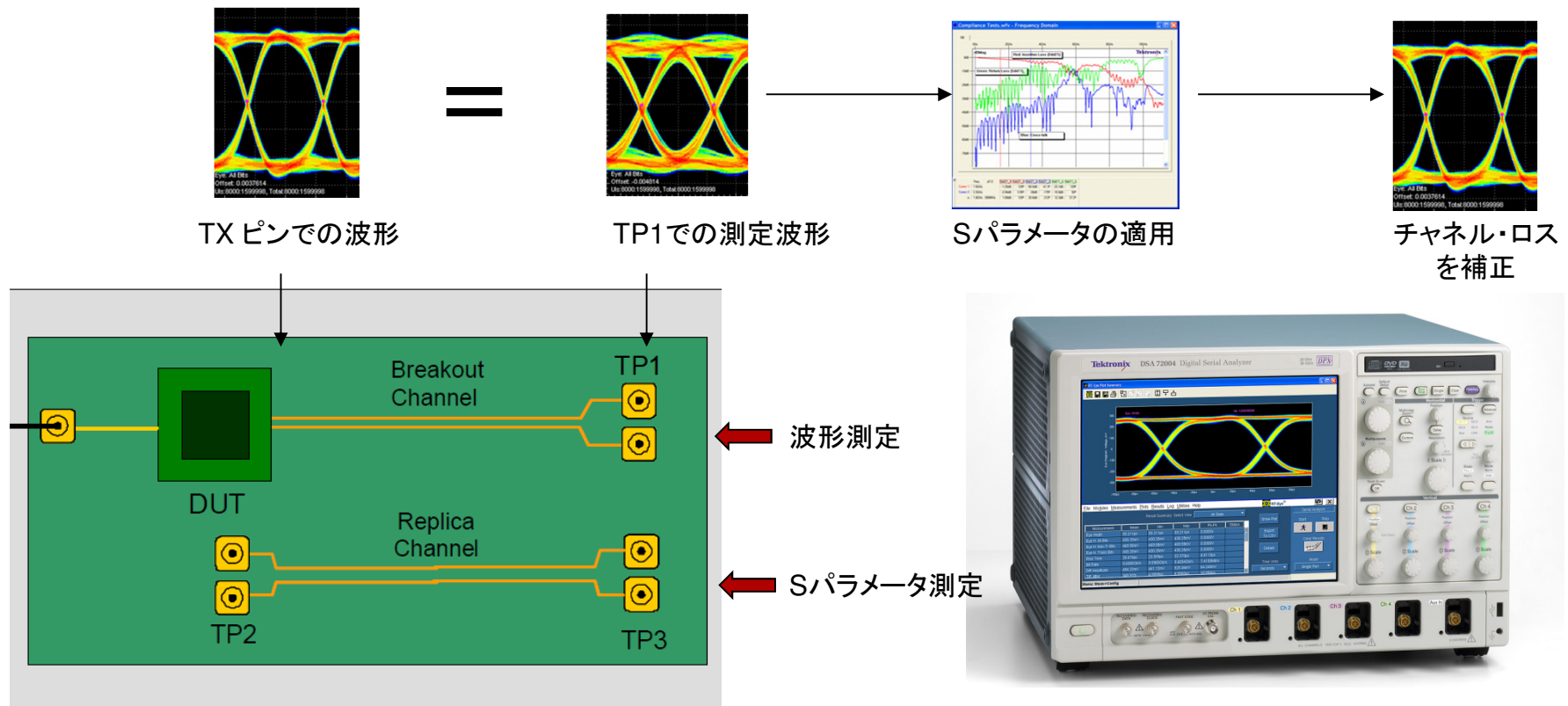
CBB

テスト・フィクスチャ使用形態



PCI Express Gen3 Base Spec Tx 測定

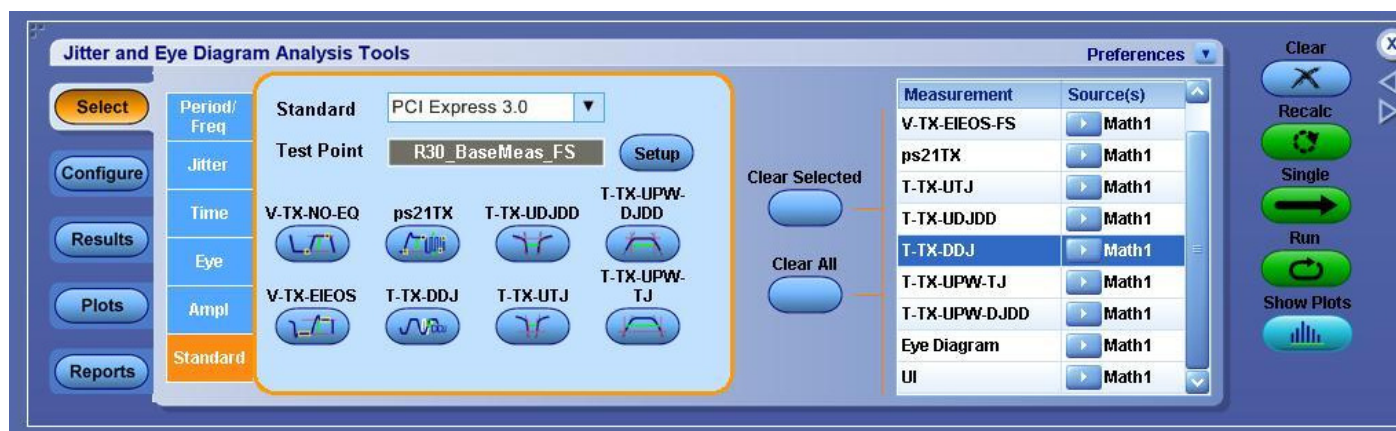
- Base SpecはTxピンで規定
- ディ・エンベディングはTxピンでの測定のため必須
 - テクトロニクス PCIe 3.0 De-embed MOI
 - Sパラメータをレプリカ・チャンネルで測定し、SDLAでディエンベッド・フィルタ生成



PCI Express Gen3.0 Base Spec測定内容

- コンプライアンス・テストでないため、測定項目はCTS(CEM Specベース)で規定されていない
 - 全仕様の確認が必要
- 5Gbpsにない新しい項目 – **DPOJET op.PCE3でサポート**
 - TX Voltage with no TX Equalization
 - Minimum swing during EIEOS
 - Pseudo package loss
 - Data Dependent Jitter
 - TX **Uncorrelated** Deterministic Jitter
 - TX **Uncorrelated** Total Jitter
 - Deterministic DjDD **Uncorrelated** Pulse Width Jitter
 - Total **Uncorrelated** Pulse Width Jitter

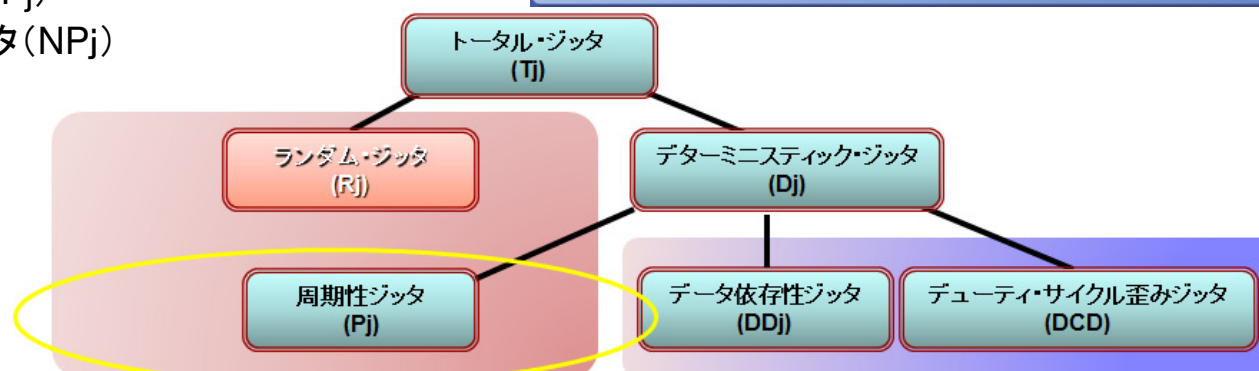
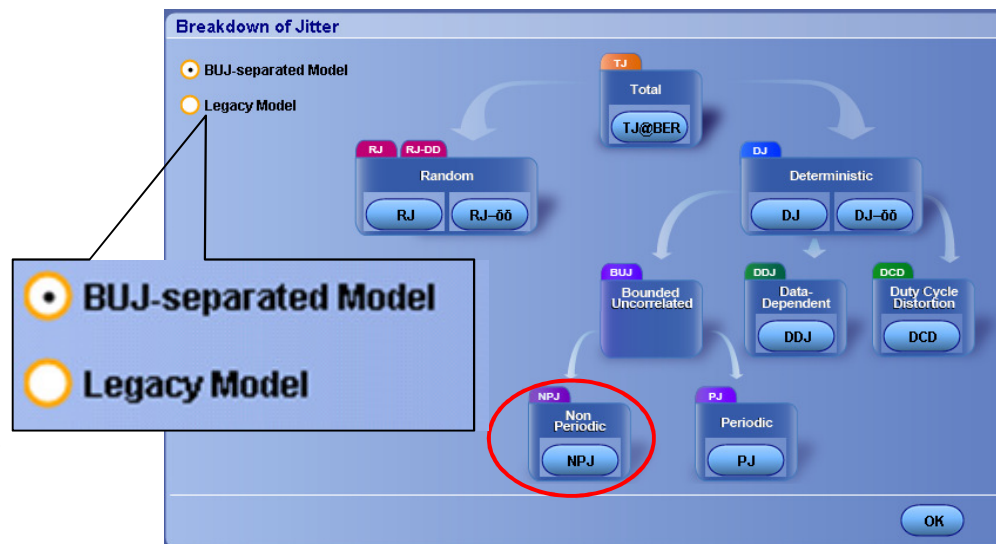
Correlated ジッタ(DDJ/ISI)はイコライザにより対策可能
Uncorrelated ジッタ(Pj/Rj/クロストークジッタ=BUJ)の測定、低減が重要



参考

DPOJETによるBUJの測定

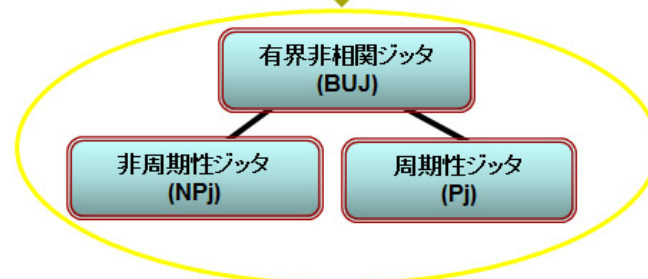
- SAS-12Gbpsなど10Gbps以上の規格
必須な測定
- クロストークの影響によるジッタ
 - BUJ: Bounded Uncorrelated Jitter (有界非
相関ジッタ)
 - 周期性ジッタ (Pj)
 - 非周期性ジッタ (NPj)



非相関

相関

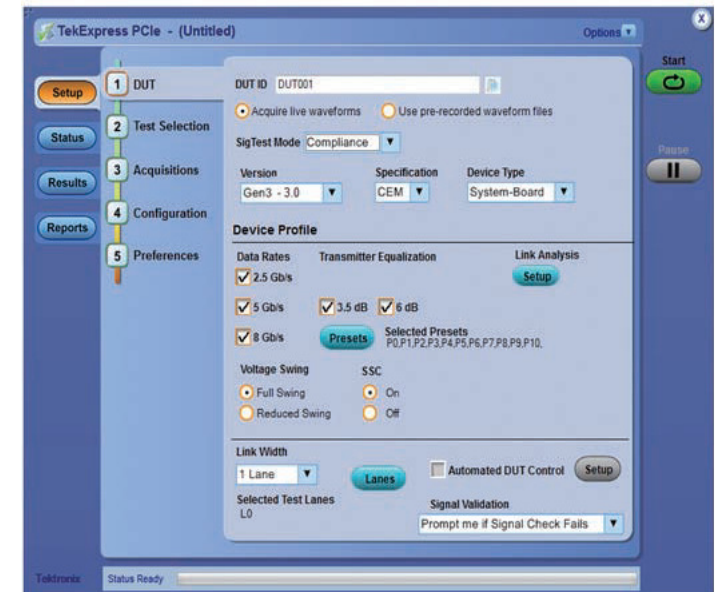
■ ジッタ成分にピークを持たない。非有界
□ ジッタ成分にピークを持つ。有界



- Pj: 従来同様にジッタ周波数スペクトラム分布上にピークを持つジッタ
- NPj: クロストークが原因。スペクトラム分布上にピークがない。分布はガウス曲線に類似、そのためRjと誤認識される

必要な機材 (PCI Express Gen3: 8 Gbps) コンプライアンス・テスト(信号品質)、物理層測定

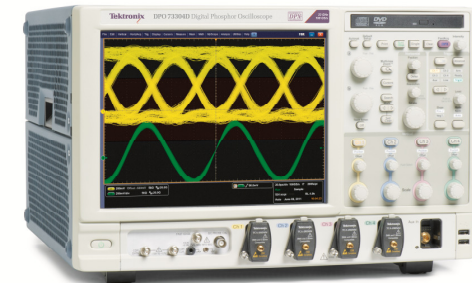
- デジタル・オシロスコープ: 12GHz帯域、40GS/s以上。下記いずれかの機種
 - 推奨は16GHzデジタル・シリアル・アナライザ
 - DSA72504D型 25GHz100GS/s
 - DSA72004C型 20GHz50GS/s
 - DSA71604C型 16GHz50GS/s
 - DSA71254C型 12.5GHz50GS/s
- ケーブル (CLB3/CBB3)
 - SMAケーブル
 - SMA-SMP変換アダプタ
 - SMA-SMPケーブル
- コンプライアンス・テスト・ソフトウェア
 - SIGTEST 3.2.0
 - DPOJET ジッタ&アイ・ダイアグラム解析ソフトウェア※1
 - New !** opt.PCE3 PCI Expressモジュール
 - Sigtestとテスト波形切り替え用AFG/AWGを自動制御
 - Gen1/2/3のTxテストをワンクリックで完全自動化
 - Gen3のプリセット測定も自動化
- シリアル・データ・リンク解析ビジュアライザ
 - New !** Opt.SDLA64 SDLAシリアル・データ・リンク解析ビジュアライザ



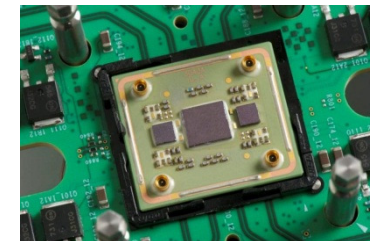
※1. DSAシリーズには標準付属

DSA70000Dシリーズ デジタル・シリアル・アナライザ

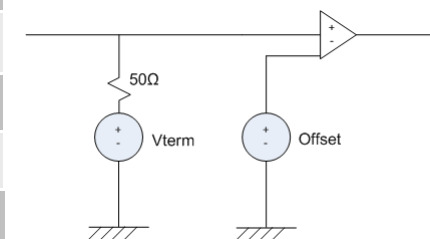
- 「最高の波形特性」と「強力な解析能力」



型名	DSA7334D型	DSA72504D型
最高周波数帯域	33GHz	25GHz
2ch(RT)、4ch(ET、アンダー・サンプリング)		
4ch(RT)	23GHz	
立上り時間(20%-80%)	9ps	12ps
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル	
最大レコード長	250Mポイント@4チャンネル	
垂直軸ノイズ (フルスケールに対するp-p)	0.58%	
フラットネス	±0.5dB(最高周波数帯域の半分まで)	
ジッタ・ノイズ・フロア(rms)	250fs	
デルタ時間測定確度(rms)	347fs	330fs
垂直軸感度	6.25mV/div~120mV/div (62.5mV~1.2Vフルスケール)	
オフセット・レンジ 終端電圧レンジ	+3.4~-3.4V	

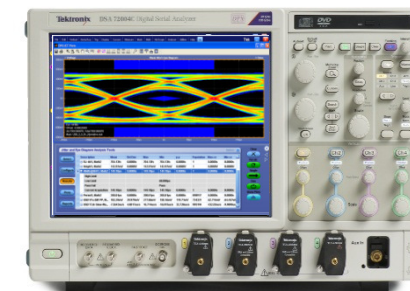


IBM社SiGe 8HP BiCMOSプロセスによる新設計のフロントエンドにより、33GHzで必要とされる垂直ノイズとジッタ・ノイズ・フロアの低減化を実現



終端電圧機能によりバイアス Tee、DCブロックを併用することなく、DCバイアス回路を直結可能

DSA70000Cシリーズ デジタル・シリアル・アナライザ



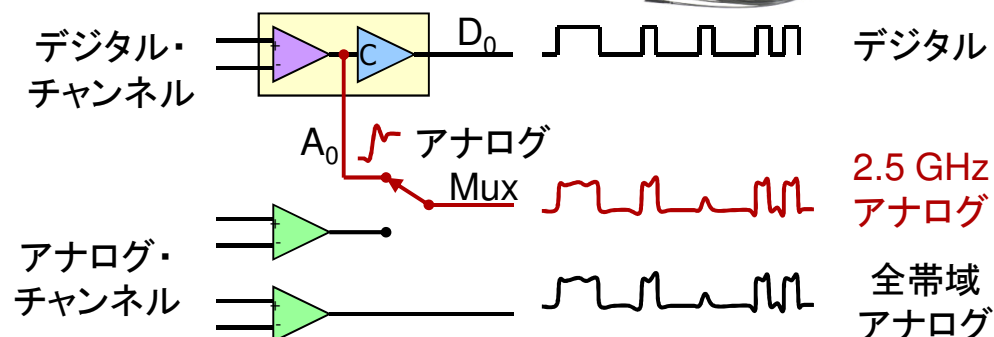
- 「最高の波形特性」と「強力な解析能力」

型名	DSA72004C型	DSA71604C型	DSA71254C型	DSA70804C型	DSA70604C型	DSA70404C型
最高周波数帯域	20GHz	16GHz	12.5GHz	8GHz	6GHz	4GHz
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル			25GS/s@4チャンネル		
最大レコード長	250Mポイント@4チャンネル			100Mポイント@4チャンネル		
垂直軸ノイズ(フルスケールに対するp-p)	0.77%	0.43%	0.38%	0.35%	0.32%	0.28%
フラットネス	±0.5dB(最高周波数帯域の半分まで)					
ジッタ・ノイズ・フロア(rms)	290fs	270fs		300fs		340fs
デルタ時間測定確度(rms)	1.43ps	1.15ps	1.23ps	1.24ps	1.33ps	1.48ps
DSA70000D/C、MSO70000Cシリーズ共通						
主な機能(標準)	サーチ & マーク、コミュニケーション・マスク・テスト、ジッタ／アイ・ダイアグラム解析、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ／プロトコル・デコード&サーチ					
主な機能(オプション)	- フレーム & ビット・エラー・ディテクタ ビジュアル・トリガ - I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード & トリガ - DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 - 周波数帯域のアップグレード					
その他	- 毎秒30万波形取込みレート - DSP特性補正、DSP帯域拡張(DSA72004C型) - 周波数帯域選択機能、ArbFilter機能					

MSO70000Cシリーズ – 業界唯一 高性能ミックスド・シグナル・オシロスコープ



- 業界唯一 : MSO唯一のiCapture
 - 1回のプローブ接続でアナログとデジタルの信号の取込み
- 任意のデジタル・チャンネルとアナログ・チャンネルをすばやく切り替え
 - 同時に観測可能
- 汎用1GHzパッシブ・プローブと2.5GHzアクティブ差動プローブを用意



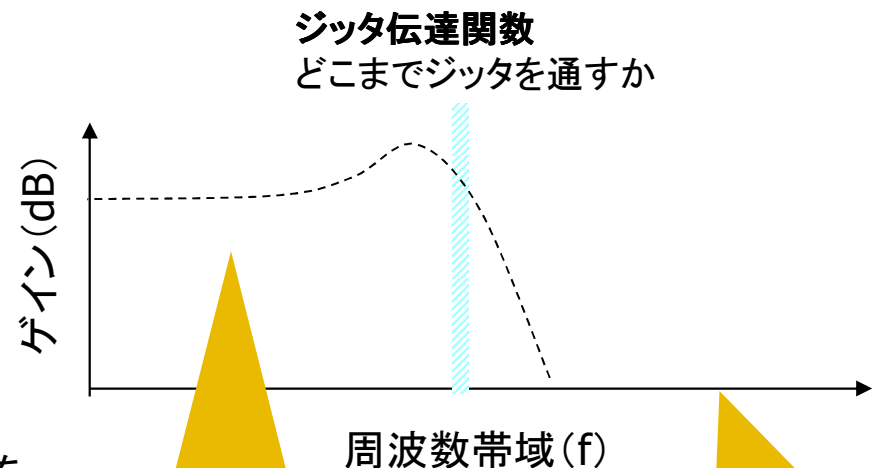
iCapture概念図

型名	MSO72004C型	MSO71604C型	MSO71254C型	MSO70804C型	MSO70604C型	MSO70404C型
周波数帯域	20 GHz	16 GHz	12.5 GHz	8 GHz	6 GHz	4 GHz
アナログ・チャンネル	4					
デジタル・チャンネル	16					
サンプル・レート(アナログ)	50GS/s@4チャンネル、100GS/s@2チャンネル			25 GS/s@4チャンネル		
サンプル・レート(デジタル)	12.5 GS/s					
レコード長 (全チャンネル)	250 M ポイント			125 M ポイント		
バス・トリガ／デコード(オプション)	パラレル、I ² C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ					
iCapture®	○					
ロジック・クオリファイ・トリガ	○					
DSAパッケージ・オプション	DSAU			DSAH		

PLLループ帯域幅、ピーキング測定(アドイン・カード)

- トランスミッタのPLLのジッタ伝達特性
 - ジッタを増加させるピーキングが3dB以内であること
 - 2.5Gbps:ループ帯域幅(-3dB)
 - ピーキング3dB以内:1.5-22MHz
 - 5Gbps:ループ帯域幅(-3dB)
 - ピーキング1dB以内:5-16MHz
 - ピーキング3dB以内:8-16MHz
 - 8Gbps:ループ帯域幅(-3dB)
 - ピーキング2dB以内:~4MHz
 - ピーキング1dB以内:~5MHz
- Rev.2.0よりコンプライアンス・テスト項目に
- 現在2種類の方法がSIGで承認
 - スペクトラム・アナライザ測定法
 - クロック・リカバリ法
- その他、弊社ではAWG任意波形ジェネレータを

使用した方法も可能

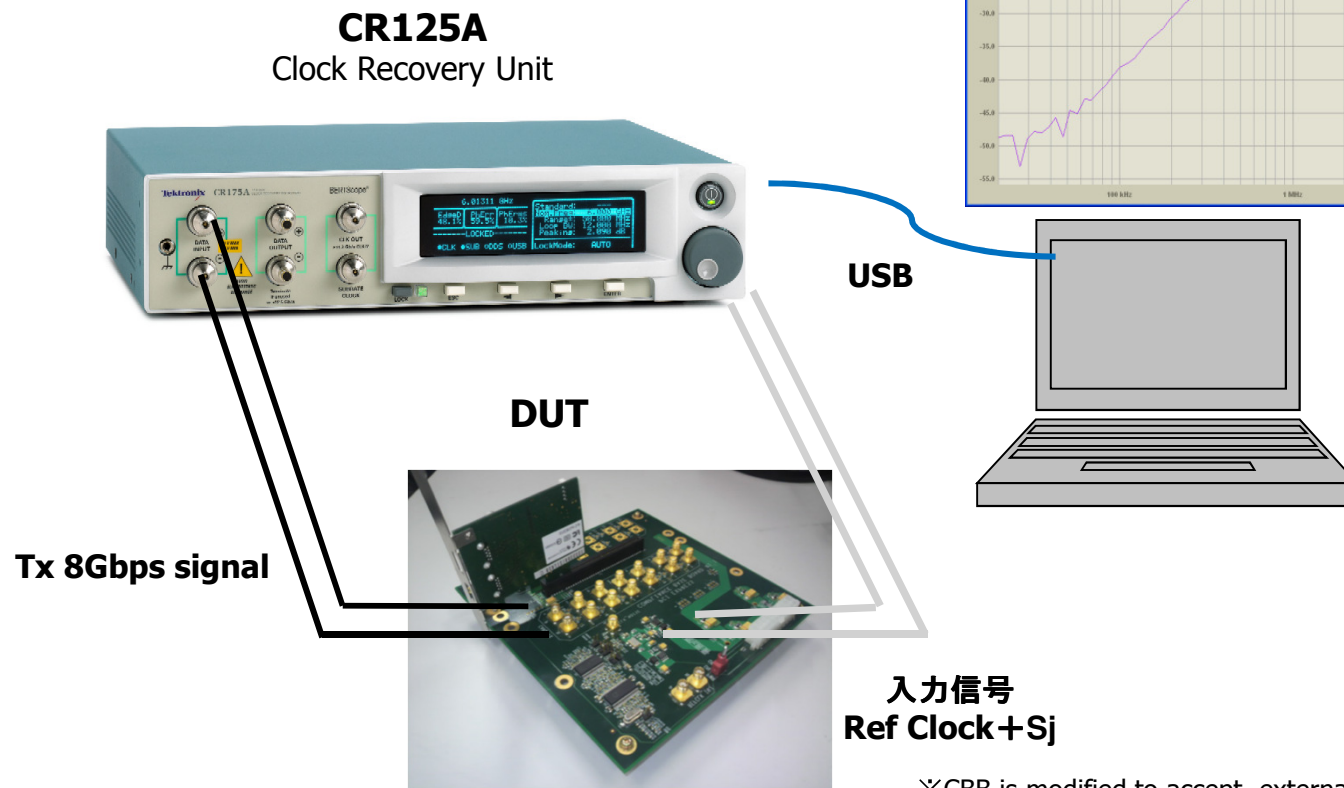


リファレンス・クロックの低周波ジッタに対してPLLは追従。その結果、リファレンス・クロックの低周波ジッタはそのままTx出力に重畳される形に

リファレンス・クロックの高周波ジッタに対してPLLは追従しない。その結果、リファレンス・クロックの高周波ジッタはTx出力に重畳されない

PLLループ帯域幅、ピーキング測定(アドイン・カード) *New !* クロック・リカバリ法: CR125A型 op.PCIE8G

- Tx PLLループ帯域幅、ピーキングの自動テスト
 - PCIe 2.5/5/8Gbps
 - 簡単セットアップ
 - 自動校正機能



※CBB is modified to accept external ref clock

SDLA VisualizerとIBIS AMIモデル連携による PCIExpress チップ間インタフェース評価方法の提案

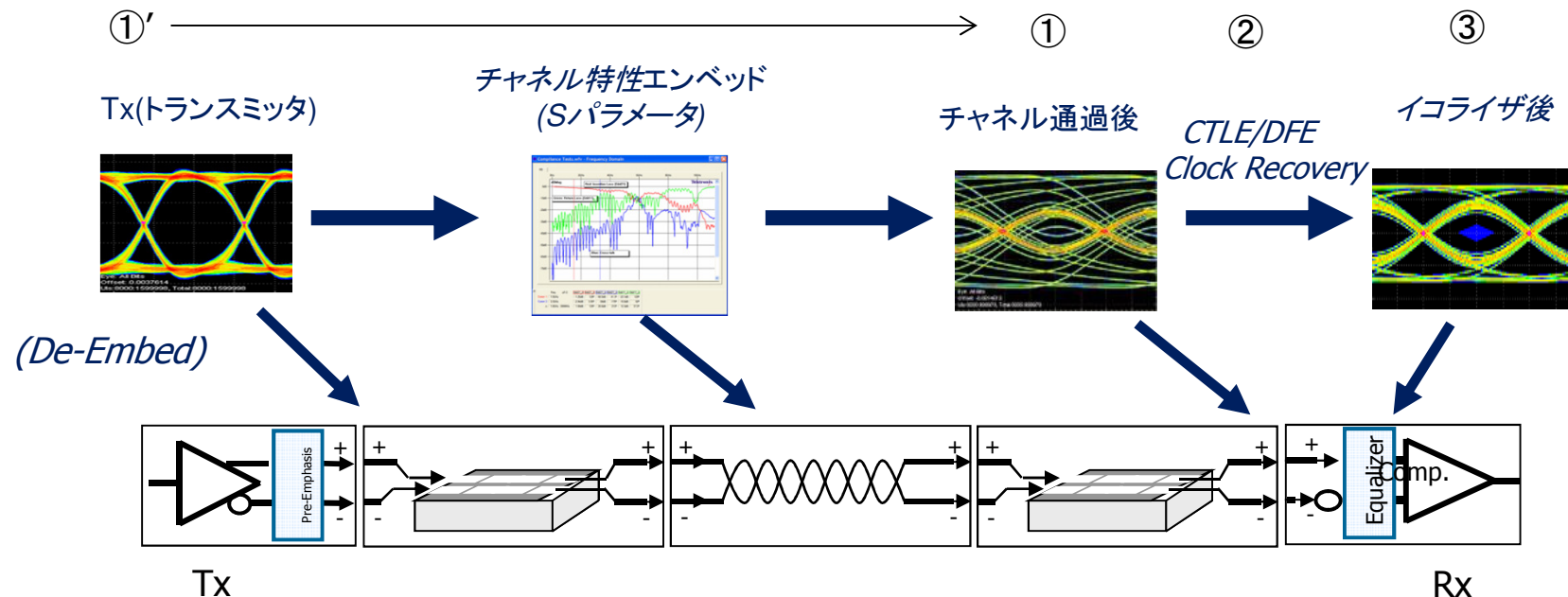
- 評価手順

- ①Rx入力において、差動プローブによりチャネル通過後の波形を取得
or ①'Tx出力において、差動プローブで波形を取得してチャネル特性をエンベッド(SDLA)
- ②取得波形に対して、イコライザ(CTLE/DEF)とクロック・リカバリ実施(SDLA)
- ③再生クロックを基準にイコライザ波形のアイ/ジッタ解析(DPOJET)

BASE/CEM規格とは条件が異なるためコンプライアンス・テストのツール使用不可



Rxでのイコライザ/クロック・リカバリに
IBIS AMIモデル使用

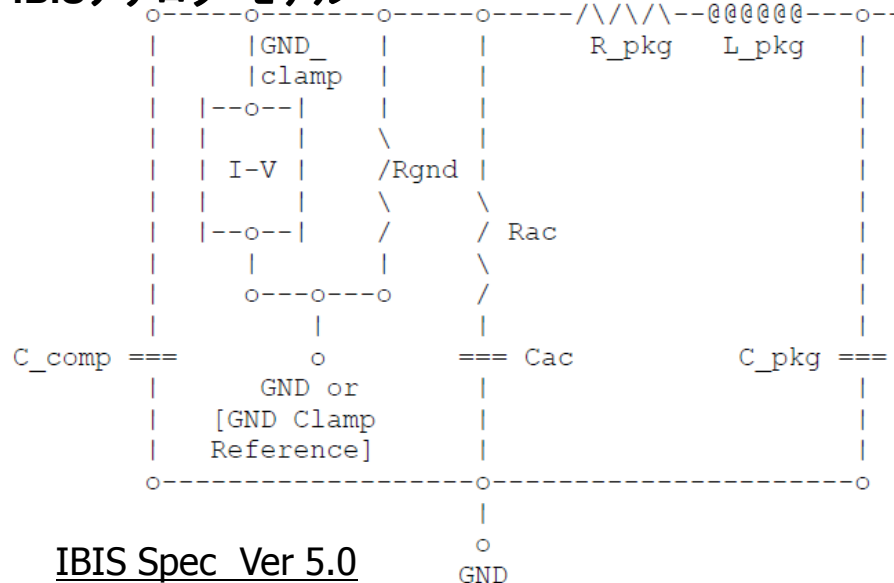


SDLA Visualizer

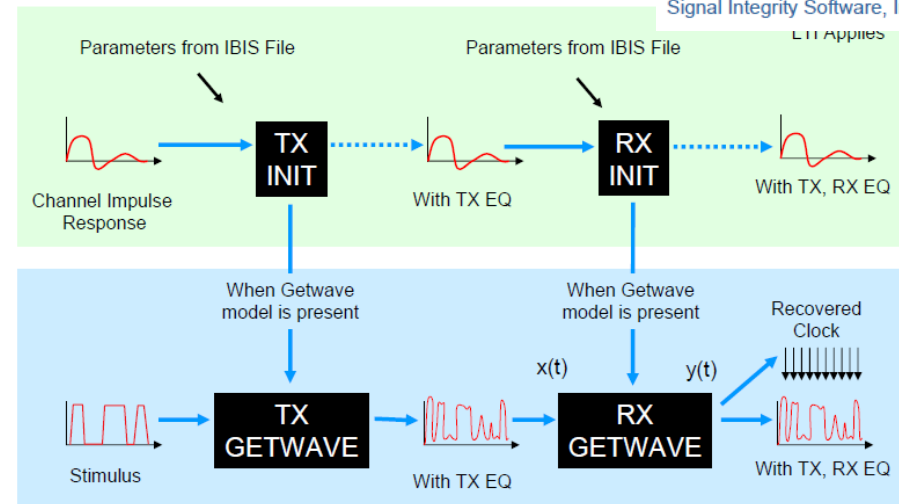
IBIS-AMI(Algorithmic Modeling Interface)とは

- SerDesデバイスのデジタル・モデル
 - アナログI/Oとパッケージの電気的特性を既定したIBISアナログ・モデルの拡張
 - Tx/Rxイコライザとクロック・リカバリのアルゴリズムのモデリング
- IBIS-AMIを使用すると
 - FFE/DFEの場合の最適なTapの使用とCDRアルゴリズムを使用可能
 - 独自のノイズ・キャンセレーション技術の使用やデータのポスト・プロセッシング
 - モデルはDLL(windows)/Shared lib(Unix)で提供されるのでIPのプロテクトになる
 - EDA、測定器メーカーなど異なるベンダー間で共通のモデル/インターオペラビリティ提供

IBISアナログ・モデル



IBIS-AMI Algorithmic Models



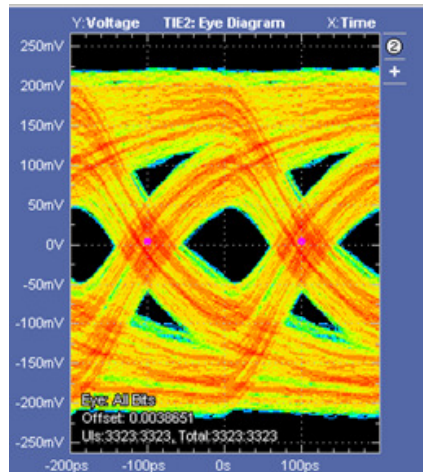
..... Optional
———— Required

IBIS-AMI Model Validation – July 2007

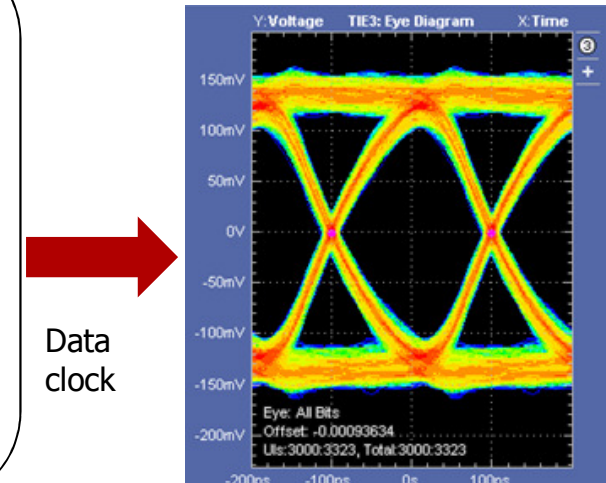
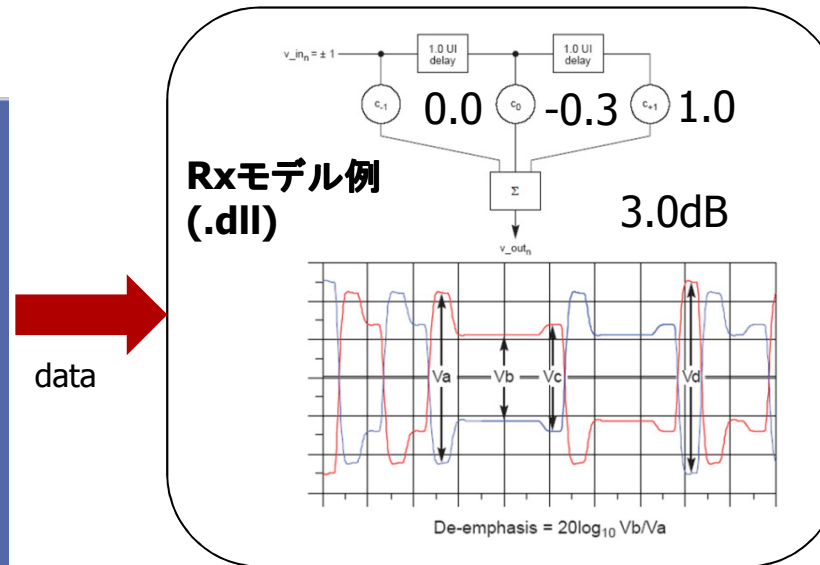
SDLA Visualizer 使用例

Rx AMI モデル(マルチ・タップ・イコライザ)による解析

- PHYベンダ提供のRxモデル(イコライザ)を使用



Rx入力波形



Rxモデル適用後
波形

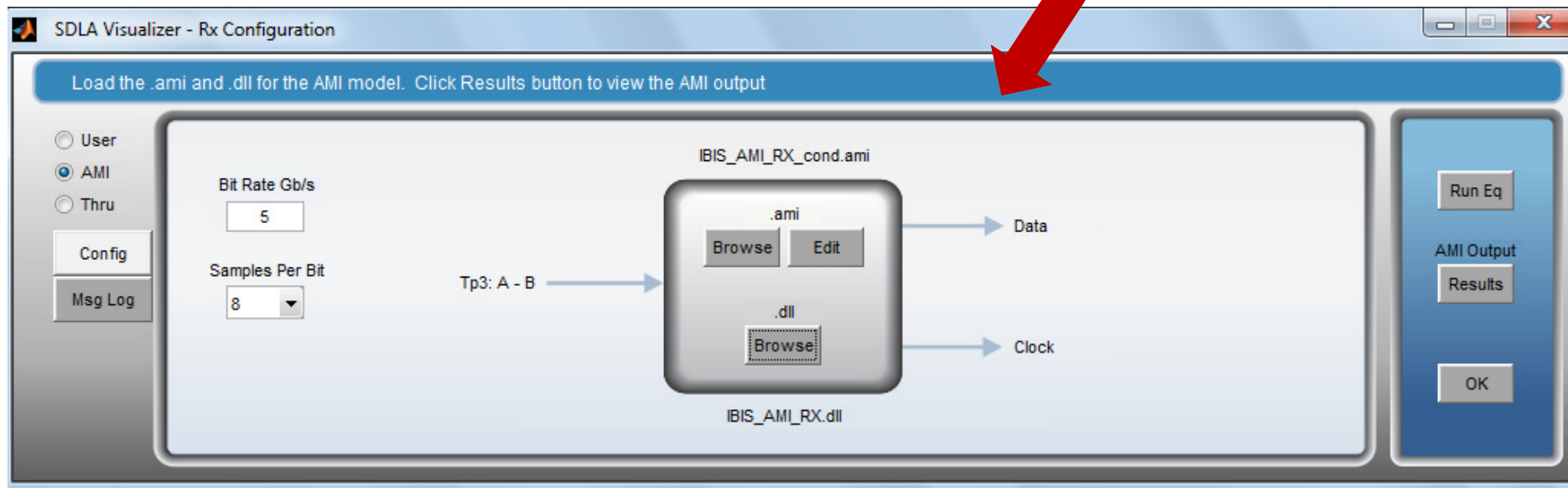
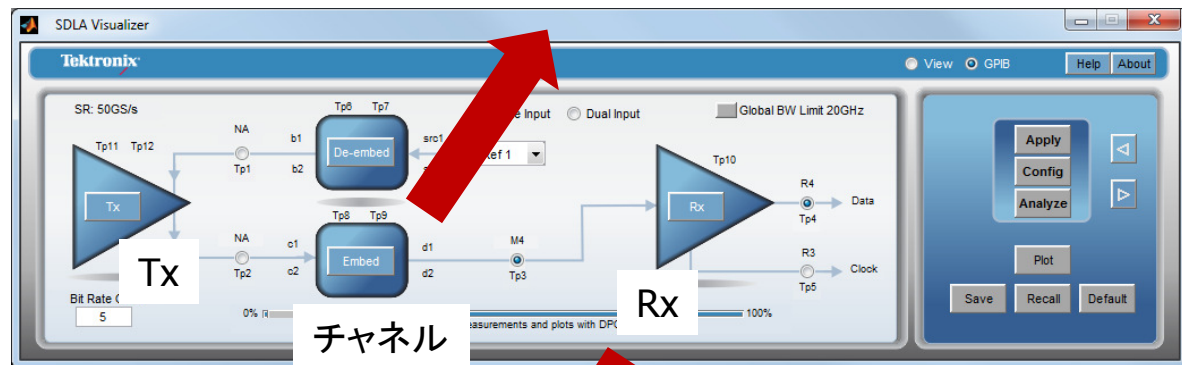
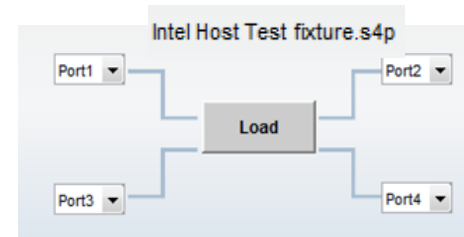
```
IBIS_AMI_RX_cond - Notepad
File Edit Format View Help
(amictfparams
  (Reserved_Parameters
    (Ignore_Bits (Usage Info)(Type Integer)(Default 150)
      (Description "DFE may take a half million bits ...."))
    (GetWave_Exists (Usage Info)(Type Boolean)(Default True)
      (Description "GetWave is well and truly provided ..."))
  ) | End Reserved_Parameters
  (Model_specific
    (fwd 1 -0.3 0)
    (bwd 0 0 0 0 0)
  )
)
```

**Rxモデル・パラメータファイル
イコライザ/リカバリ実行条件設定
(.ami)**

SDLA Visualizer Rx AMIモデル設定

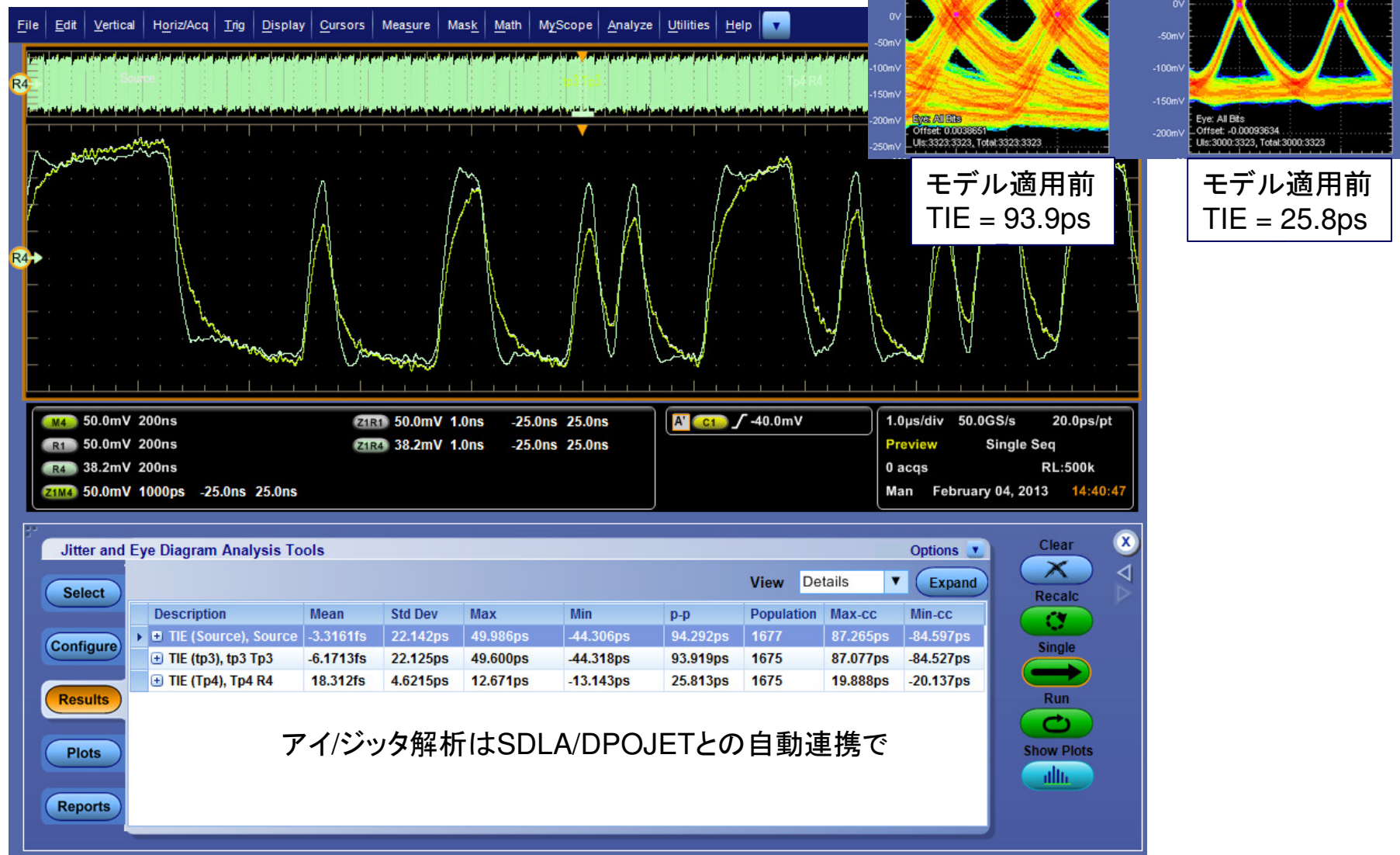
- Rxブロックにて、Rxモデル(.dll)とパラメータファイル(.ami)指定

S4Pファイル



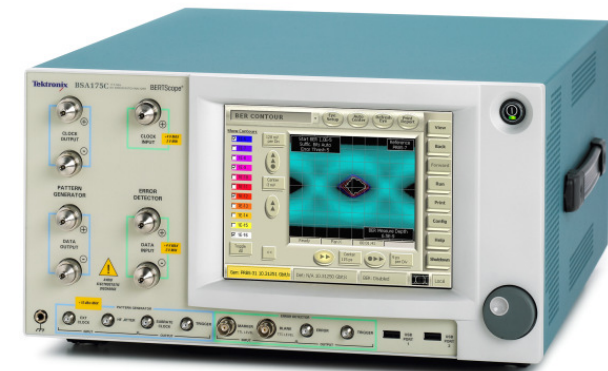
SDLA Visualizer

AMI Rxモデル適用結果例



PCI Express Gen3.0 レシーバ・テスト

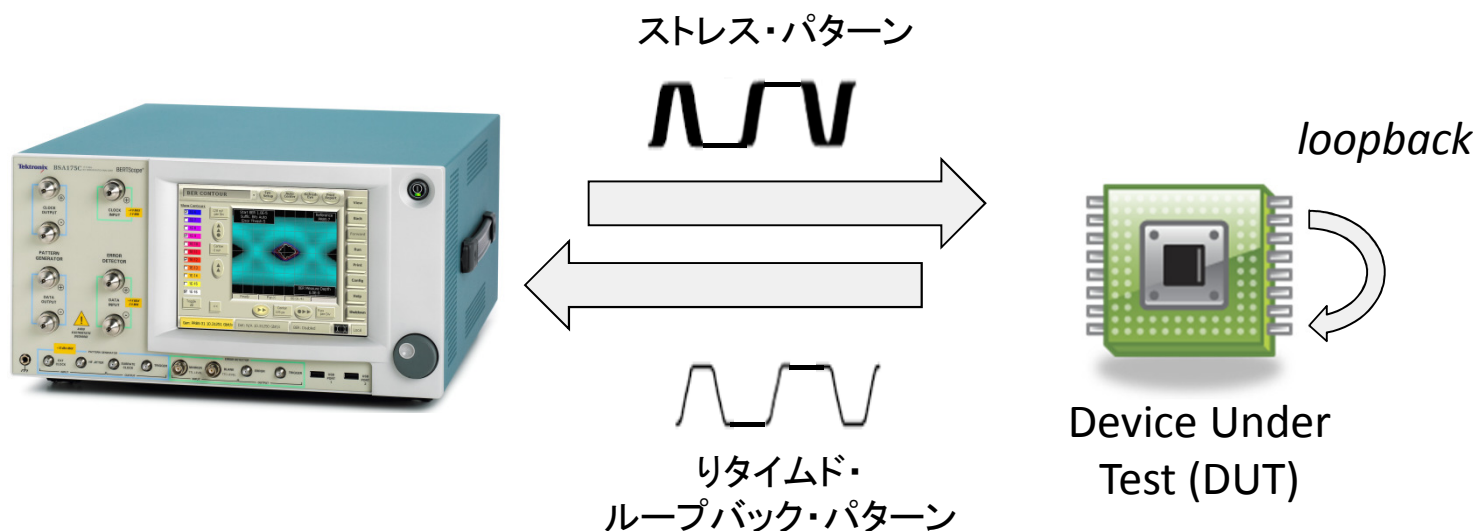
PCI 
EXPRESS®



BSA Cシリーズ
ビット・エラー・レート・アナライザ

PCI Express Gen3 Rx テスト概要

- 高速化とチャネル損失により、システム・マージンは減少、Txテストのみでは相互接続性の検証には不十分
- Rx テストは電圧振幅、ジッタ・ストレス含む必須のテスト
 - Tx Preset
 - チャネル損失 – テスト・フィクスチャ(CEM spec) 、 Calibration channel (Base spec)
 - Rj/Sj
 - 差動、コモン・モード(Base specのみ)のインターフィアレンス印加は新規要求
- DUTをループバックに入れて、ストレスパターンをRxに入力、Txから出力されるパターンをエラーディテクタでBER測定 $10E-12$ /信頼度95% = 6分15秒間エラーなし

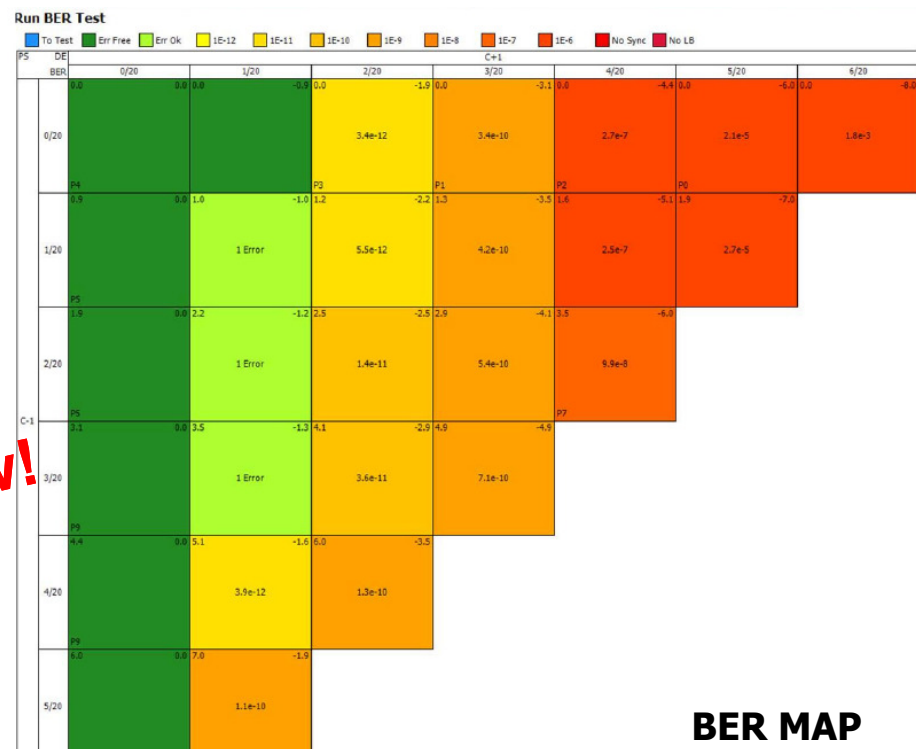


PCI Express Gen3 CEM spec/コンプライアンス・テスト

Rx ジッタ・トレランス・テスト

- CEMフォーム・ファクタのアドイン・カード、あるいは、システム・ボードのコンプライアンス・テスト
- テスト・フィクスチャ CLB3/CBB3のPCBTレースをレファレンス・チャンネルとして使用
- 校正されたストレス条件
 - Tx preset7 (3.5dB preshoot/6dB deemphasis)
 - Rj 1.5ps
 - Sj 12.5ps@100MHz
 - Diff Noise 20mV@2.1GHz
 - Eye幅 Rjにより調整
 - 41.25ps/アドイン・カード
 - 45ps/システム・ボード
 - Eye高さ DNにより調整
 - 46mV/アドイン・カード
 - 50mV/システム・ボード
- BSAPCI3 PCIe3.0 Rx自動テスト SW
 - 自動cal、link training、loopback、test
 - BER MapによるTxEQの最適化

New!



PCI Express Gen3 Base spec

Rx Stress Voltage Eye / Stress Jitter Eye

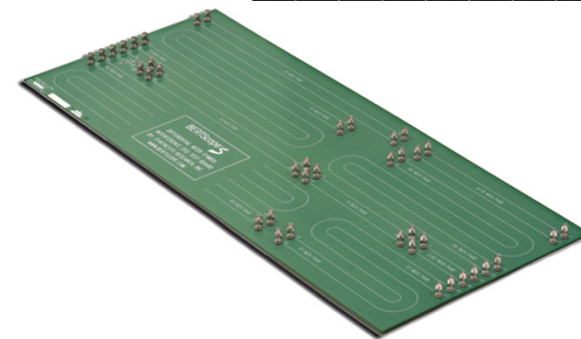
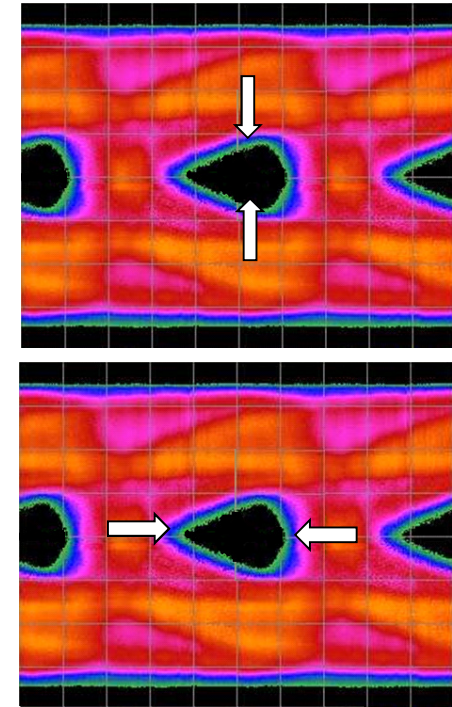
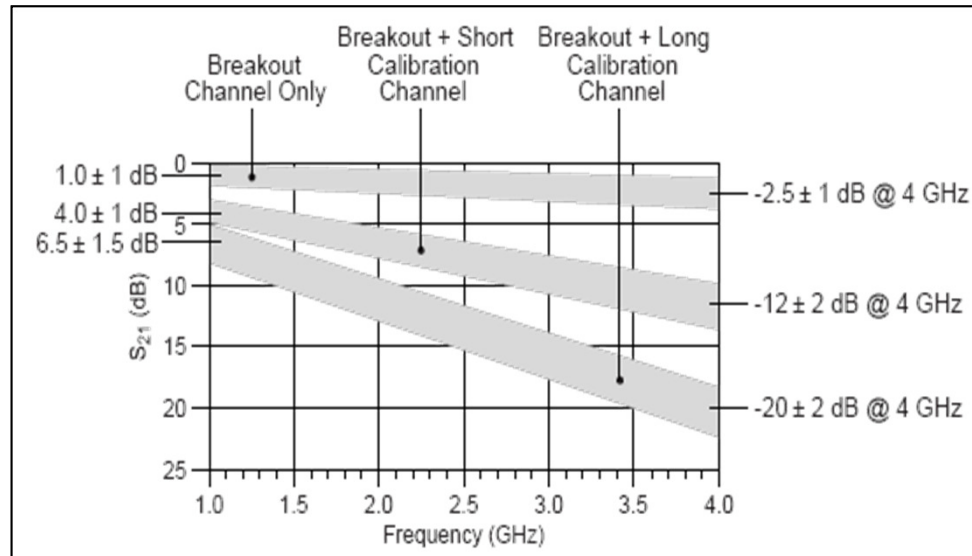
- 2種類のテスト

1. Stressed Voltage Eye

- 最少のアイ高さでのテスト
- 3種類のCalibration channel
(Long 20dB/ Medium 12dB/ Short 2.5dB @4GHz)
Long はCTLE+DFE、MediumとShortはCTLE使用
- Diff InterferenceでEye高さ(14mV)調整

2. Stressed Jitter Eye

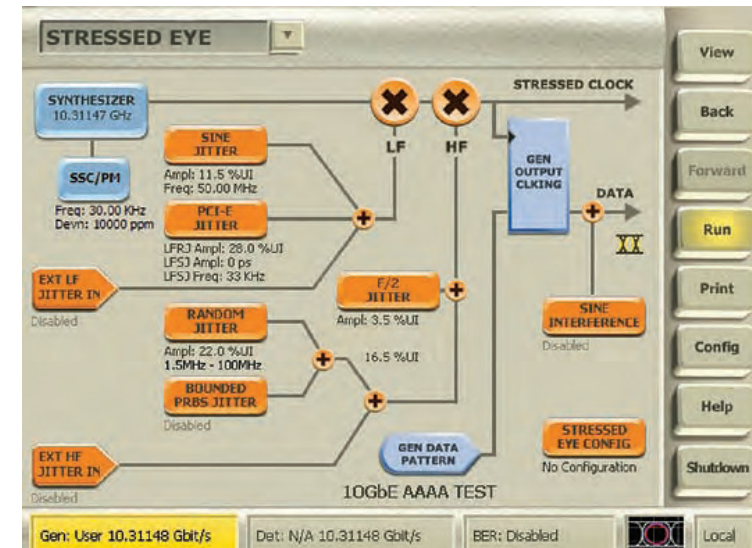
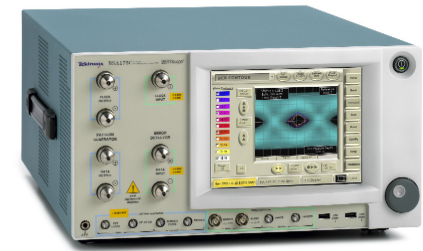
- 最少のアイ幅でのテスト
- Long Calibration channel使用
- Eye高さは、PG振幅、Eye幅はRjで調整



2.4"-40"までの9種類の差動トレース搭載の
ISIボードによりCalibration channel実現

BSA Cシリーズ ビット・エラー・レート・アナライザ ストレス生成機能

- 最高28.6Gbpsのパターン生成、高速BER／ジッタ測定、エラー解析が可能
 - 8.5Gbps、12.5Gbps、17.5Gbps、26Gbps、28.6Gbps
ビット・エラー・レート・アナライザ5機種
- ハードウェア・ベースのジッタ信号生成(opt.STR)
 - リアルタイムでのジッタ生成と可変
 - ジッタ要素
 - ランダム・ジッタ
 - 周期性ジッタ
 - F/2ジッタ
 - 有界非相関ジッタ (BUJ)
 - 外部ジッタ入力
 - 正弦波ノイズ
 - スペクトラム拡散クロック(SSC)



New!

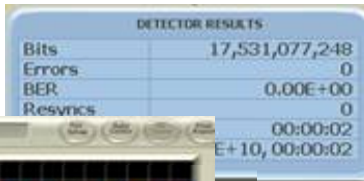
- BSAITS125 Interference Test Set
 - 内蔵Gen2、Gen3レファレンス・チャンネル
 - プログラマブル ISI
 - 連続可変、拡張ISIオプション



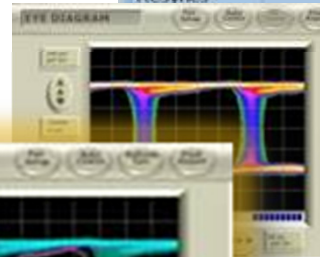
BERTScope解析ツール

アイ・ダイアグラム、BER輪郭、ジッタ・ピーク、ジッタ分離、エラー／パターン関連などテストからジッタに絡むデバッグまでを1台で容易に。

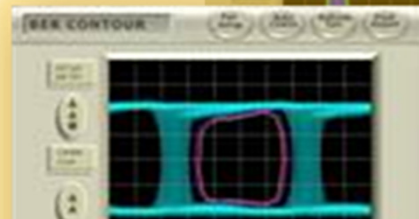
BER



アイ・ダイアグラム



BER輪郭



Qファクタ



ジッタ・トレランス

J-MAP(ジッタ成分分離)



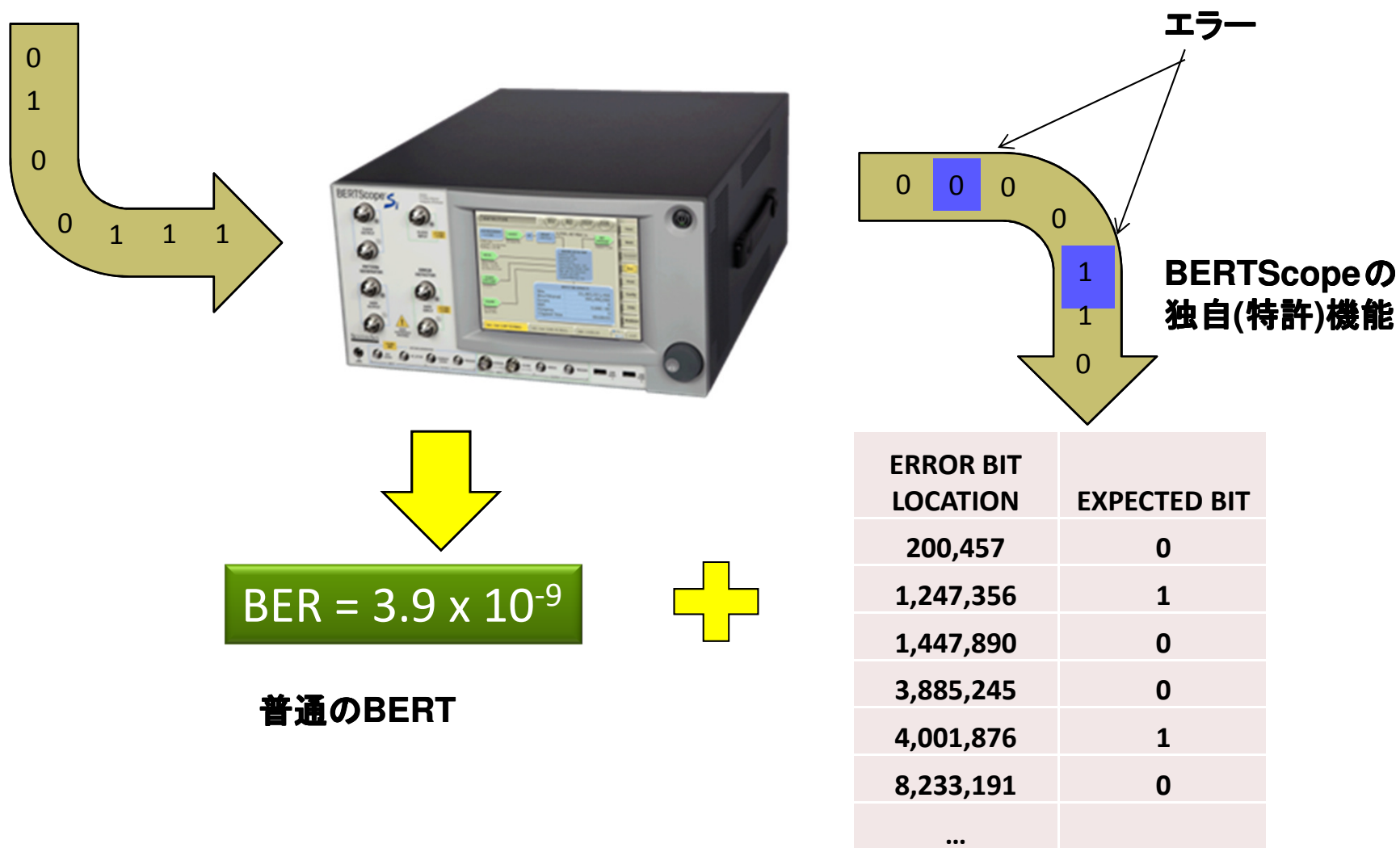
ジッタ・ピーク



エラー・ロケーション解析

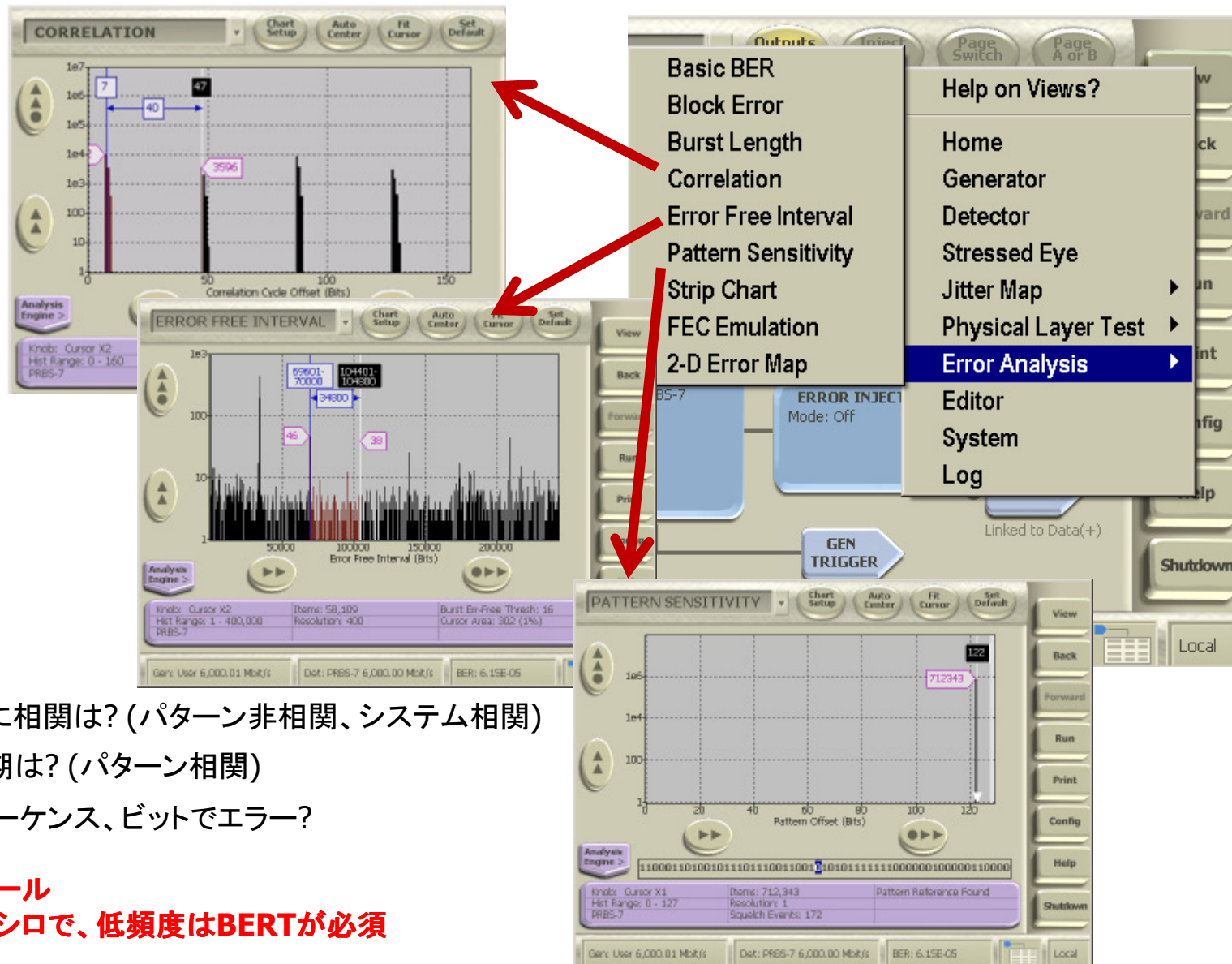
Error Location Analysis

- BERTScope はエラー発生時にエラー・ロケーションとエラーをリアルタイムにログ



Error Location Analysis ツール:

CORRELATION / ERROR FREE INTERVAL / PATTERN SENSITIVITY



エラー発生頻度に相関は? (パターン非相関、システム相関)

エラー発生周期は? (パターン相関)

どのパターン・シーケンス、ビットでエラー?

エラー解析ツール

高頻度はオシロで、低頻度はBERTが必須

PCI Express Gen3 インターコネクト・テスト

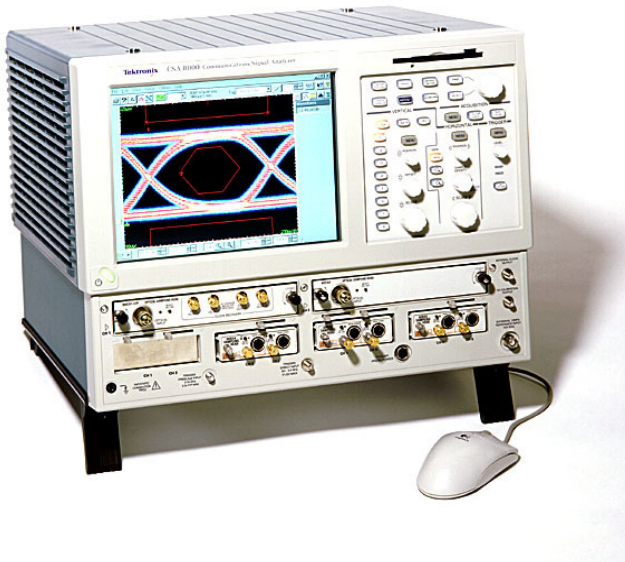


DSA8300型デジタル・シグナル・アナライザ本体+2チャンネル・サンプリング／TDRヘッド

PCI Express Gen3インターコネクト測定

- 差動トレース・インピーダンス - / システム、アドインカード
 - 70-100ohm - Gen3 (68-105ohm - Gen2)
 - Test SpecではInformative
- 差動データ・トレース遅延時間 - アドインカード
 - アドイン・カードのデータトレースのエッジからTx/Rxまでの遅延時間
 - 750ps以下
- Signal Integrity Requirements - コネクタ部
 - 差動インサクション・ロス(DDIL)
 - ≥ -0.5 dB up to 2.5 GHz;
 - $\geq -[0.8 \cdot (f - 2.5) + 0.5]$ dB for 2.5 GHz < $f \leq 5$ GHz (for example, ≥ -2.5 dB at $f = 5$ GHz);
 - $\geq -[3.0 \cdot (f - 5) + 2.5]$ dB for 5 GHz < $f \leq 12$ GHz
 - 差動リターン・ロス(DDRRL)
 - ≤ -15 dB up to 3.0 GHz;
 - $\leq 5 \cdot f - 30$ dB for 3.0 GHz < $f \leq 5$ GHz;
 - ≤ -1 dB for 5.0 GHz < $f \leq 12$ GHz
 - 対内スキュー
 - 5ps以下

差動インピーダンス、リターン・ロス測定



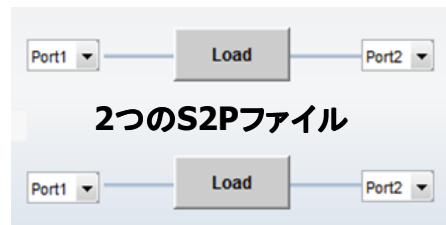
DSA8300型デジタル・シグナル・アナライザ
本体+2チャンネル・サンプリング/TDR
ヘッド

- 差動伝送路の解析に有効な真の差動TDR/TDT
- 任意の立上り時間でのシミュレーションが可能なフィルタ機能
- 測定項目
 - － インピーダンス
 - － 伝播遅延時間、スキュー
 - － クロストーク
 - － インサーション・ロス、リターン・ロス*
 - － RLC/T-Line/Sパラメータ抽出*
 - － モデリングとアイ・ダイアグラム・シミュレーション*

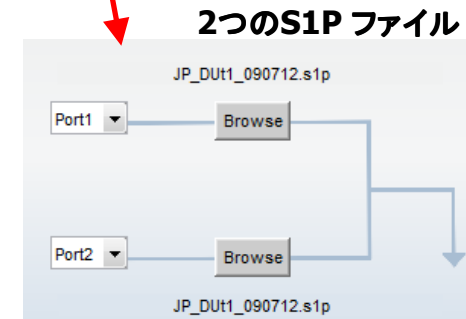
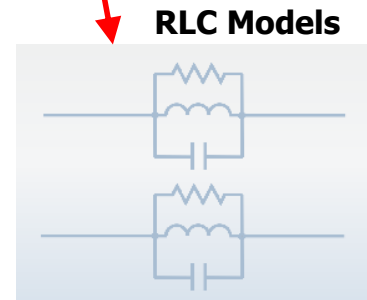
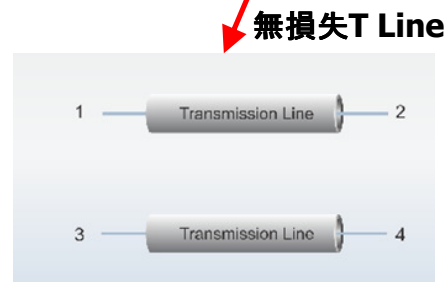
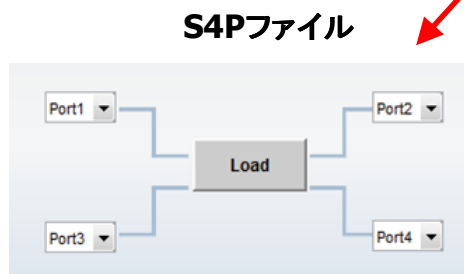
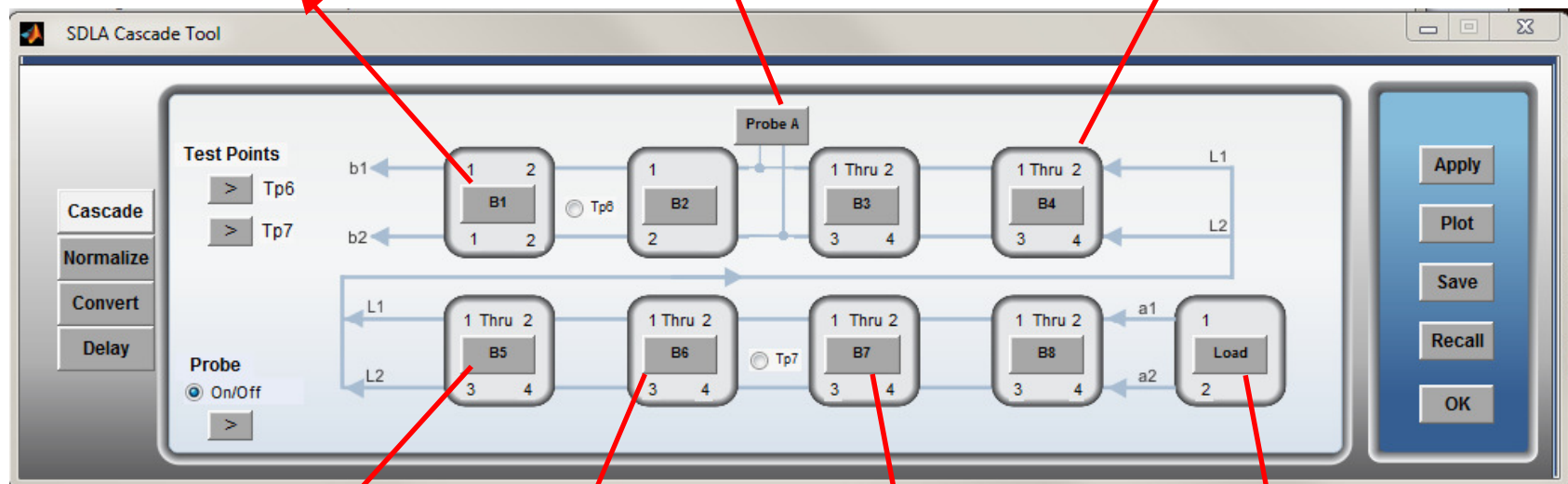
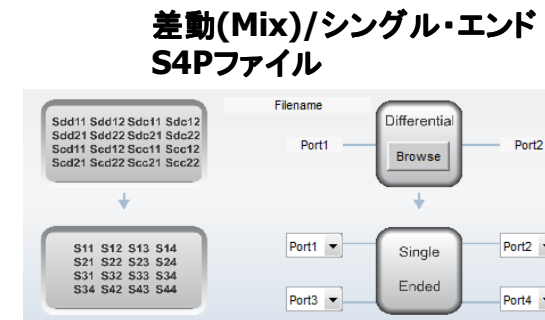
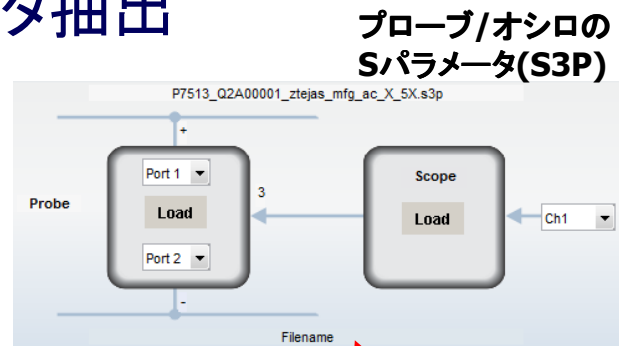
型名	周波数帯域	TDRシステム立上り時間 (入射/反射)
80E10型	50/40/30GHz	12ps/15ps
80E08型	30/20GHz	18ps/20ps
80E04型	20GHz	23ps/28ps

*IConnectソフトウェアが必要

シリアル・データ・リンク解析ソフトウェア SDLA Visualizer のためのパラメータ抽出



あるいは、2つのFIR フィルタ





本テキストの無断複製・転載を禁じます。テクトロニクス/ケースレーインストルメンツ
Copyright © Tektronix, Keithley Instruments. All rights reserved.

www.tektronix.com/ja
www.keithley.jp/



Twitter

[@tektronix_jp](https://twitter.com/tektronix_jp)



Facebook

<http://www.facebook.com/tektronix.jp>

