

10Gbps超の規格と テクトロニクスソリューション



テクトロニクス・イノベーション・フォーラム2011

営業技術統括部 畑山 仁

www.tektronix.com/ja

講師紹介

畑山 仁:日本テクトロニクス株式会社 営業技術統括部 シニア・テクニカル・エキスパート

- サポート分野: 高速デジタル、高速シリアル・インタフェース (特にPCI Express、USB3.0) に対し、お客様、営業、AEをサポート
- セミナ講師: 当社的高速シリアル・インタフェース、PCI Express、USB3.0セミナーをはじめ、FPGA代理店との協調セミナーなど
- 主な執筆・編著
 - CQ出版社「PCI Express設計の基礎と応用～プロトコルの基本から基板設計、機能実装まで」、2010年4月
 - マイコミジャーナル「高速シリアル・インタフェース測定の必須スキルを身に着ける」: **本セミナーの補足にぜひご利用ください**
 - <http://journal.mycom.co.jp/series/serialif/001/index.html>
- 出身: 東京都
- facebook <http://facebook.com/hitoshih330>



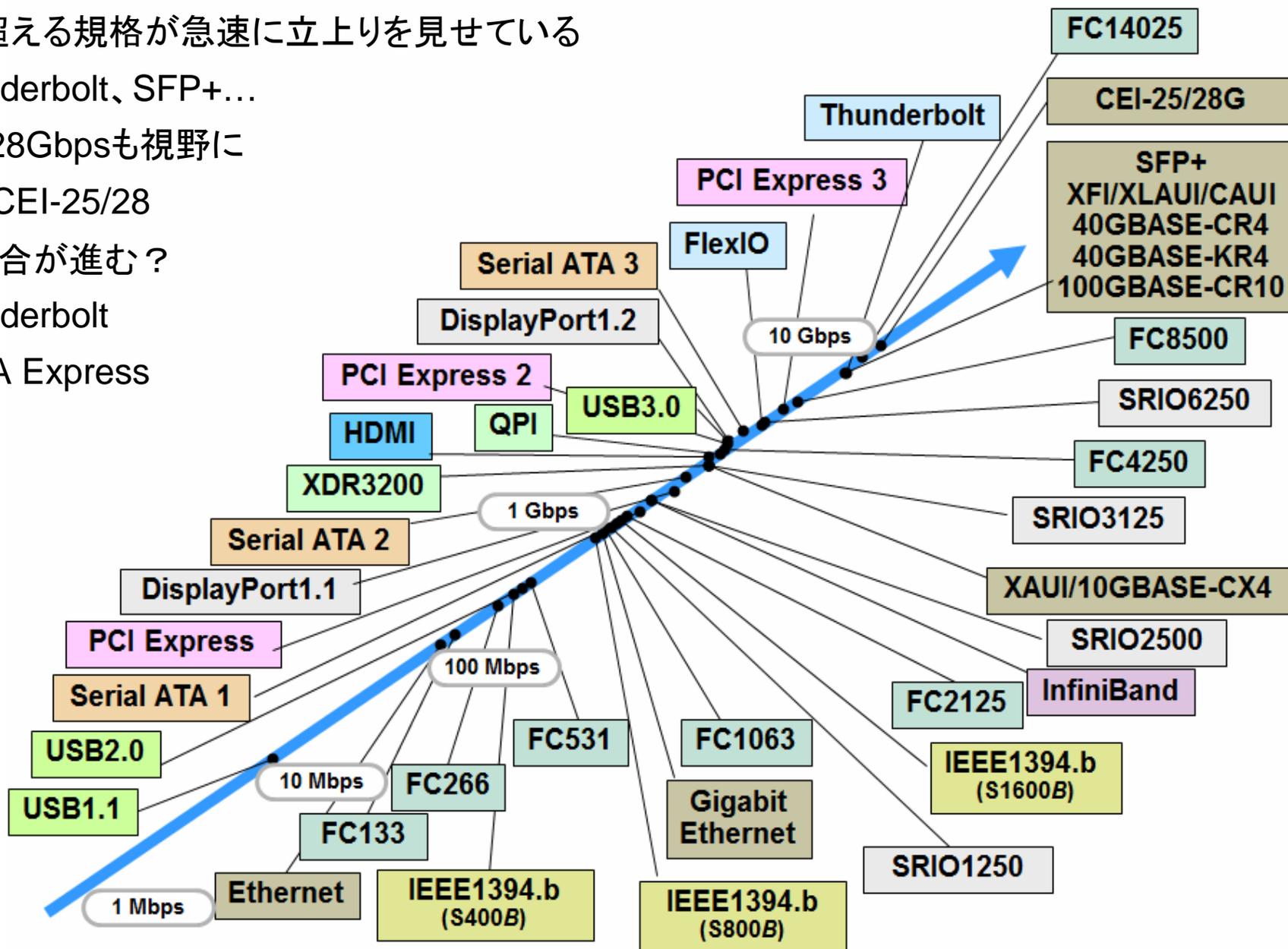
講師監修・執筆インタフェース・デザイン・シリーズ第2弾:USB3.0

- 「USB 3.0設計のすべて～規格書解説から物理層の仕組み、基板・ソフトウェア設計、コンプライアンス・テストまで」
- A5判、512ページ
- 10月初旬販売開始。乞うご期待ください
- 内容
 - 第1章 USBの概要
 - 第2章 USB 3.0の物理層と論理層
 - 第3章 デバイスとハブの動作
 - 第4章 コネクタとケーブルの形状と特性
 - 第5章 リンク層の詳細
 - 第6章 ハードウェア設計
 - 第7章 プリント基板の設計
 - **第8章 コンプライアンス・テスト:執筆しました**
 - 第9章 USB ソフトウェアのしくみ
 - 第10章 USBホスト・コントローラの制御
 - 第11章 USBデバイス・コントローラ制御

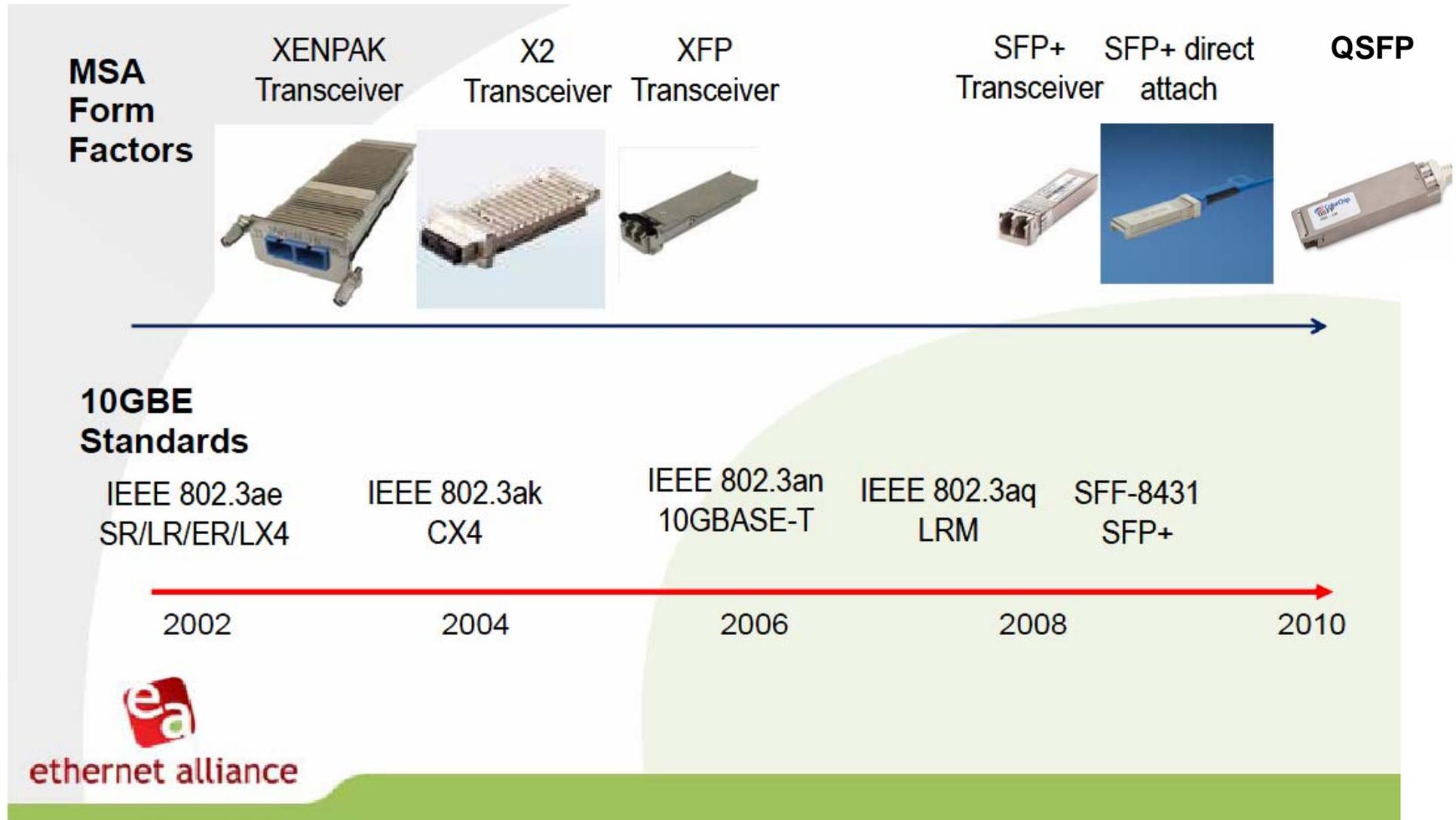


高速シリアル・インタフェースの台頭(電気)

- 10Gbpsを超える規格が急速に立上りを見せている
 - Thunderbolt、SFP+...
- さらに25G/28Gbpsも視野に
 - OIF-CEI-25/28
- 物理層の統合が進む？
 - Thunderbolt
 - SATA Express
 - MHL



10GビットEthernet推移



Source : Ethernet Alliance

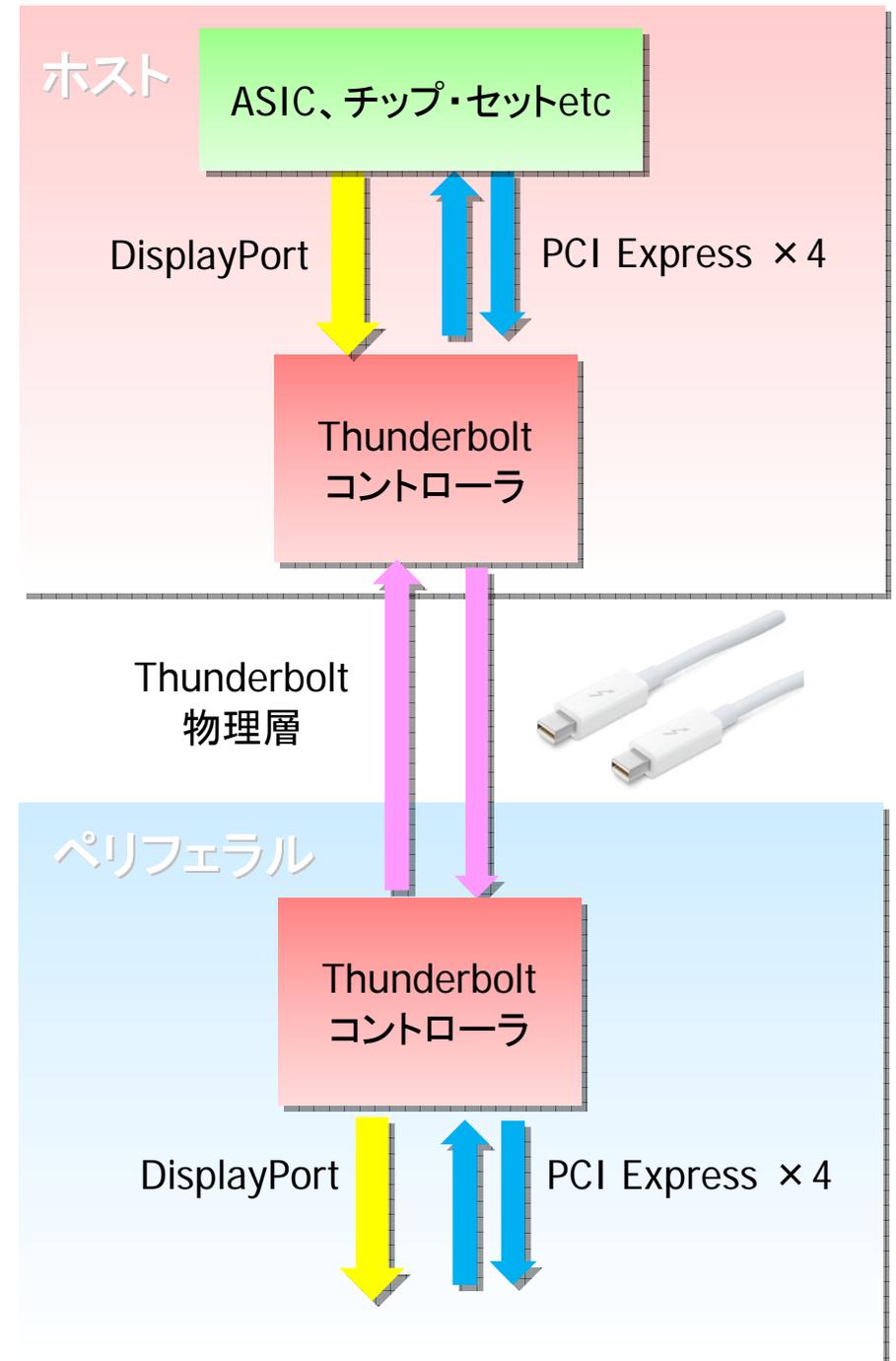
SFF-8431 SFP+

Enhanced Small Form Factor Pluggable

- 次世代ホット・スワップ、小占有面積、シリアル-シリアル・マルチレートの光トランシーバ
- 8.5 GFC、10GbE、10 GFC、10GBASE-R (11.1Gbps) などデータコム、ストレージ・エリア・ネットワーク (SAN) アプリケーションで使用
- クロック・データ・リカバリ (CDR) をライン・カード側に持たせることで寸法を劇的に小型化
 - 電力消費を減らし、ポート密度をアップ
 - XFP に比較して低コスト化を実現
- 短距離伝送用に銅線を使用し、低価格を図った 10GSFP+CU (Direct Attach ケーブル) も規格化
- 製品例 (シスコ社)
 - SFP-10G-SR: 850nm マルチモード・ファイバ (MMF) で 26~300m
 - SFP-10G-LR: 1310nm シングルモード・ファイバ (SMF) で 10km
 - SFP-H10GB-CU1/3/5M Twinax ケーブル: 1、3、5m
 - http://www.cisco.com/web/JP/product/hs/ifmodule/10gbm/prodlit/10gbsfpm_ds.html

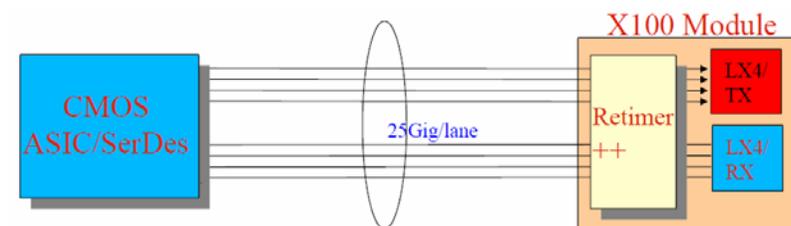
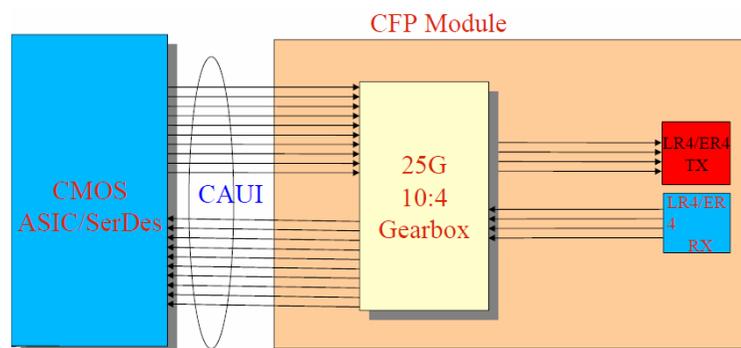
Thunderbolt (Intel/Apple)

- PCとペリフェラル間の接続用インタコネク
- 1本のケーブルでデュアル・プロトコルをサポート
 - PCI Express、DisplayPort
 - CIOパケットに変換(4ヘッダ+256バイト)
 - 低レイテンシ(8ns)
 - デジ・チェーン・トポロジ
 - 上位から見てThunderboltを意識する必要なし
- Mini DPコネクタを使用
 - ネイティブのDisplayPortとして接続可能
- 10.3125Gbps × 2、双対単方向伝送
- 伝送距離
 - アクティブ・ケーブルで3m
 - AOL(アクティブ光ケーブル)にて10m
 - CY11Q4供給開始?
- 現時点では詳細は非公開



その他

- 10Gbps/バック・プレーン
 - 10GBASE-KR
 - 40GBASE-KR4
 - CAUI
 - OIF CEI-25/28G
 - CFP光モジュールとの接続用
 - 10Gbps × 10を × 4で実現



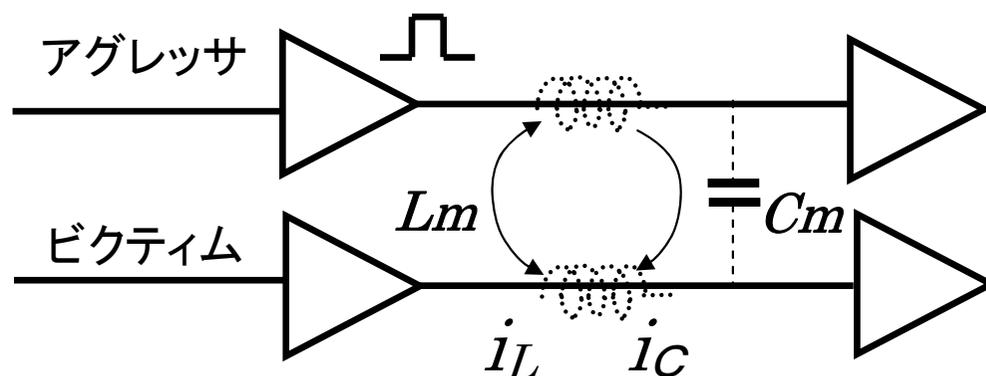
- 12G SAS
- PCI Express Gen4 (16Gbps?)
- 16G FC (14.025Gbps)

10Gbps超。高速化による計測への影響

- クロストークの影響がより顕著に
 - クロストークを考慮したジッタ測定が必要に
- ジッタのみならずノイズの影響がより顕著に
 - BERベースのアイ・ダイアグラム測定
 - 特定のBERにおけるアイ幅／トータル・ジッタ(Tj)の測定
 - 特定のBERにおけるアイ高さ
 - ヒット・レート・ベースのマスク・テスト
 - 単純にマスクにヒットしたからと言ってフェイルではない
- イコライザ
 - DFE (Decision Feedback Equalizer) エミュレーションの必要性
- エンベッド
 - 5Gbps以上の規格では伝送路の影響を加味した測定へ
 - 実ハードウェアではなく仮想的なソフトウェア・フィルタを使用

おさらい: クロストーク

- ある伝送線路に伝送される信号により、近くの異なる伝送線に発生するノイズ
 - クロストークの影響を与える側の伝送路をアグレッサ (Aggressor: 侵略者) と呼ぶ
 - クロストークの影響を受ける側の伝送路をビクティム (Victim: 被害者) と呼ぶ
- 2本の近接した線路間の、相互キャパシタンス C_m と相互インダクタンス L_m による結合により発生
 - フォワード・クロストーク: 駆動線と同方向に伝搬
 - バック・クロストーク: 駆動線と逆方向に伝搬



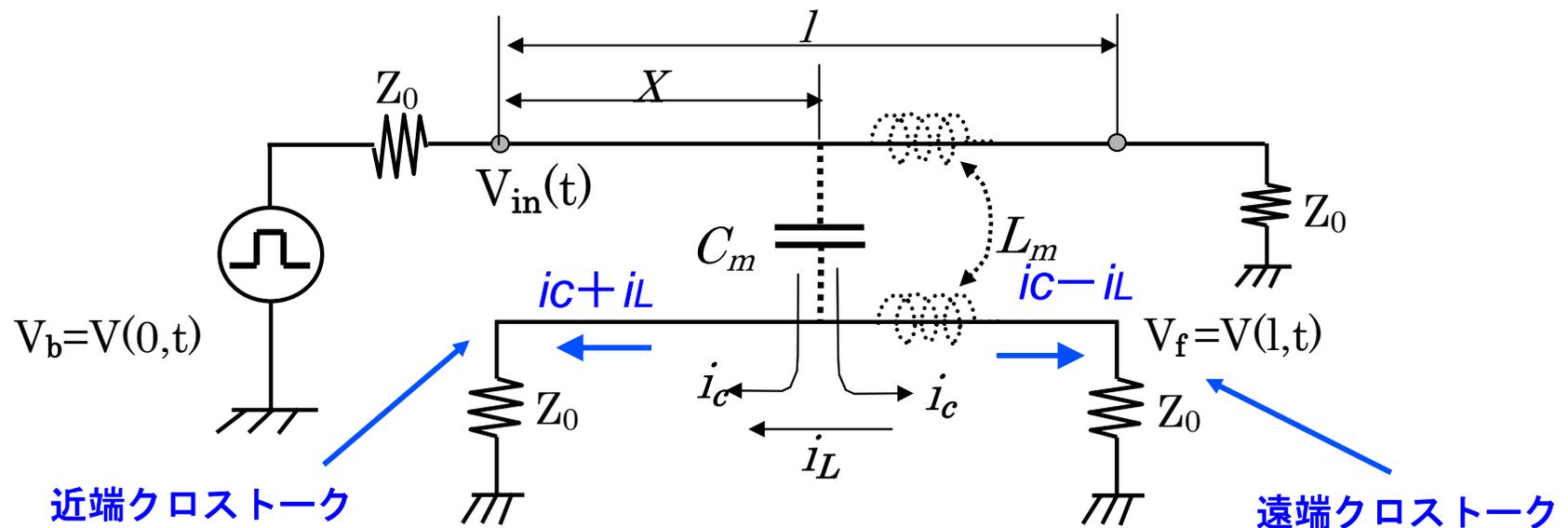
$$i_C = C_m \frac{dV}{dt}$$

$$i_L = \frac{1}{L_m} \int V dt$$

または $V_L = L_m \frac{di}{dt}$

おさらい: クロストーク (続き)

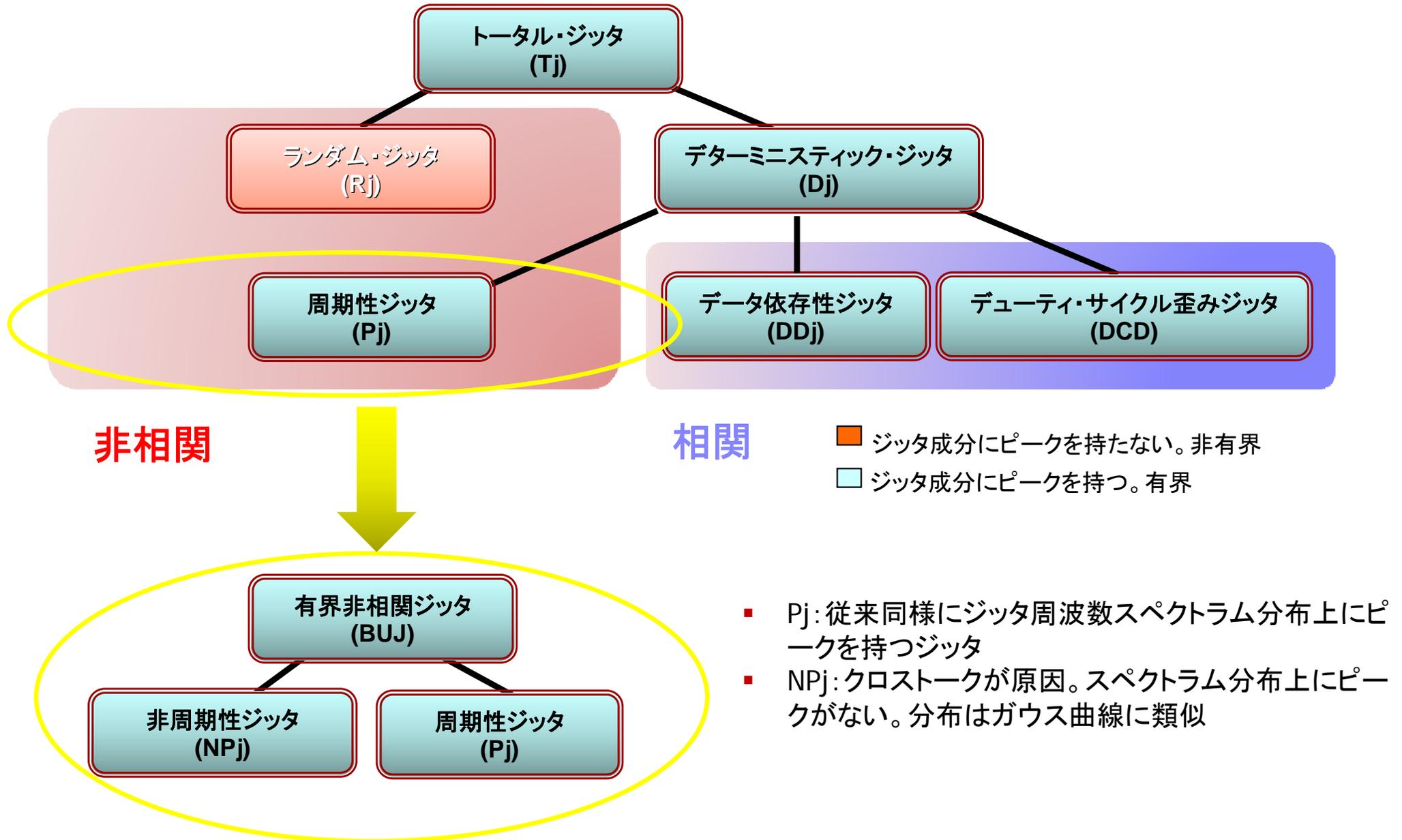
- i_c 、 i_L の流れ
 - 信号源に近いところで観測されるクロストーク: 近端クロストーク・ノイズ
 - バック・クロストーク・ノイズが最大化。立上り時間に関係。 $i_c + i_L$ なのでクロストークが最大化
 - 信号源に遠いところで発生するクロストーク: 遠端クロストーク・ノイズ
 - フォワード・クロストーク・ノイズが最大化。立上り時間と結合線路長に関係。大抵の場合 $L_m > C_m Z_0^2$ なので印加信号に対して逆極性。 $i_c - i_L$ なので近端クロストークより緩和



クロストークと高速シリアル・インタフェース

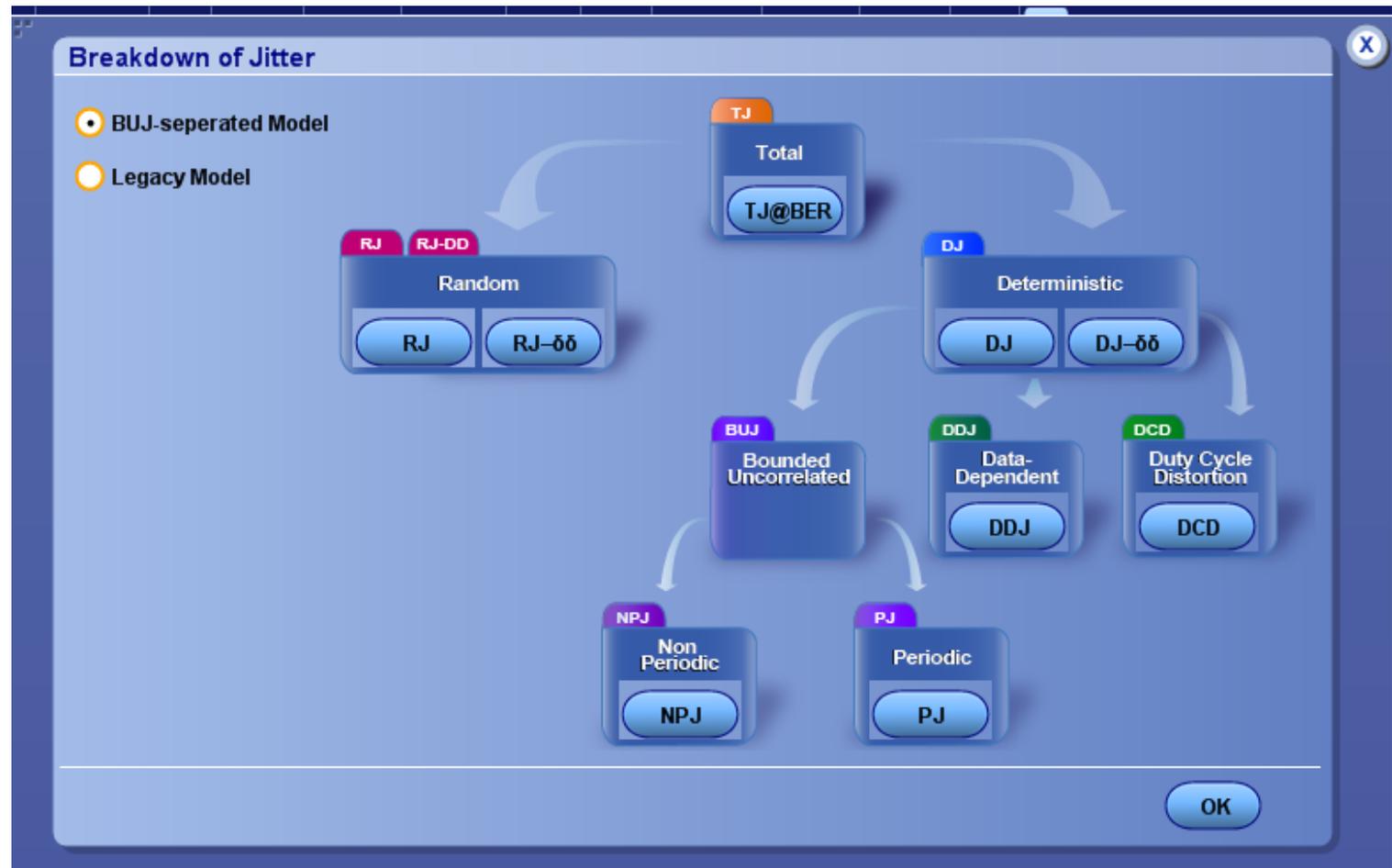
- 差動信号でも電流分布は、トレース間隔の2倍程度まで広がりを持つ
 - 近接線路に漏れ込む
- シリアルでもマルチレーンのインタフェースが存在
 - PCI Expressなど
- ほとんどはデュアル・シンプフレックス(双対単方向伝送)
 - レシーバ端での近端クロストーク・ノイズが最大化
 - 基板内は送信と受信を別レイヤに配線、分離することで抑制可能だが、レセプタクル、コネクタでは注意が必要
- クロストークの影響
 - ノイズ・マージンの低下
 - ジッタの増加

ジッタ: クロストークの影響を分離した測定が必要



ソリューション： リアルタイム・オシロスコープでのBUJ測定

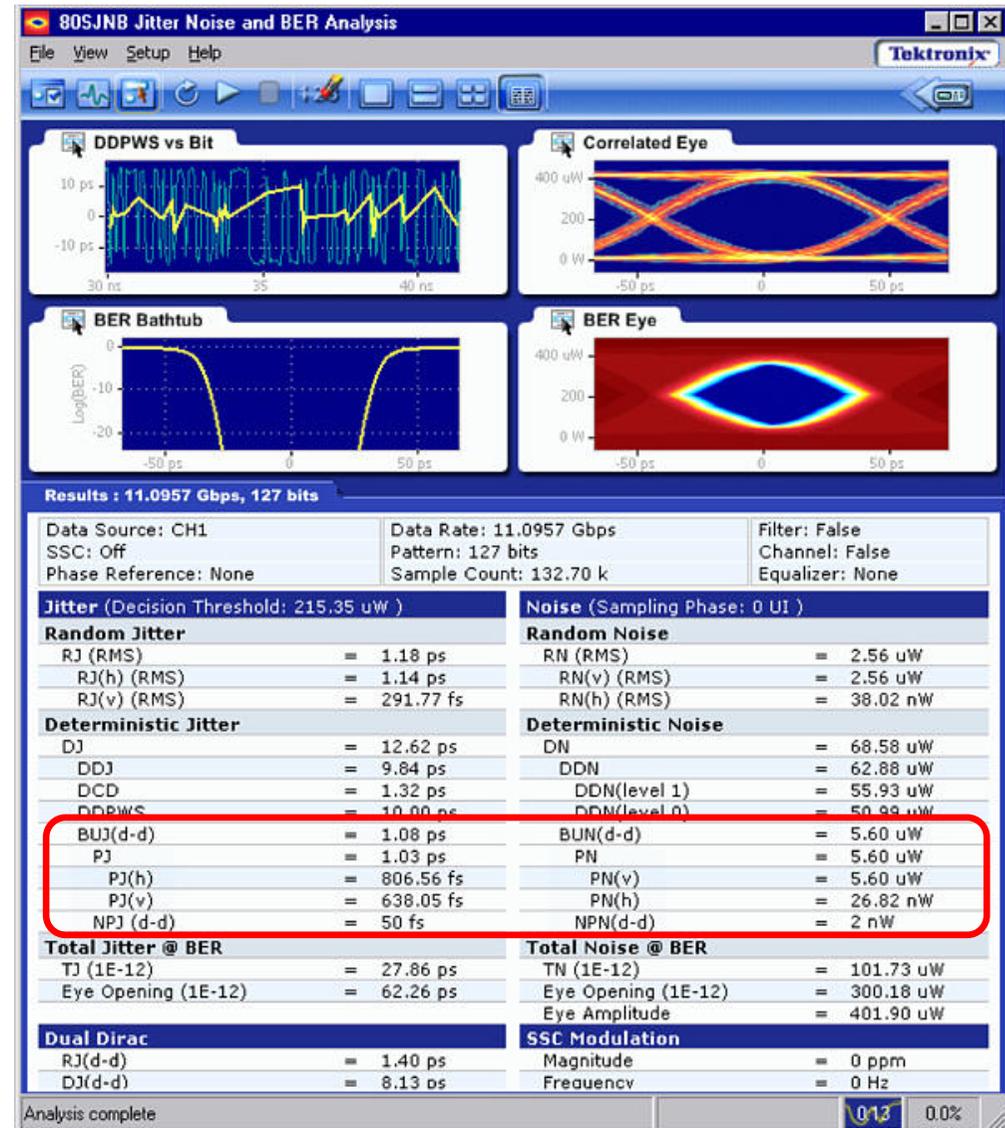
- 当社リアルタイム・オシロスコープ用標準ジッタ・ツールのDPOJETにBUJ機能を追加(近日リリース)



80SJNBジッタ、ノイズ、BER、シリアル・データ・リンク 解析ソフトウェア

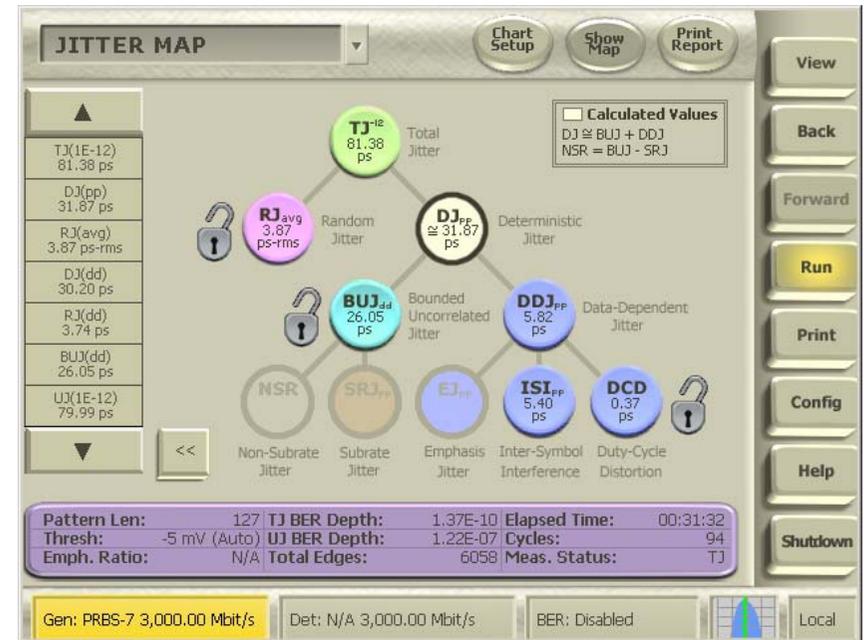
DSA8300シリーズ用ジッタ解析ソフトウェア

- 60Gbps超の高速シリアル信号のジッタおよびノイズの分離測定
- アイ開口@BER解析(垂直・水平)
- ジッタとノイズのランダム/デターミニスティック成分の分離と詳細な構成成分の解析
 - 周期性/非周期性、データ依存/非依存、有限/非有限
 - BUJ、BUNをサポート(バージョン2.5.4より)
- シリアル・データ・リンク解析機能
 - FFE/DFE
 - チャンネル・エミュレーション
 - チャンネル・ディエンベッド

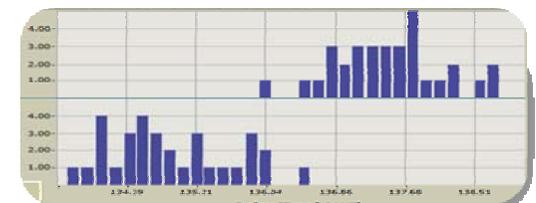
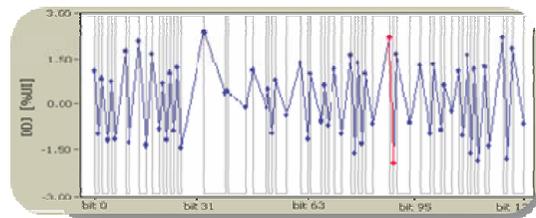


BSAシリーズでのBUJ測定

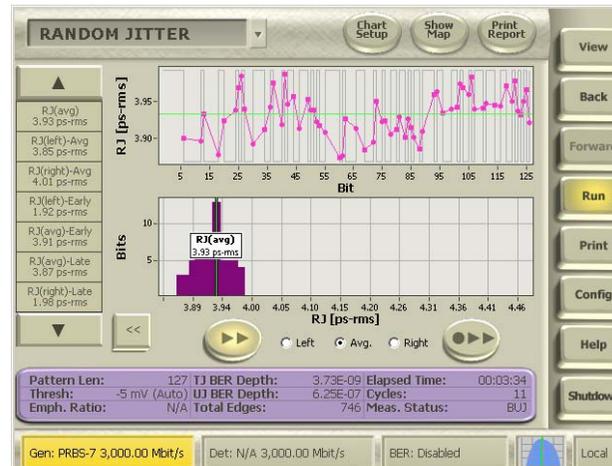
- 業界唯一のBERTによるジッタの詳細分離測定
- BERと直結したジッタの解析
- ジッタ・マップ機能(オプション)によるRj、Djの分離
 - トータル・ジッタ(FC-MJSQ)
 - ランダム・ジッタ(Rj)
 - **有界非相関ジッタ(BUJ)**
 - サブレート・ジッタ(SRJ)
 - デターミニスティック・ジッタ(DJ)
 - DDJ、ISI、DCD分離



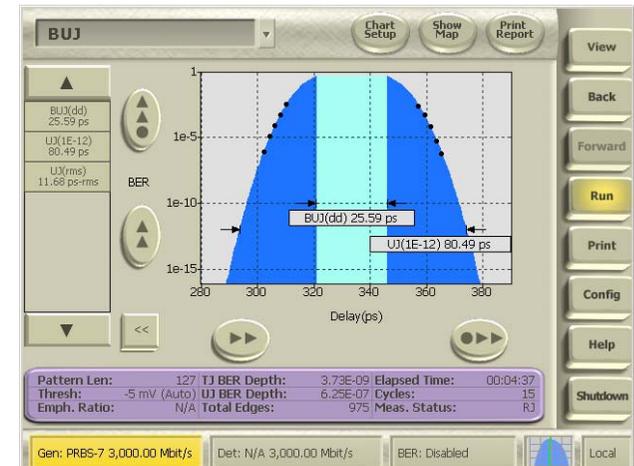
RjとDj、Dj成分の分離測定



DJ成分解析:ビット毎のDDJとヒストグラム表示



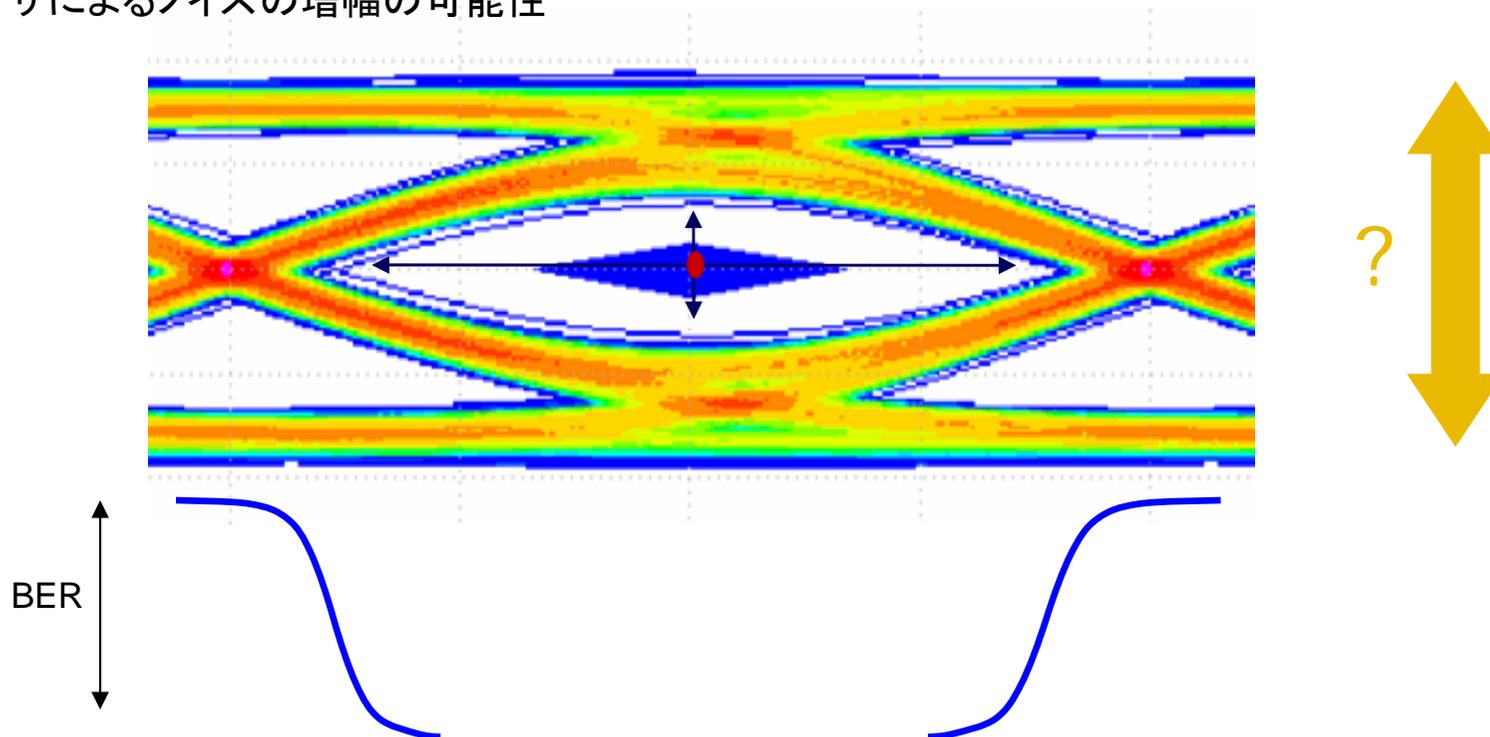
RJ成分解析:ビット毎のRJとヒストグラム表示



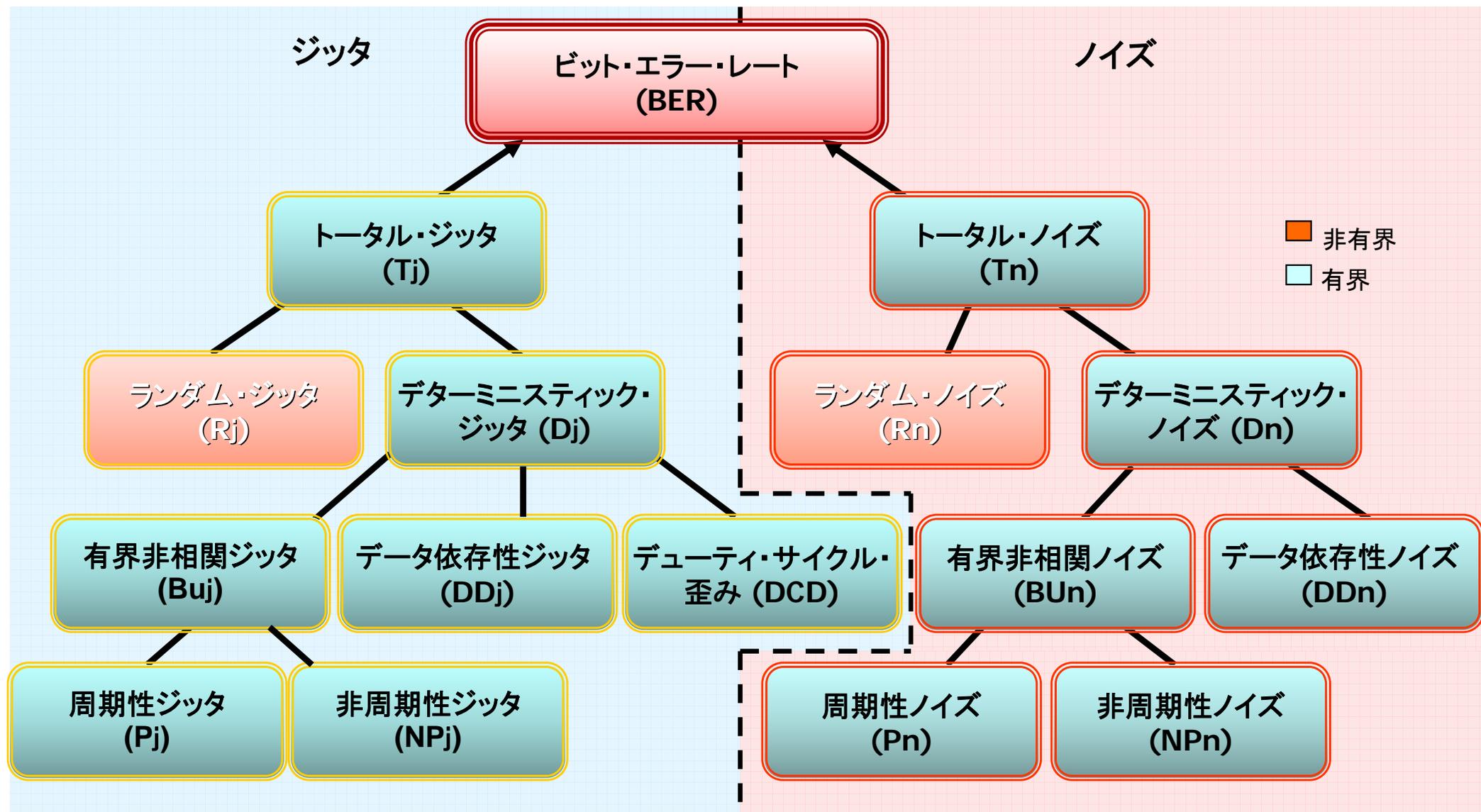
BUJ表示

アイ・ダイアグラムとより正確なBERの関係？

- 第2世代まで
 - アイの開き方は、BERと相関がある(時間軸方向)
 - ジッタとBERの関係はRj、Djとバスタブ曲線で予測可能
- 第4世代以降に必要な考え方？
 - 高速化に伴い、ノイズの影響が顕在化
 - より受信端の信号レベルが低下
 - イコライザによるノイズの増幅の可能性



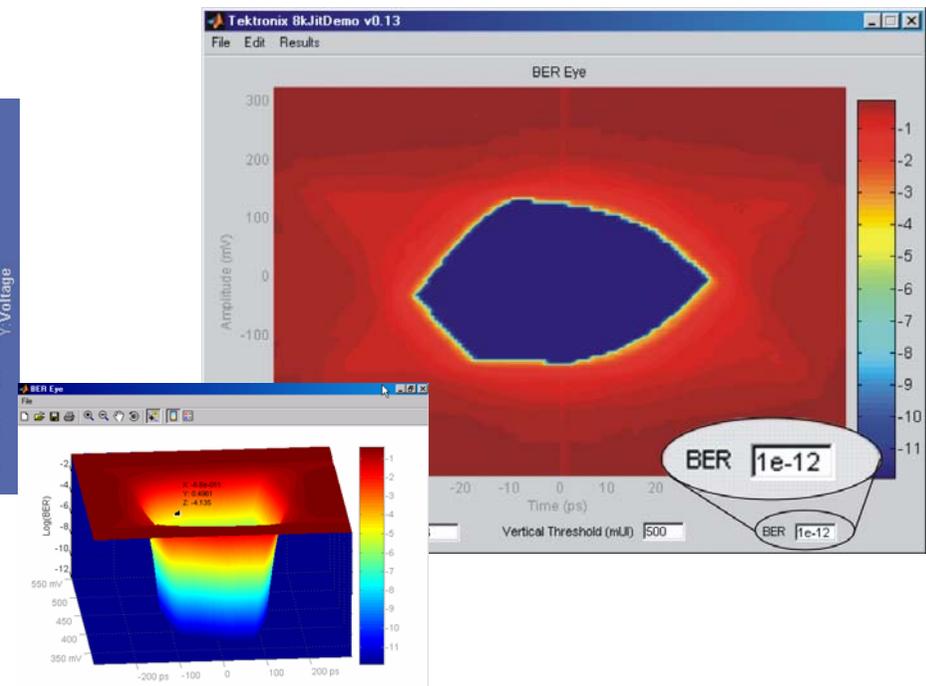
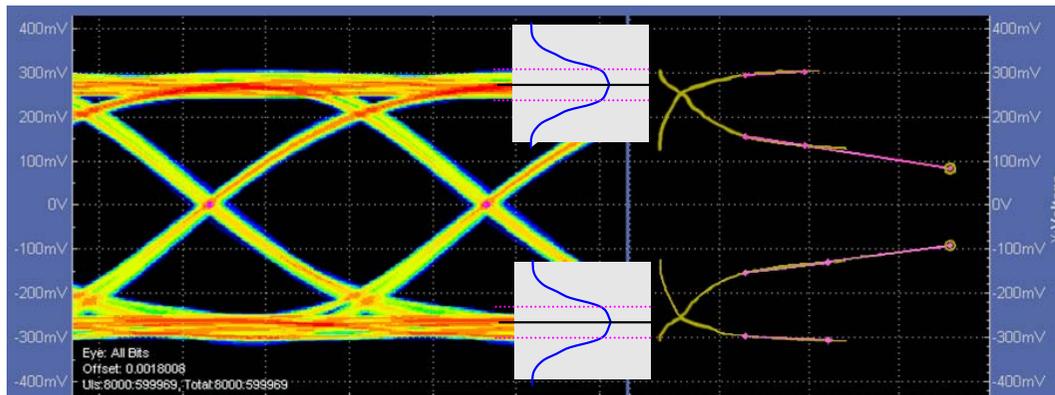
BERの原因



- ・ ノイズもジッタと同様に分類される
- ・ ジッタと同様な考え方が適用可能⇒BERとバスタブ曲線

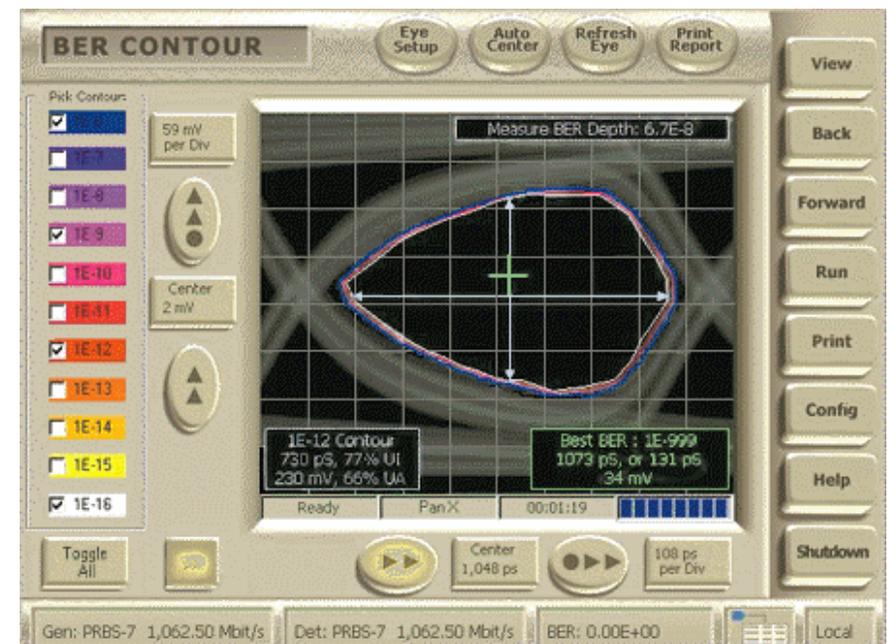
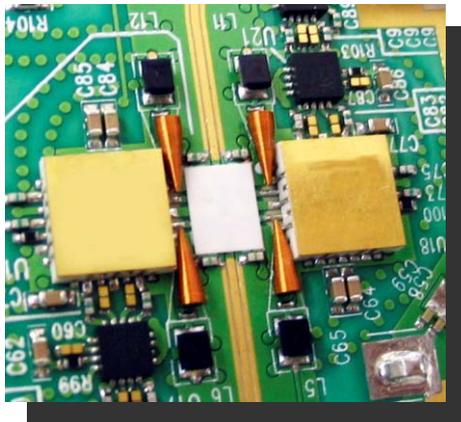
特定BERにおけるアイの高さ

- 垂直方向でもジッタと同じ考え方が必要
 - ランダム・ノイズ (Rn) の確率密度関数はガウス分布。よってアイの高さは時間推移により狭くなる
 - デターミニスティック・ノイズ (Dn) の分布は有限。時間推移の影響はないが、Rnに対するマージンを低下させる
 - Rnはピークを持たないため、仮想的なピークが必要 ⇒ 特定のBERで規定
- ノイズのPDF (確率密度関数) からBER曲線 (バスタブ曲線) を求める
- バスタブ曲線より特定BERにおけるアイの高さを推測



BER輪郭・等高線 (BER Contour)

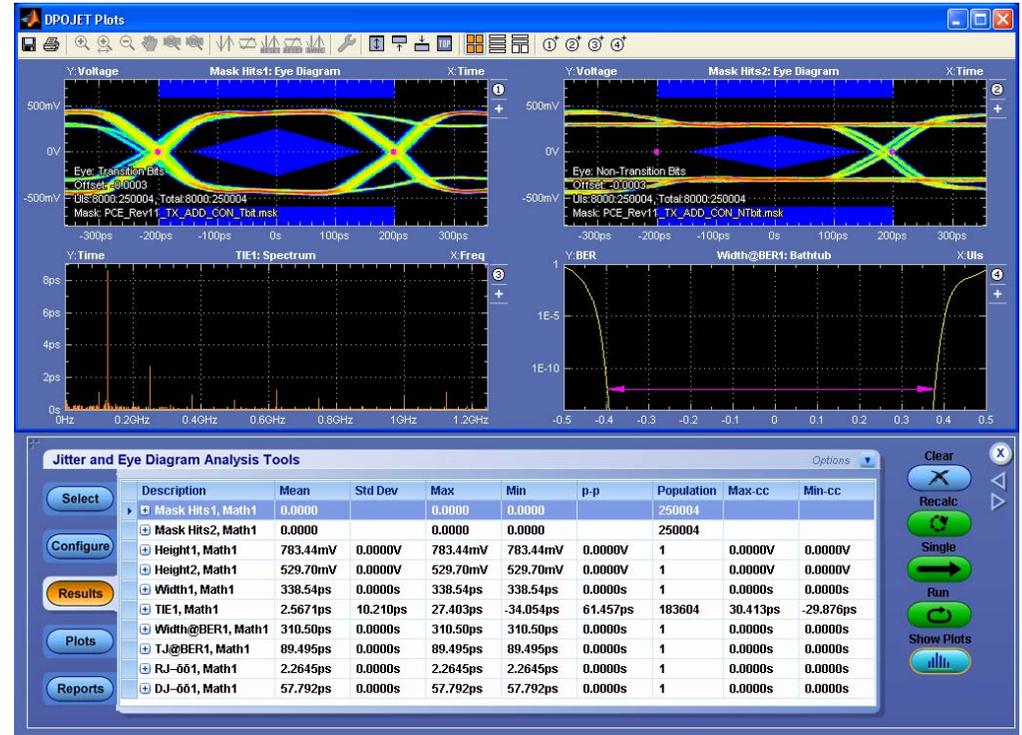
- BERTではUI方向のみならず垂直方向にもディテクタの判断点をスイープさせることで2次元でのBERを測定・予測可能
- BSA Cシリーズはデュアル・エラー・ディテクタ・システムの採用で短時間での測定・予測が可能



DPOJETジッタ&アイ・ダイアグラム解析ソフトウェア

MSO/DSA/DPO70000シリーズ用ジッタ解析ソフトウェア

- 周波数／周期、振幅、タイミングおよびジッタとアイ・ダイアグラム測定
 - － シリアルのみならずパラレル・インタフェースも
- 同時に99測定まで: 効率的！
 - － 別々の信号に対する測定も可能
 - 異なったクロック・リカバリでの評価
 - 異なったイコライザでの評価
 - マルチレーンでは個々のレーンに対し、独立したクロック・リカバリを使用可能
- Rj/Dj測定、特定BERでのアイ開口幅とトータル・ジッタ予測
- **特定BERでのアイ高さ***
- 様々なデータ解析を可能にする複数のプロットを表示可能
 - － アイ・ダイアグラム、ヒストグラム、スペクトラム、バス・タブ、サイクル・トレンド
- 外部クロック逡倍を含む様々なクロック・リカバリ・モデル
 - － PCI Express Gen2(システム)、LVDSパネル・インタフェース、DDR2/3に不可欠
- 汎用+特定用途(DDR、PCI Express/3、USB3.0、SFP+、MIPIなど)



※バージョン3.5より

- レポート生成機能
 - － MHTML形式 (MIME Encapsulation of aggregate HTML)*
- DSA70000C/Dシリーズ標準

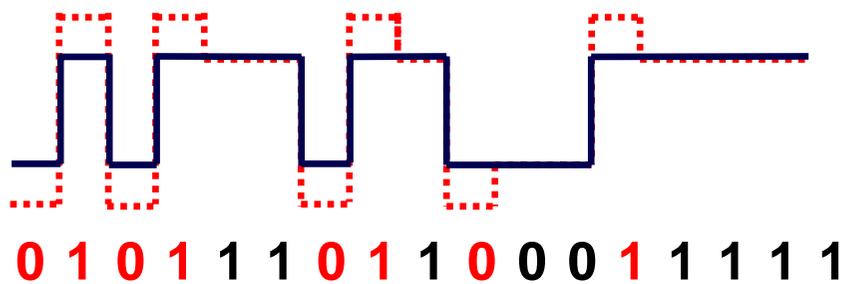
*HTML ファイルや画像データを単一のアーカイブにまとめて保存できる形式

ディエンファシス(プリエンファシス)の制約

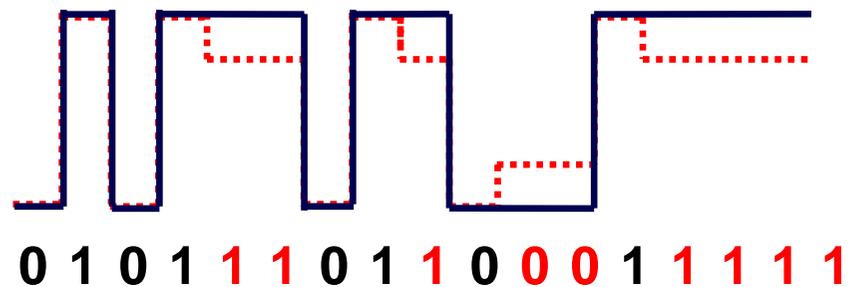
- ディエンファシス、プリエンファシス: 相対的に遷移ビットを強調し、受信端に到来した遷移ビットと非遷移ビットとのレベル差をなくすために送信側で施される信号改善方法
- 高速化に伴い
 - 遷移ビットの振幅を持ち上げるプリエンファシスは、マルチレーンでのクロストーク、EMIの増加を招く
 - 非遷移ビットの振幅を下げるディエンファシスは、受信端での信号振幅が下がるためレシーバ感度、ノイズ・マージンの不利になる

⇒ レシーバ・イコライザの併用

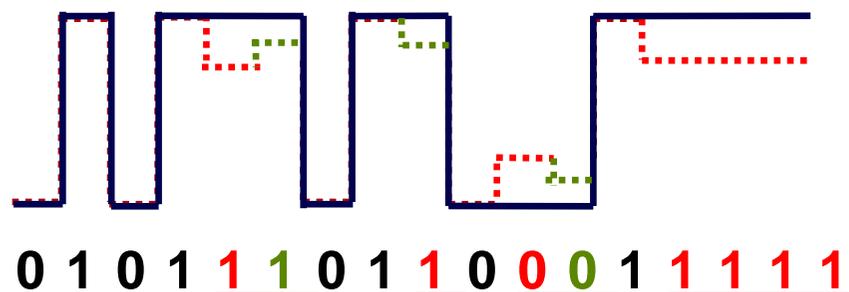
通常の信号、プリエンファシスを適用した信号



通常の信号、ディエンファシスを適用した信号

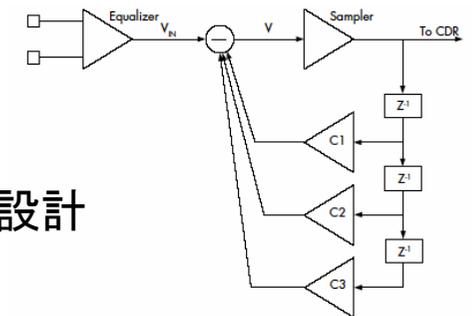
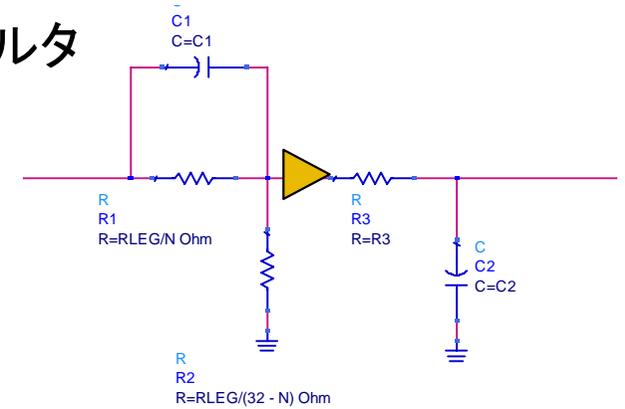


通常の信号、ディエンファシス、プリシュートを適用した信号



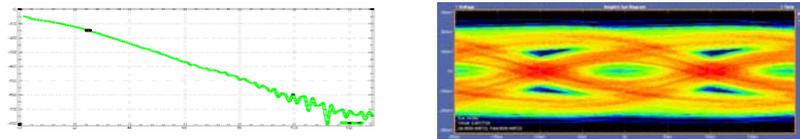
参考: イコライザの種類

- CTLE (Continuous-Time Linear Equalizer): ハイパス・フィルタ
 - 周波数ドメインで設計
 - アナログ・ベース
 - アクティブ、あるいはパッシブなイコライゼーション
 - 回路規模小
 - 低消費電力
- FFE (Feed Forward Equalizer)/DTLE (Discrete-Time Linear Equalizer): FIRフィルタ
 - タイム・ドメインで設計 (UIベース、あるいは位相をずらした詳細なタイミングにて)
 - チャンネルの周波数応答改善をFIR フィルタ (リニア・フィルタ) で実現
 - 代表例はTx でのプリエンファシス、ディエンファシス
- DFE (Decision Feedback Equalizer)
 - タイム・ドメインでフォワード・フィルタとデシジョン・フィードバック回路で設計
 - フォワード・フィルタはFFEと等価
 - アクティブ・レシーバ・イコライゼーション
 - 他のイコライザ方式の問題点であるノイズを増幅することなくシンボル間干渉をキャンセル
 - 回路規模大、消費電力が大きい、半導体微細加工技術の進歩で広がりつつある
 - 最近のFPGAなどの高速ランシバ、規格にも取り入れられ始めている
 - CTLEとDFEを組合せて使用される

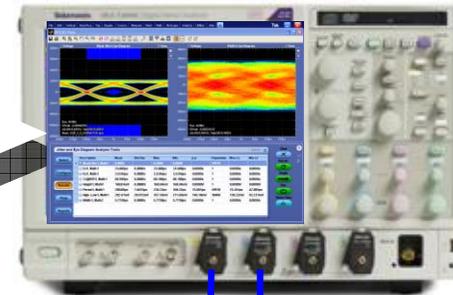


レシーバ・イコライザ／チャンネル・エミュレートしての測定が 必須に 例:USB3.0

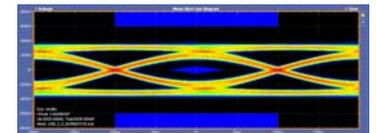
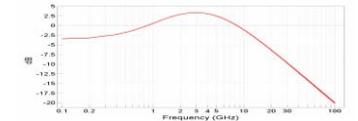
2. ソフトウェア的にチャンネル特性のフィルタを適用し、TP1の波形を再現



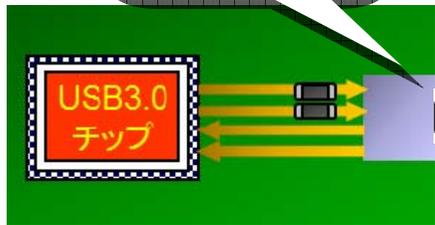
オシロスコープ



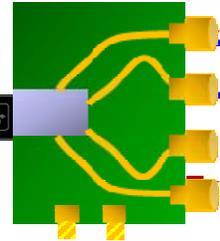
3. 再現されたTP1にイコライザを適用し、チップ内部のCDRが受信する信号を再現し、アイとジッタを測定



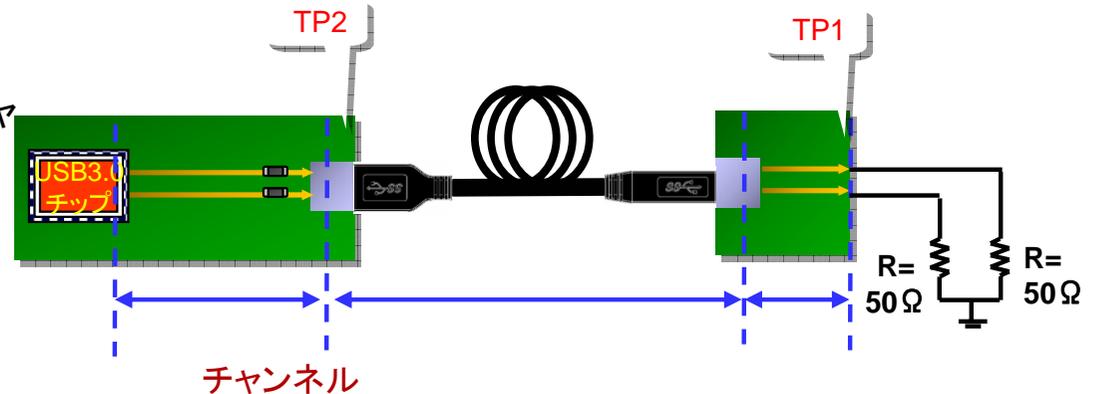
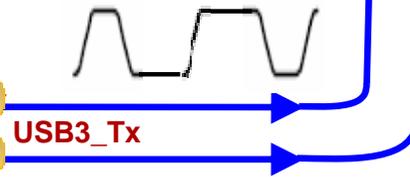
1. TP2の波形を捕捉



被測定システム



テスト・フィクスチャ



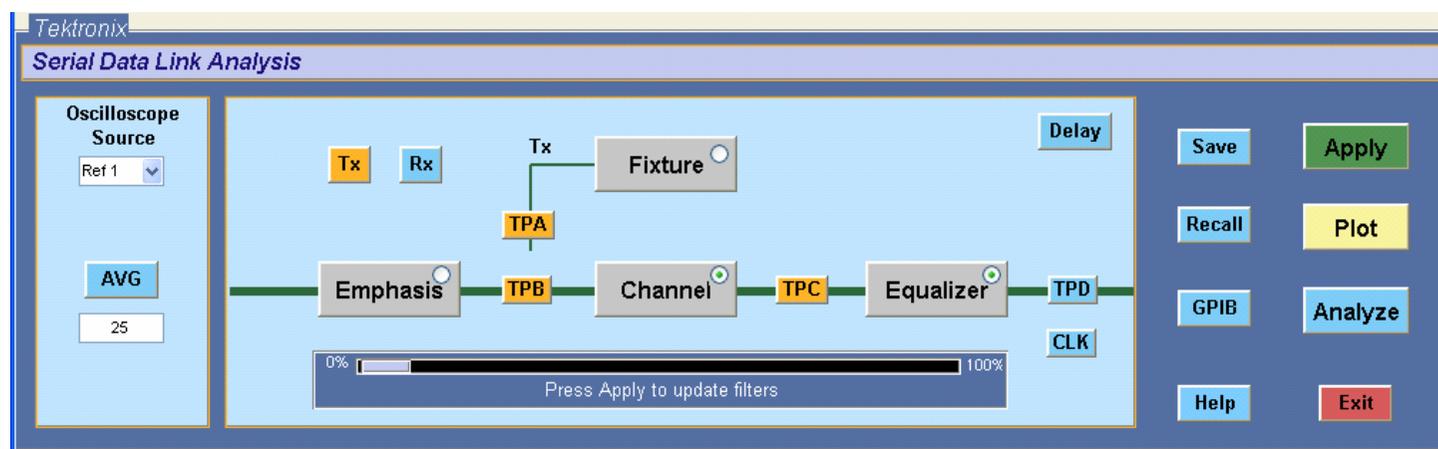
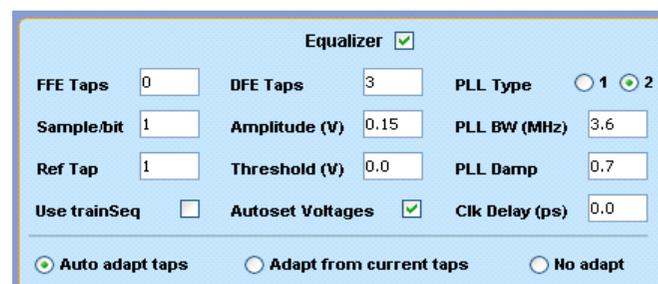
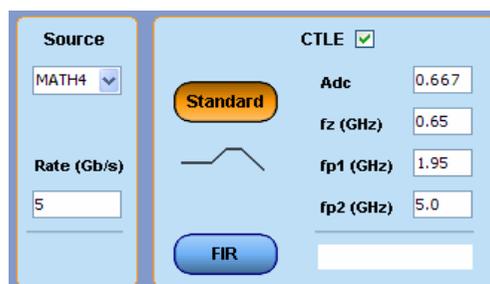
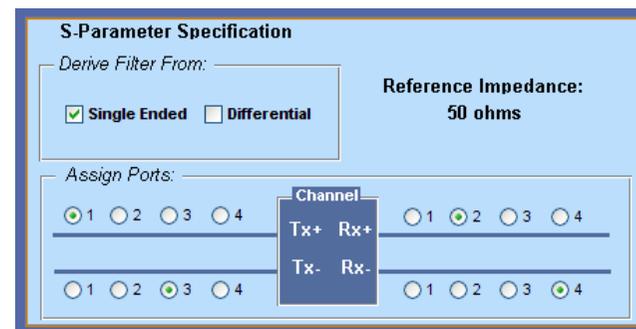
チャンネル

- その他、PCI Express Rev3.0(8Gbps)、DisplayPortのテストで採用
 - 規格想定 の 最長チャンネルでテスト

- デバイス: ホスト・チャンネル+ケーブル
- ホスト: デバイス・チャンネル+ケーブル

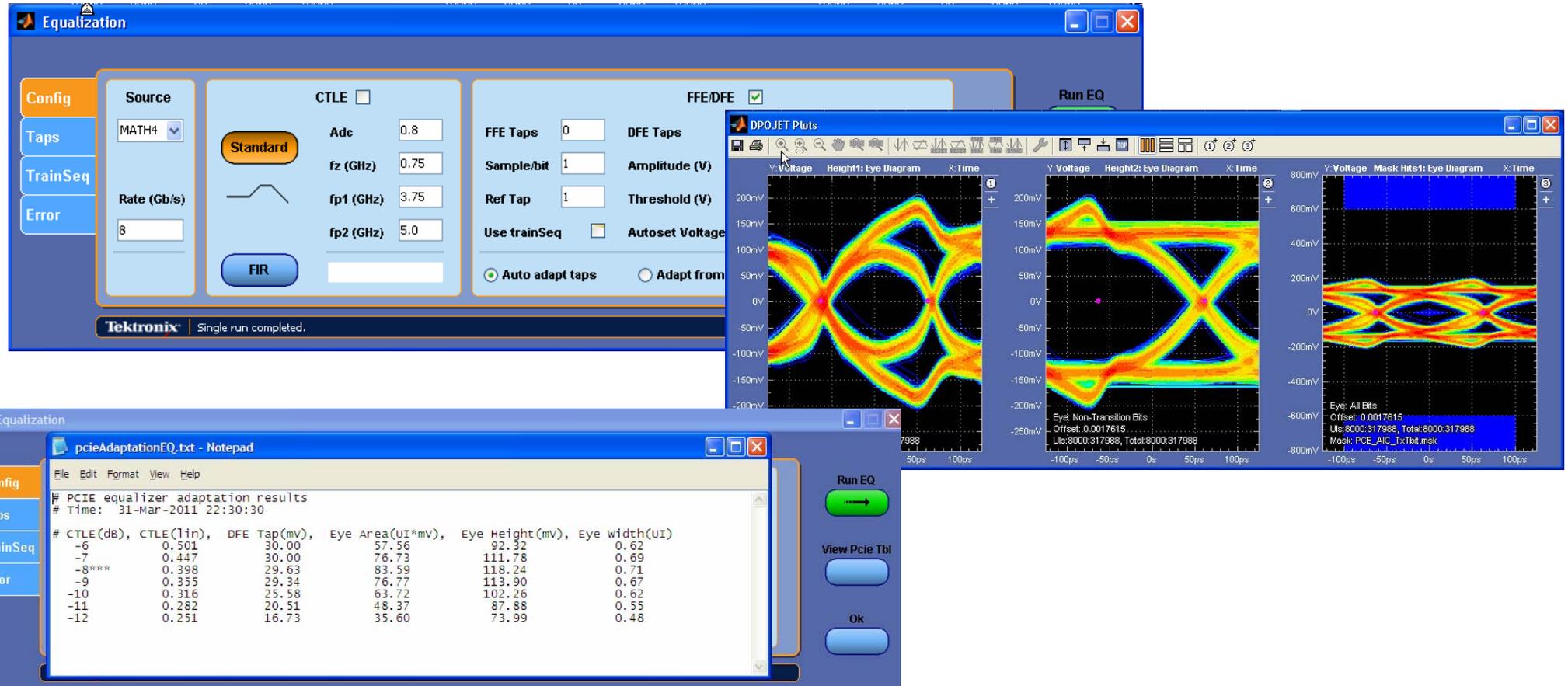
イコライザとチャンネル・エミュレーションのソリューション: SDLA シリアル・データ・リンク解析ソフトウェア

- 高速シリアル信号テストのための波形処理ツール
 - フィクスチャ・ディエンベディット
 - チャンネル・エンベディット
 - レシーバ・イコライゼーション(CTLE、FFE、DFE)
- Sパラメータ (TouchStone)をArbFilterに変換可能
 - *.S1p、*.S2p、*.S4p (差動、シングルエンド)
- 処理結果をプロットで確認可能
- DPOJETと連動して、アイ、ジッタなど自動テスト、判定可能



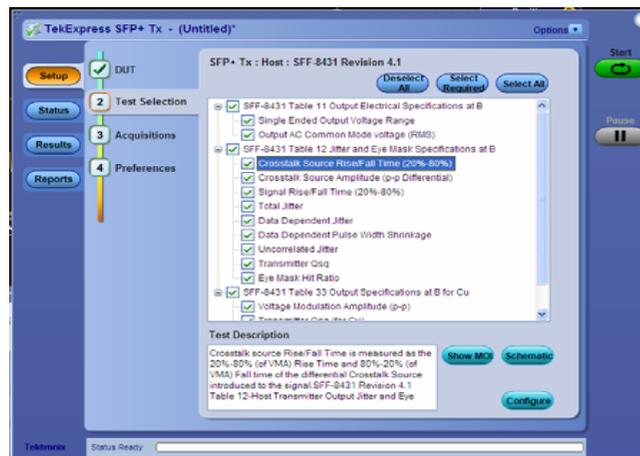
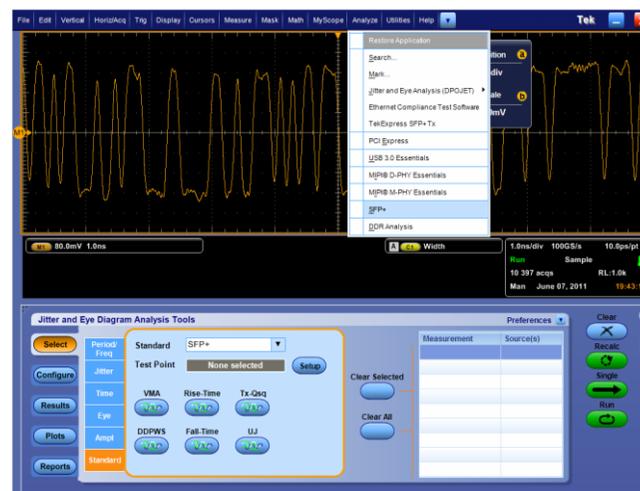
SDLA: DFE

- CTLEはArbFilter(DSP)で実現⇔DFEは実現できない
- その他: PCI Express Rev.3.0 (8Gbps)トランスミッタ・テストでのレシーバ・イコライザの最適化が可能
 - イコライザごとのアイをテストし、判定

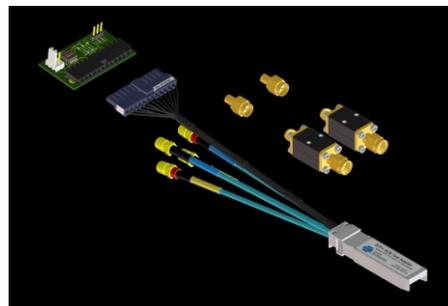


ソリューション例： SFP+ トランスミッタ・テスト

- 16GHz以上のDSA70000C/Dシリーズ、あるいはMSO70000Cシリーズ
 - 最低DSA71604C型、MSO71604C型
 - MSO70000CシリーズにはOpt.DSAUが必要
- DPOJET用SFP+モジュール (opt.SFP-TX)
 - DDPWS、TWPC、VMAなどSFP+用の14測定を追加
- TekExpressワンボタン自動測定ソリューション (TEKEXP)
 - ユーザの記憶、勘に頼らないワンボタンによる設定からレポートまでのソリューション
- テスト・フィクスチャ
 - 米国Wilder Technologies, LLC 640-0540-000
- その他
 - ペア・ケーブル



その他の規格では、オシロスコープ
+ DPOJETで対応

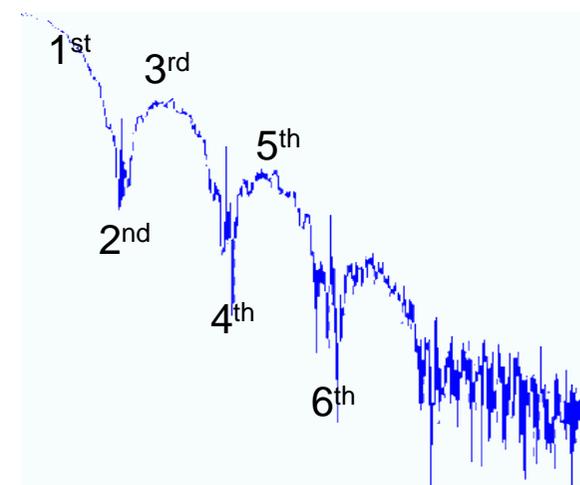
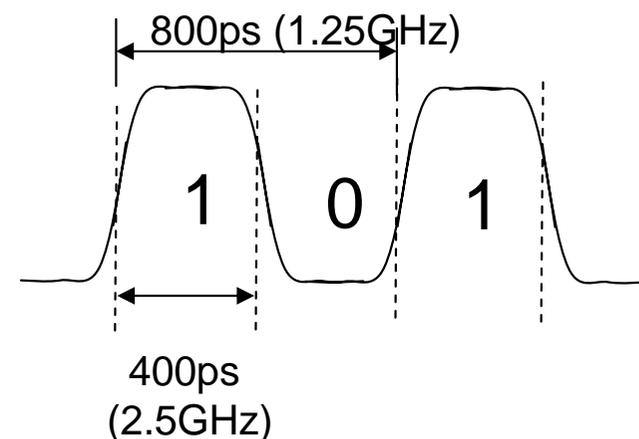


SFP-TX ホスト・トランスミッタ測定項目

SL No.	Measuremnts	Signal Type Recommended	Limit			
			Min	Target	Max	Units
Host Transmitter output electrical Specifications:						
1	Single Ended Output Voltage Range	PRBS31	-0.3		4	V
2	Output AC Common Mode voltage (RMS)	PRBS31			15	mV(RMS)
Host Transmitter Jitter and Eye Mask specifications						
3	Crosstalk source rise/fall time (20%-80%) (Tr, Tf)	8180		34		ps
4	Crosstalk source amplitude (p-p differential)	8180		1000		mV
5	Signal rise/fall time (20%-80%) (Tr, Tf)	8180	34			ps
6	Total Jitter (p-p) (Tj)	PRBS31			0.28	UI(p-p)
7	Data Dependent Jitter (p-p) (DDJ)	PRBS9			0.1	UI(p-p)
8	Data Dependent Pulse Width Shrinkage (p-p) (DDPWS)	PRBS9			0.055	UI(p-p)
9	Uncorrelated Jitter (RMS) (UJ)	PRBS9			0.023	UI(p-p)
10	Transmitter Qsq	8180	50			
11	Eye mask hit ratio(Mask hit ratio of 5×10^{-5})	PRBS31	X1=0.12UI, X2=0.33UI, Y1=95mV, Y2=350mV			
Host Transmitter output specifications for Cu (SFP+ host supporting direct						
12	Voltage Modulation Amplitude (p-p)	8180	300			mV
13	Transmitter Qsq Output AC Common Mode voltage	8180	63.1			
14	Output AC Common Mode Voltage	PRBS31			12	mV(RMS)
15	Host Output TWDPc	PRBS9			10.7	dBe

必要なオシロスコープの周波数帯域(方形波)

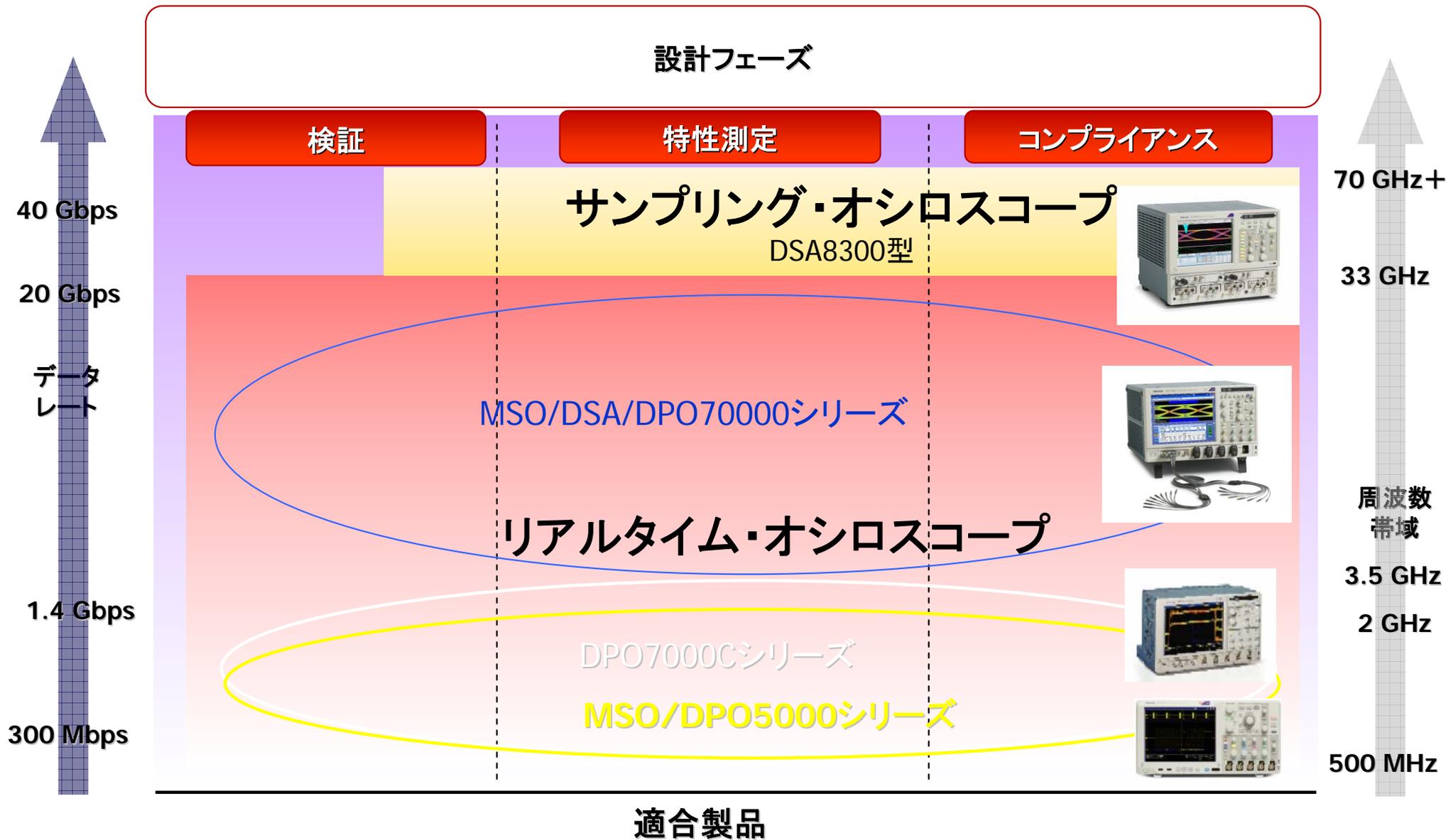
1. 規格認証試験書(CTS)による推奨
2. 5次高調波までの捕捉が目安
 - 方形波の基本波周波数(最高) = ビット・レート(NRZ) / 2
 - 周波数領域で見ると、方形波は基本波と奇数高調波により構成
 - 5次高調波までを捕捉
 - 5次以上は減衰
3. 10Gbps以上
 - システム: 3~4次が目安
 - SFP+, Thunderbolt: 10.3125Gbps → 15GHz
 - 半導体: より正確な測定のために5次を推奨
4. 立上り時間
 - ニー周波数 (fKnee)* = $0.5 / T_r$
 - オシロスコープの立上り時間が2倍速いこと
5. 光
 - ビット・レート × 0.75: 4次ベッセル-トムソン・フィルタによる



*高調波成分が急速に減衰する点。引用: Howard Johnson and Martin Graham, 『High-Speed Digital Design: A Handbook of Black Magic』, p.2. Prentice Hall, 1993

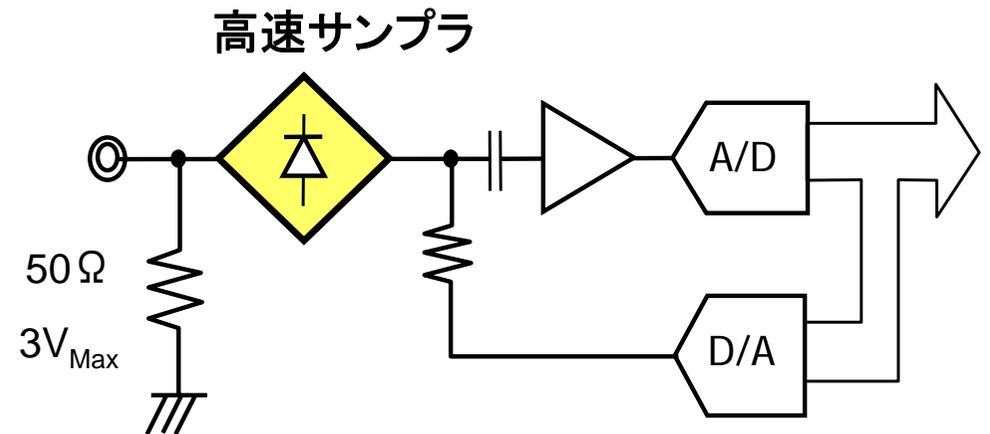
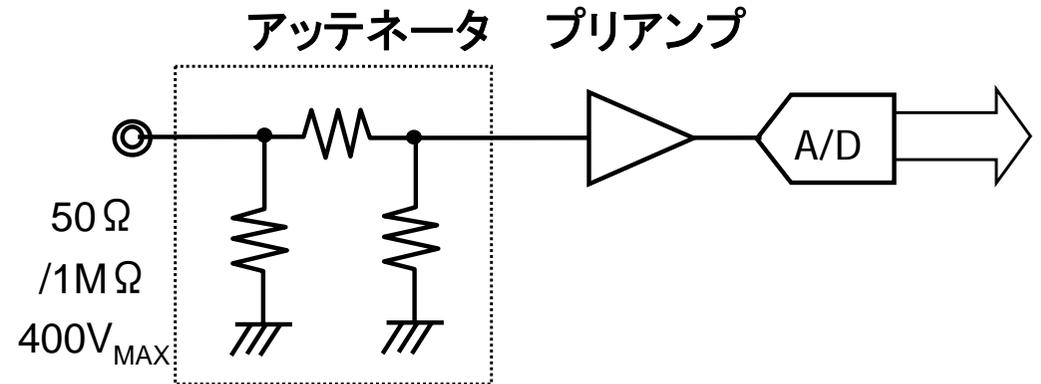
現在のオシロスコープのカバー範囲

当社例



33GHz・20Gbpsを超える帯域、ビット・レート： サンプリング・オシロスコープの利用

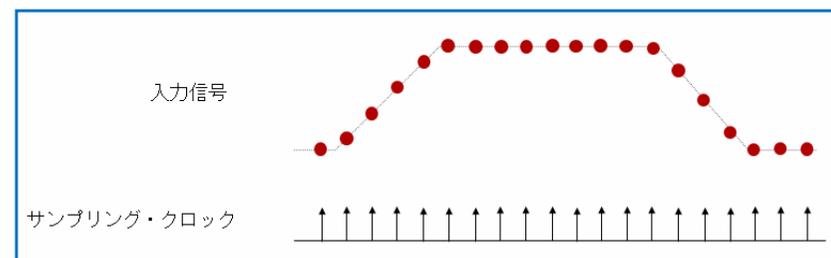
- 一般のデジタル・オシロスコープ
 - A-Dコンバータ前にアッテネータ、プリアンプを配置
 - 広い入力電圧レンジ
 - 帯域の制約
 - 広帯域に従ってノイズが増加
- サンプリング・オシロスコープ
 - 入力信号を高速・低アパーチャ・ジッタ・サンプラで直接サンプル
 - 低ノイズ
 - 低速高分解能のA-Dコンバータを使用可能
 - 高確度
 - 等価時間サンプリング
 - 入力回路に帯域制限要因になるアッテネータ、プリアンプ、保護回路なし
 - 耐圧の制約



(デジタル・エラー・サンプル・フィードバック方式)

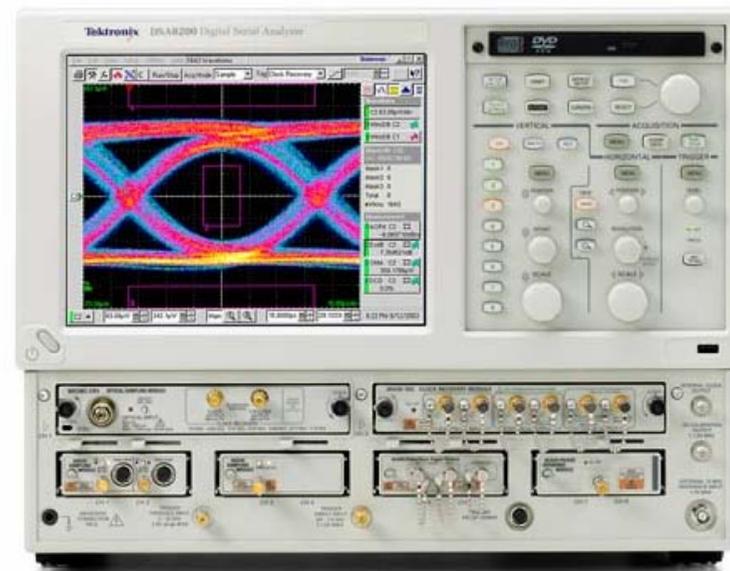
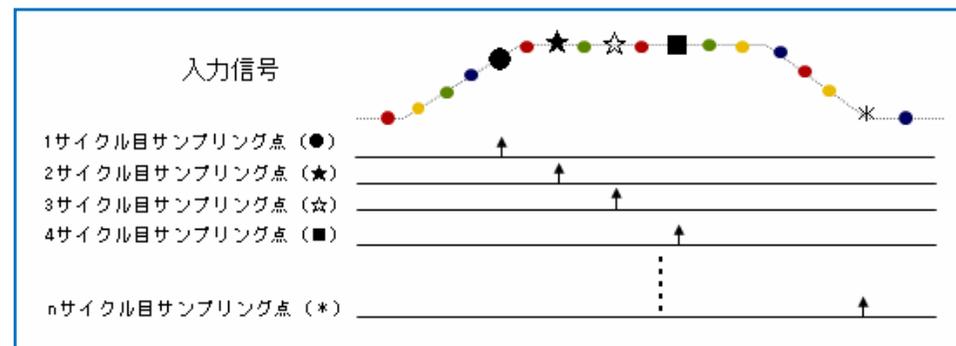
リアルタイム・オシロスコープ

- 信号を単発捕捉し解析
 - 同時多チャンネル
 - パターン・ロック不要(ジッタ解析)
 - デバッグ、トラブルシュートにも最適
- ソフトウェア方式とハードウェア方式のクロック・リカバリ
 - ソフトウェア方式はハードウェアの制約を受けない
- アイ・ダイアグラムとジッタ測定
- 今日の多くの標準規格のコンプライアンス・テストで利用
- イコライザ・シミュレーション、チャンネル・エミュレーション、ディエンベッドも可能
- 柔軟な入力方式
 - 特にプローブの使用
- デジタル入力付、デコード機能も装備

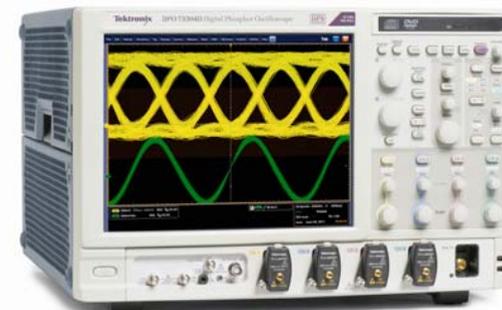


サンプリング・オシロスコープ

- リアルタイム・オシロスコープを凌ぐ高帯域
- 繰り返し信号が前提
- 高確度
 - 高分解能
- 低ノイズ
- クロック・リカバリにはハードウェアが必要
- アイ・ダイアグラムとジッタ測定
 - ジッタ成分の分離にはパターン・ロックが必要
- イコライザ・シミュレーション、チャンネル・エミュレーション、ディエンベッドも可能
- TDRにより伝送路特性を測定可能
 - インピーダンス
 - Sパラメータ
 - SPICEモデリング
- 信号の入りに細心の注意が必要
 - 過大入力、静電気

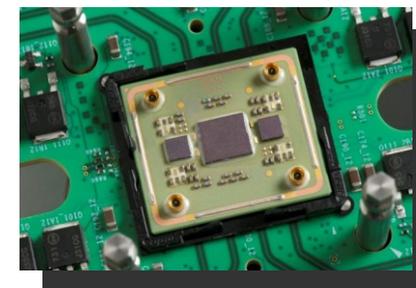


DSA70000Dシリーズ *New!* デジタル・シリアル・アナライザ

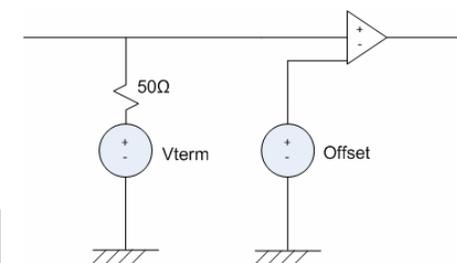


- 「最高の波形特性」と「強力な解析能力」

型名	DSA7334D型	DSA72504D型
最高周波数帯域 2ch(RT)、4ch(ET、アンダー・サンプリング)	33GHz	25GHz
4ch(RT)	23GHz	
立上り時間(20%-80%)	9ps	12ps
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル	
最大レコード長	250Mポイント@4チャンネル	
垂直軸ノイズ (フルスケールに対するp-p)	0.58%	0.58%
フラットネス	±0.5dB(最高周波数帯域の半分まで)	
ジッタ・ノイズ・フロア(rms)	250fs	
デルタ時間測定確度(rms)	347fs	330fs
垂直軸感度	6.25mV/div~120mV/div (62.5mV~1.2Vフルスケール)	
オフセット・レンジ 終端電圧レンジ	+3.4~-3.4V	



IBM社SiGe 8HP BiCMOSプロセスによる新設計のフロントエンドにより、33GHzで必要とされる垂直ノイズとジッタ・ノイズ・フロアの低減化を実現



終端電圧機能によりバイアス Tee、DCブロックを併用することなく、DCバイアス回路を直結可能

DSA70000Cシリーズ *New!* デジタル・シリアル・アナライザ



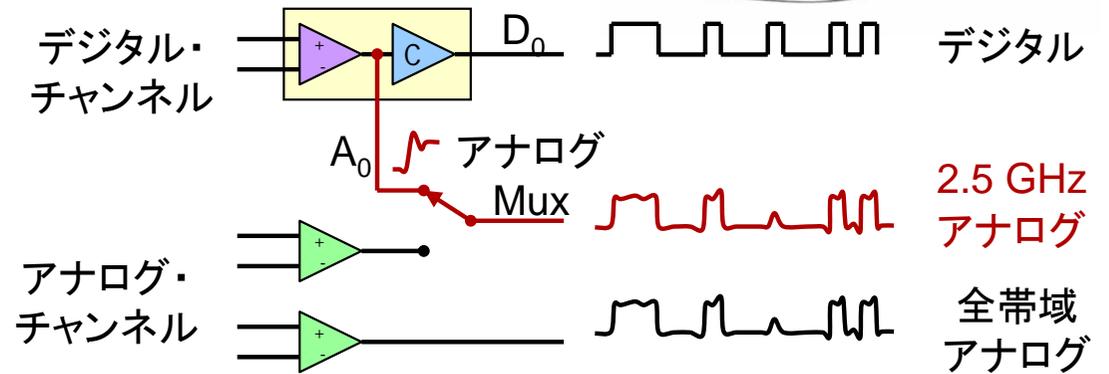
- 「最高の波形特性」と「強力な解析能力」

型名	DSA72004C型	DSA71604C型	DSA71254C型	DSA70804C型	DSA70604C型	DSA70404C型
最高周波数帯域	20GHz	16GHz	12.5GHz	8GHz	6GHz	4GHz
最高サンプル・レート	50GS/s@4チャンネル、100GS/s@2チャンネル			25GS/s@4チャンネル		
最大レコード長	250Mポイント@4チャンネル			100Mポイント@4チャンネル		
垂直軸ノイズ(フルスケールに対するp-p)	0.77%	0.43%	0.38%	0.35%	0.32%	0.28%
フラットネス	±0.5dB(最高周波数帯域の半分まで)					
ジッタ・ノイズ・フロア(rms)	290fs	270fs		300fs		340fs
デルタ時間測定確度(rms)	1.43ps	1.15ps	1.23ps	1.24ps	1.33ps	1.48ps
DSA70000D/C、MSO70000Cシリーズ共通						
主な機能(標準)	<ul style="list-style-type: none"> サーチ&マーク、コミュニケーション・マスク・テスト、ジッタ/アイ・ダイアグラム解析、6.25Gbpsコミュニケーション・トリガ、シリアル・パターン・トリガ/プロトコル・デコード&サーチ 					
主な機能(オプション)	<ul style="list-style-type: none"> フレーム&ビット・エラー・ディテクタ ビジュアル・トリガ I²C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ DDR解析、シリアル・データ・リンク解析、パワー解析、ベクトル・シグナル解析、UWB解析 周波数帯域のアップグレード 					
その他	<ul style="list-style-type: none"> 毎秒30万波形取込みレート DSP特性補正、DSP帯域拡張(DSA72004C型) 周波数帯域選択機能、ArbFilter機能 					

MSO70000Cシリーズ – 業界唯一 高性能ミックスド・シグナル・オシロスコープ



- 業界唯一 : MSO唯一のiCapture
 - 1回のプローブ接続でアナログとデジタルの信号の取込み
- 任意のデジタル・チャンネルとアナログ・チャンネルをすばやく切り替え
 - 同時に観測可能
- 汎用1GHzパッシブ・プローブと2.5GHzアクティブ差動プローブを用意

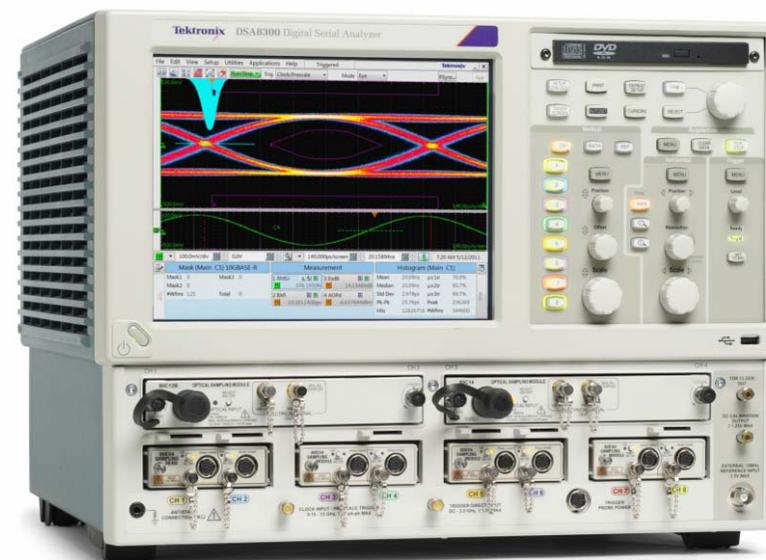


iCapture概念図

型名	MSO72004C型	MSO71604C型	MSO71254C型	MSO70804C型	MSO70604C型	MSO70404C型
周波数帯域	20 GHz	16 GHz	12.5 GHz	8 GHz	6 GHz	4 GHz
アナログ・チャンネル				4		
デジタル・チャンネル				16		
サンプル・レート(アナログ)	50GS/s@4チャンネル、100GS/s@2チャンネル			25 GS/s@4チャンネル		
サンプル・レート(デジタル)	12.5 GS/s					
レコード長 (全チャンネル)	250 M ポイント			125 M ポイント		
バス・トリガ/デコード(オプション)	パラレル、I ² C、SPI、RS-232/422/485/UART、MIPI D-PHY、USB2.0デコード&トリガ					
iCapture®				○		
ロジック・クオリファイ・トリガ				○		
DSAパッケージ・オプション	DSAU			DSAH		

DSA8300型 *New!* デジタル・シリアル・アナライザ

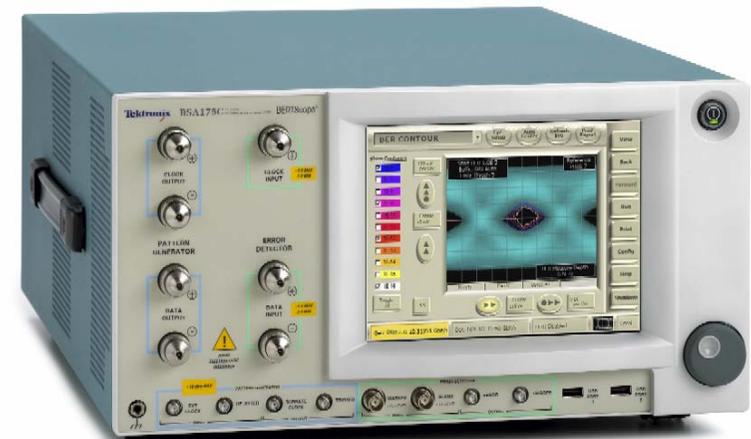
- 最高70GHz+ 周波数帯域
- 最高65GHz 光周波数帯域
- モジュール構造
 - 電気: 5種類、TDR3種類
 - 光: 9種類
- 16ビット垂直分解能: 20 μ V / LSB (1V フルレンジ)
- 最大8ch 同時アキュジション
- ショート・ターム・トリガ・ジッタ
 - 標準: 425fs、80A04型: 200fs (RMS、代表値)
- トリガ帯域
 - クロック入力150MHz~15GHz(保証値)
 - プリスケール入力: 150MHz~20GHz(代表値)
- コミュニケーション・マスク・テスト
- データ依存性障害解析に適したフレーム・スキャン機能
- 内蔵パターン・シンク機能(オプションADVTR)
- オプション
 - ジッタ、ノイズ、BER評価
 - Sパラメータ、モデリング、アイ・ダイアグラム、シミュレーション



BSA Cシリーズ ビット・エラー・レート・アナライザ

BSA CPGシリーズ パターン・ジェネレータ

- 最高26Gbpsのパターン生成、高速BER/ジッタ測定、エラー解析が可能
 - 8.5Gbps、12.5Gbps、17.5Gbps、26Gbps
 - パターン・ジェネレータ4機種、ビット・エラー・レート・アナライザ4機種
 - 最高データ・レートまでフル・レートでBERテスト可能
- ストレス生成機能※
- BERTScopeツールキット
 - 標準テスト・スイート
 - アイ・ダイアグラム、マスク・テスト:オシロスコープ・ライクなアイ・ダイアグラム解析
 - ジッタ・トレランス・コンプライアンス・テンプレート・テストとマージン・テスト※
 - 物理レイヤ・テスト・ソフトウェア・スイート※
 - ジッタ・ピーク、BER輪郭、Qファクタ解析
 - ジッタ分離(ジッタ・マップ) ※
- 当社特許のError Location Analysis機能
 - エラー/データ相関など
- その他※
 - ストレス・ライブ・データ
 - エラー訂正符号化エミュレーション
 - シンボル・フィルタリング



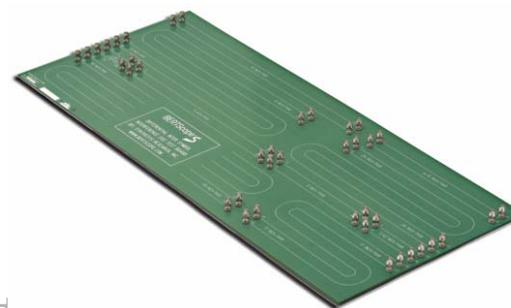
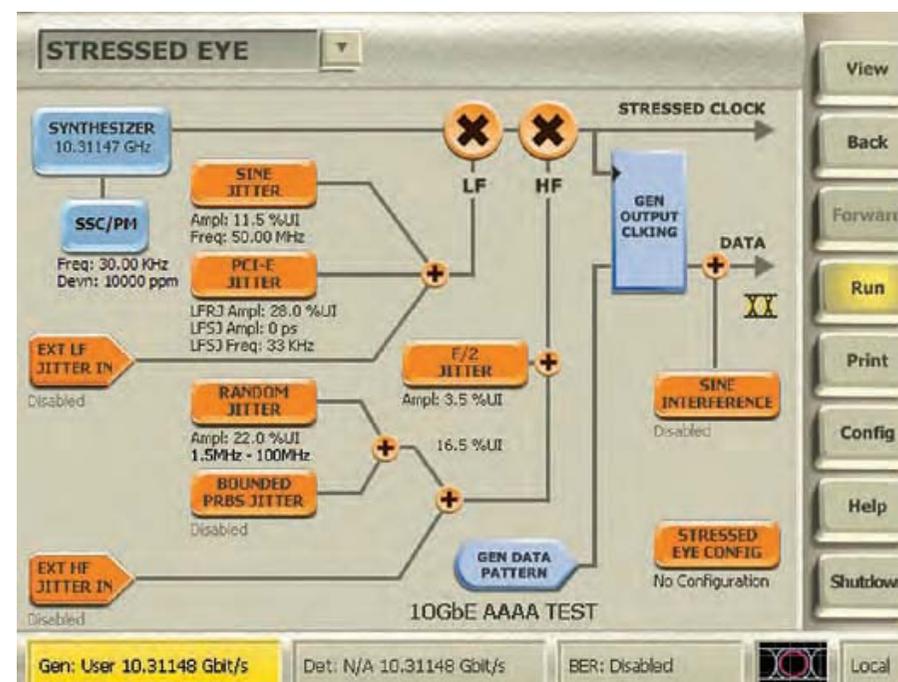
最高データ・レートまでフル・レートでBERテスト可能

- 11.2Gbps以上の動作
 - パターン・ゼネレータのクロック出力はハーフ・レート(1/2)
 - エラー・ディテクタはDDR動作でフル・レートで動作
 - クロックの立上リエッジと立下リエッジの双方で動作
 - 倍レート・クロックで2パスでテストする他社と異なり完全リアルタイムで動作
 - 信号が劣化しやすい高速クロックの入出力、取り回しを回避
- ストレス生成機能

型名	Rj, BUJ	Sj
BSA85C/CPG型	8.5Gbpsまで	
BSA125C/CPG型	12.5Gbpsまで	
BSA175C/CPG型	17.5Gbpsまで	
BSA260C/CPG型	22Gbpsまで	26Gbpsまで

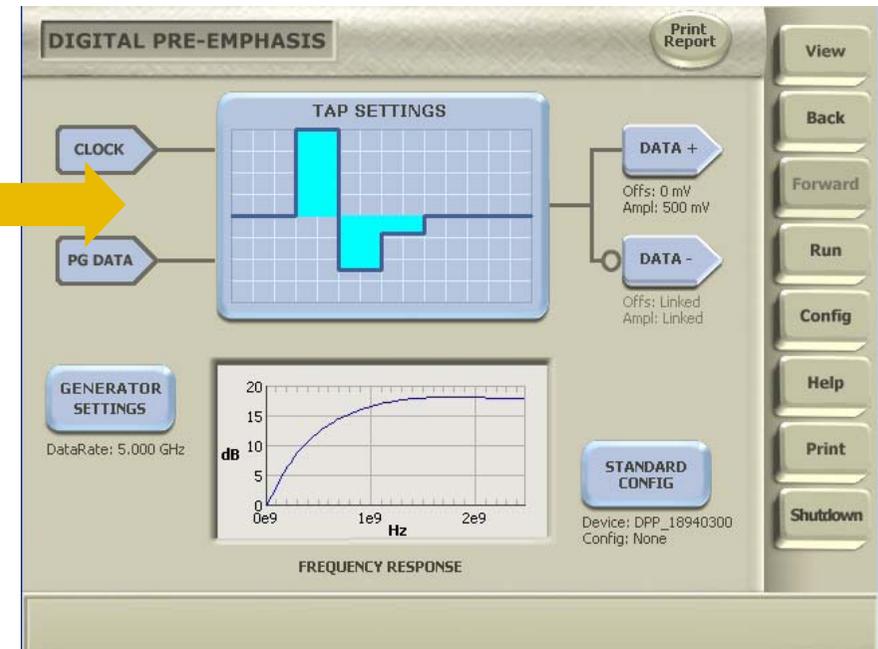
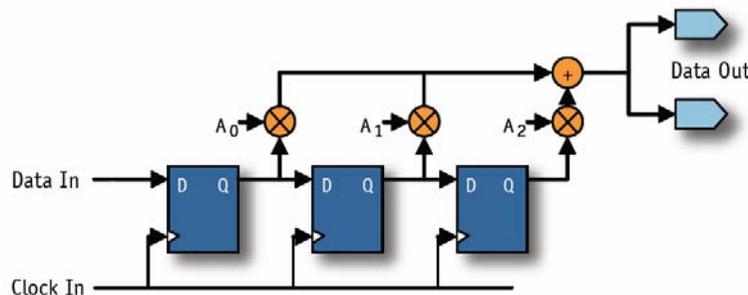
レシーバ・ジッタ耐性テストが必要に BSA C/CPGシリーズ (opt.STR)

- リアルタイムでのジッタ生成と可変
- ジッタ要素
 - 周期性ジッタ
 - F/2ジッタ(オプション)
 - 有界非相関ジッタ (BUJ)
 - ランダム・ジッタ
 - PCI Express Rev.2.0 Rx測定(オプション)
 - 低周波ランダム・ジッタ
 - 低周波周期性ジッタ
- スペクトラム拡散クロック(SSC)
- 単体でBER、レシーバ・ジッタ耐性/マージン・テストが可能(BSA Cシリーズ)
- プリアンファシス(DPP125B型併用)
- ISIの印加
 - BSA12500ISI型 汎用ISI基板

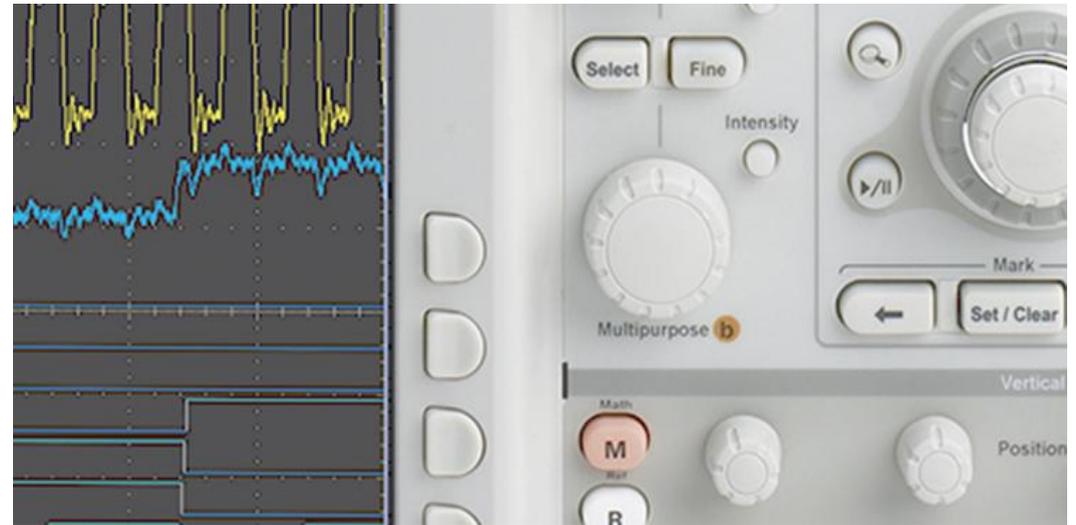


DPP125B型 デジタル・プリエンファシス・ユニット

- 標準:3タップ、オプション:4タップ
 - 任意の3ビット、4ビットに対し、ディエンファシス、プリシュートを設定可能
 - 周波数領域での特性確認可能
- 12.5Gbpsまで
- BERTScope、あるいはスタンドアローンで他のパターン・ジェネレータと併用可能



ありがとうございました。



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>