

MIPIの規格動向と測定ソリューション



テクトロニクス・イノベーション・フォーラム2011

宮崎 強

www.tektronix.com/ja

内容

- はじめに（MIPI® 技術の概要）
- MIPI D-PHYの概要
- MIPI D-PHY測定ソリューション
- M-PHYの概要
- MIPI M-PHY測定ソリューション

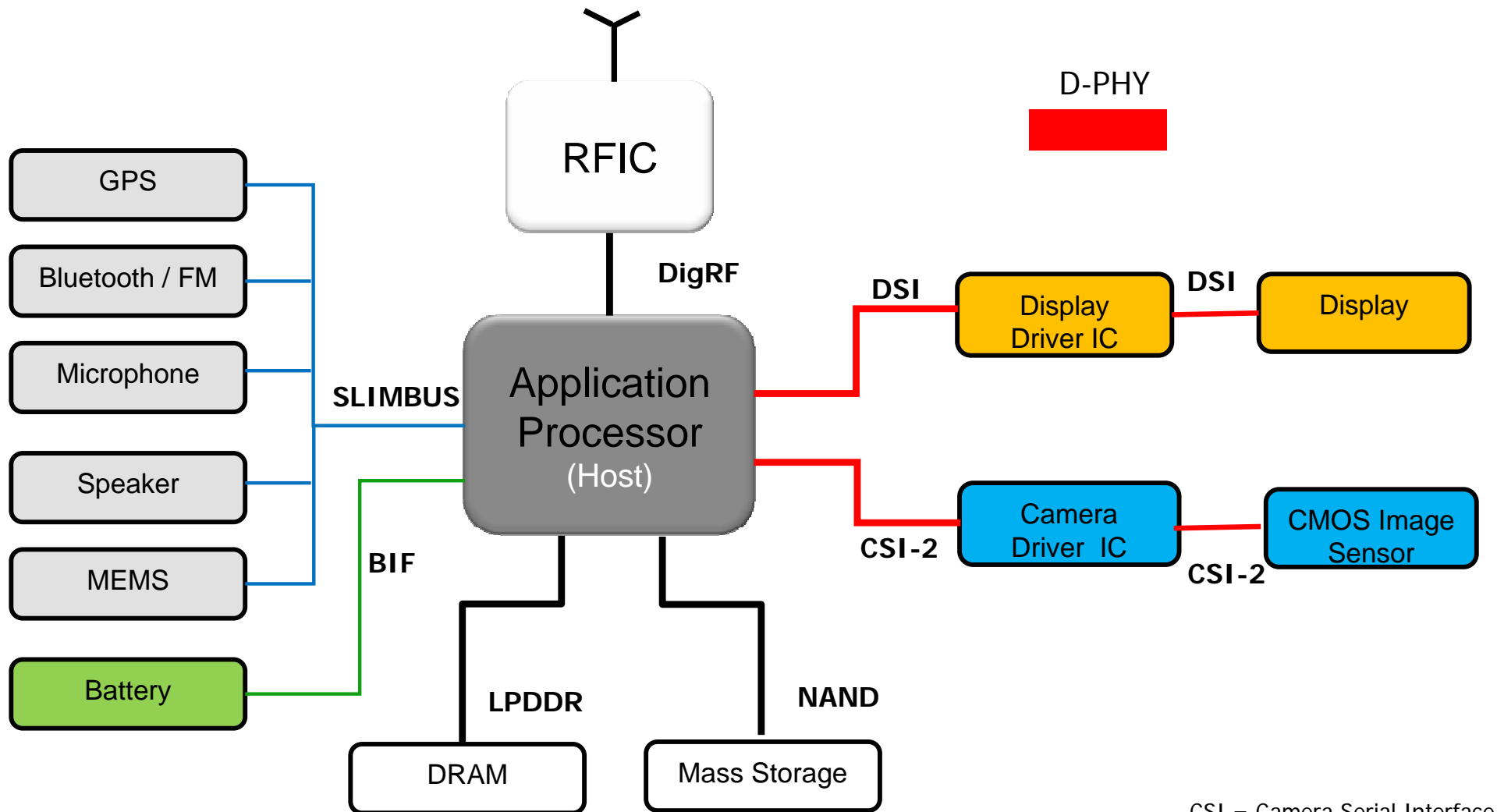
はじめに

MIPI[®] 技術の概要



- MIPI Allianceは**M**obile **I**ndustry **P**rocessor **I**nterface Allianceを意味する
- モバイル機器内のプロセッサとペリフェラルのインタフェースのシンプル化とその普及を目指したアライアンス
- MIPI規格では、プロセッサとカメラ、ディスプレイ、RF、GPS、オーディオ等とのインタフェースを規定
- 特にMIPI D-PHY規格ではカメラやディスプレイとのインタフェースの物理層を規定
 - ディスプレイとのインタフェース・プロトコルはDSI規格 (Display Serial Interface)にて規定
 - カメラとのインタフェース・プロトコルはCSI-2規格 (Camera Serial Interface-2)にて規定
- MIPI M-PHY規格ではRFやフラッシュ・メモリとのインタフェースも視野に入れた物理層を規定
 - プロトコルはDigRF、UniPro、UFS、LLIなど
- TektronixはMIPI AllianceのContributorメンバー

MIPI D-PHY

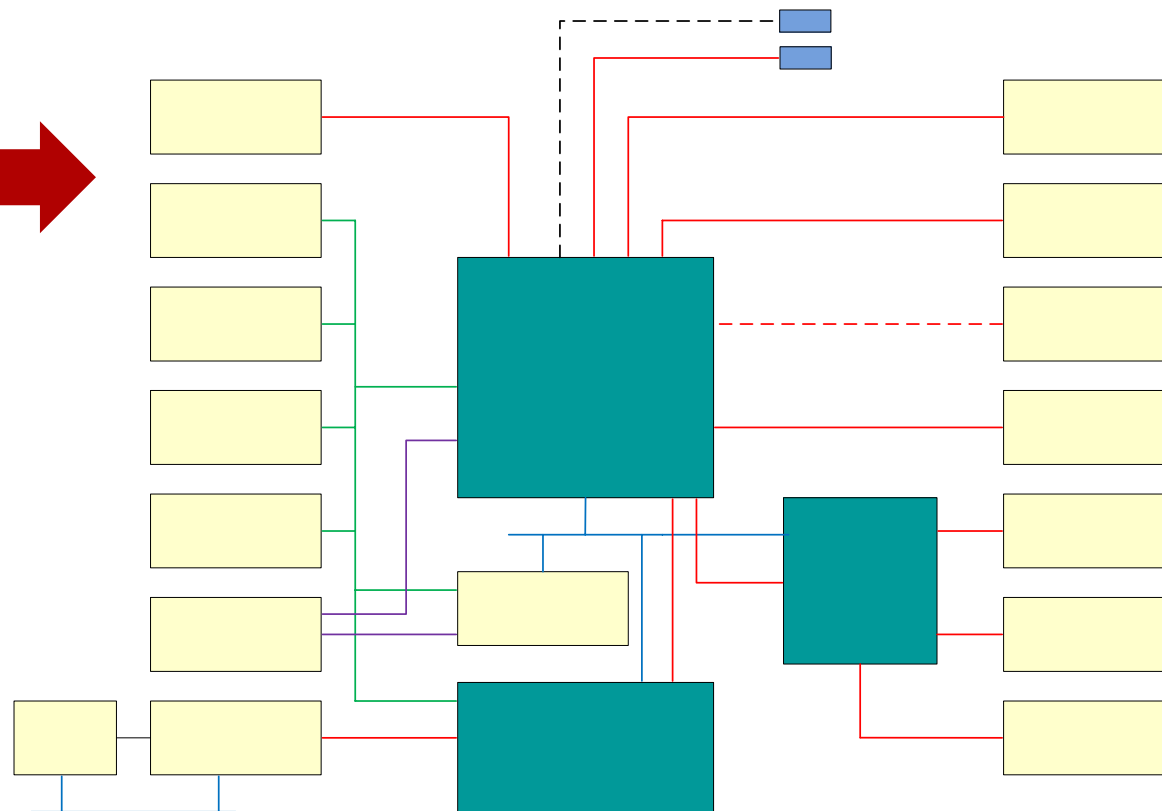
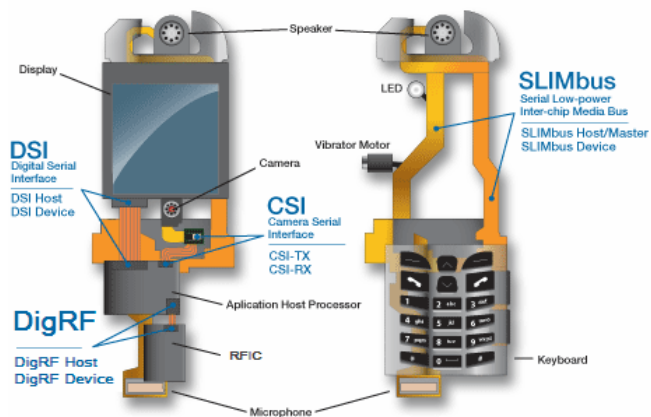


Mobile Platform

CSI = Camera Serial Interface
DSI = Display Serial Interface
SLIMbus = Serial Low-power Inter-chip Media Bus

MIPI の概要

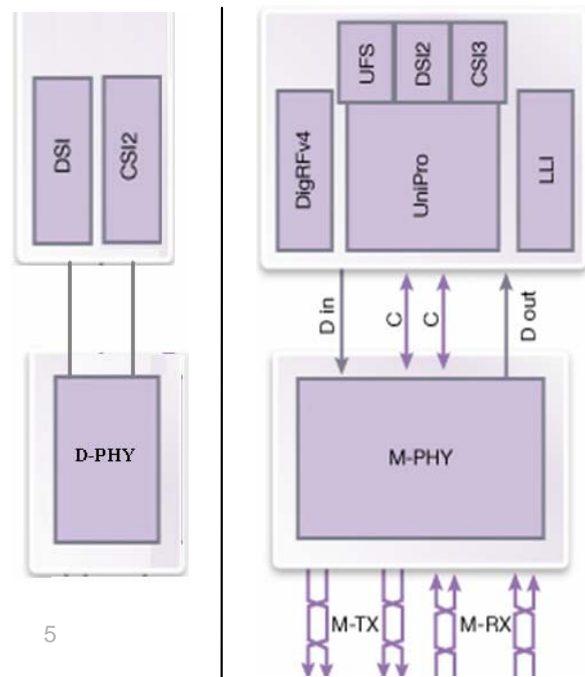
次世代モバイル・プラットフォームの例



- D-PHY/M-PHY based
 - SLIMbus
 - SPMI/RFFE
- UniPort** : UniPro + D-PHY or M-PHY

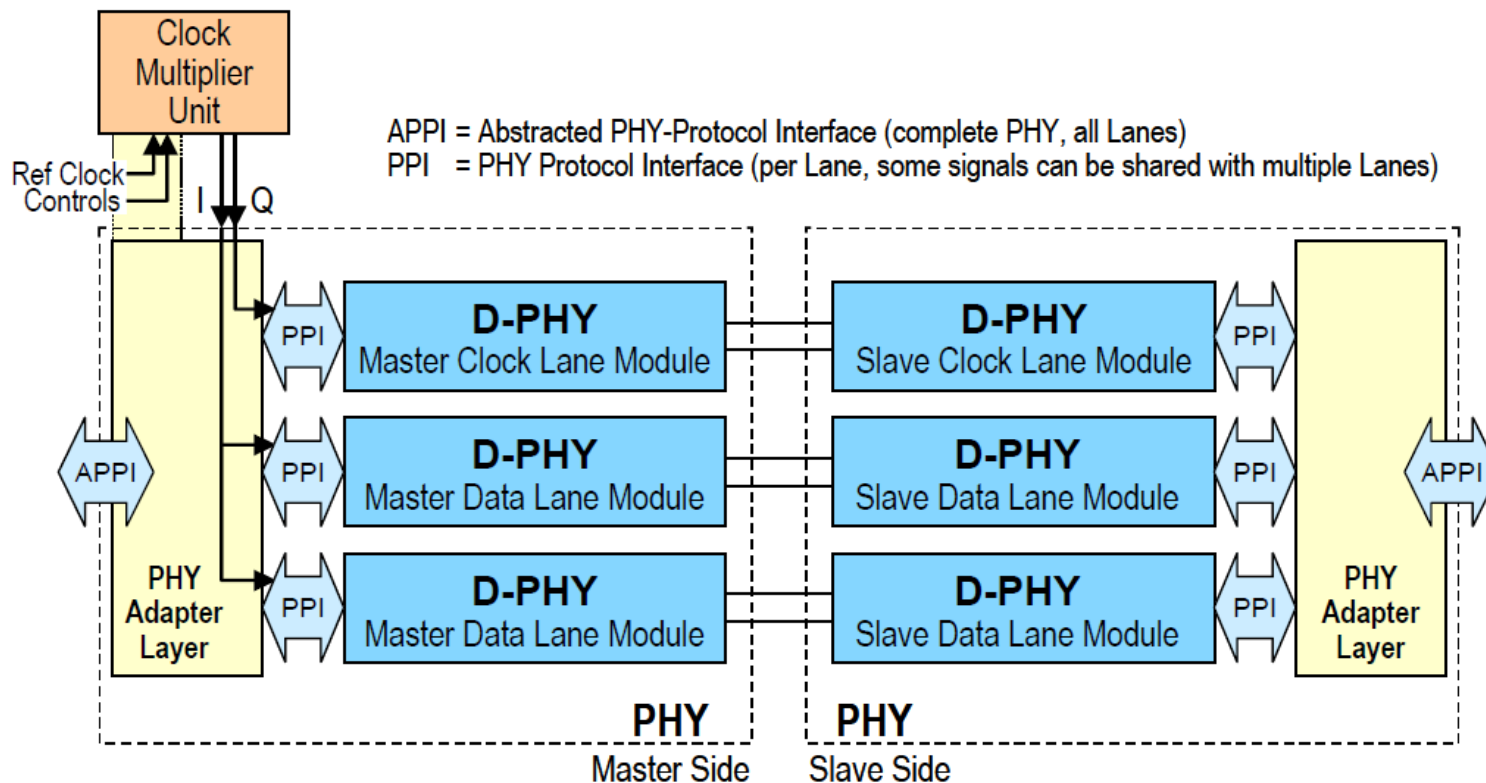
UFS : Universal Flash Storage

(*) Transferred to IEEE
 (**) Liaison with JEDEC



1. MIPI D-PHYの概要

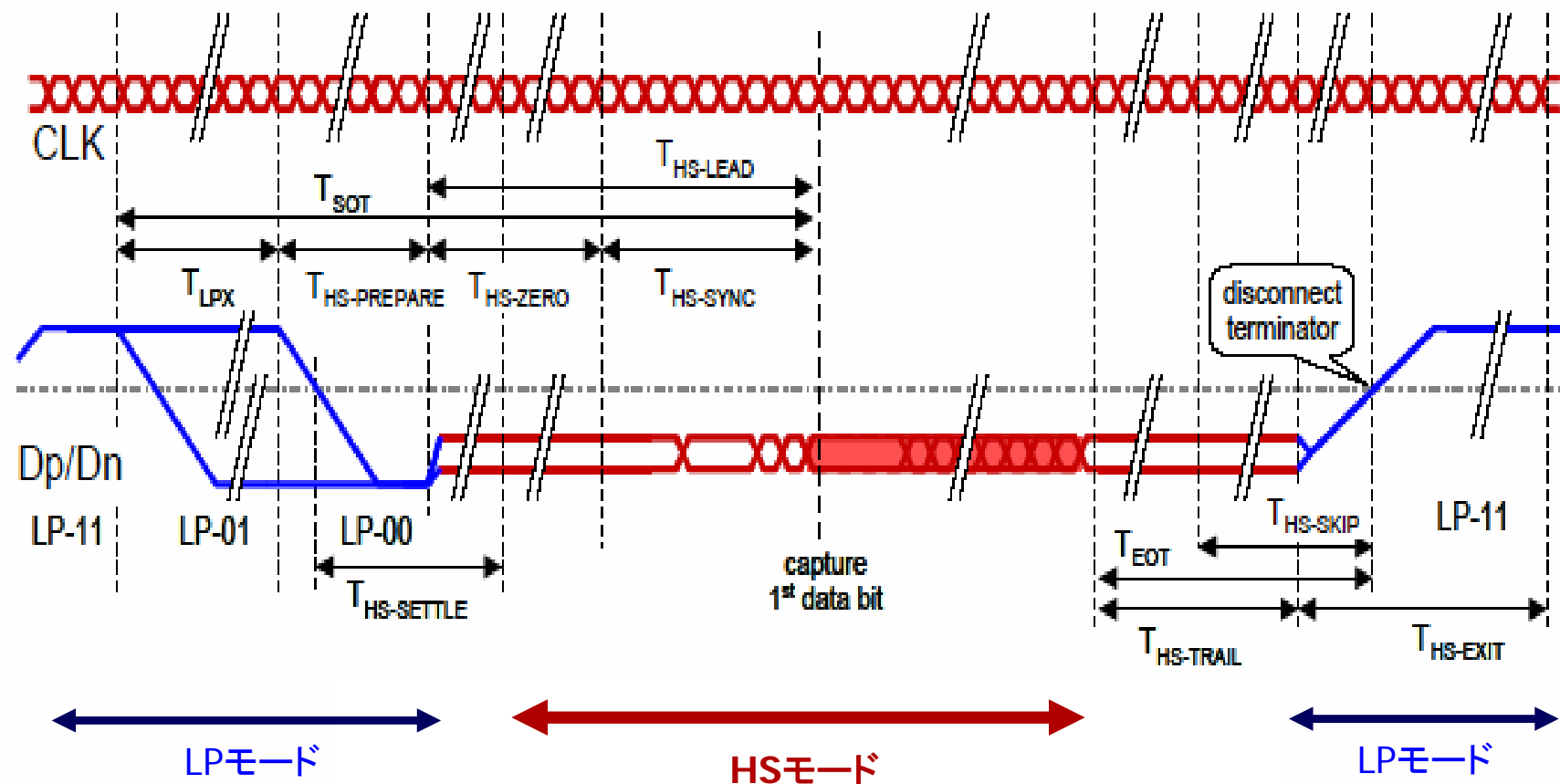
- MIPI D-PHYは、電気仕様を定めた物理レイヤで、その上位に Display Serial Interface(DSI)やCamera Serial Interface(CSI-2)などのプロトコルが位置する。
- クロック 1レーン + 1レーン以上のデータ・レーン



2Data Lane PHYの構成例

MIPI D-PHY概要

- クロックとデータによる伝送でクロックはDDR動作
- 2つの伝送モード、Low Powerモード(LP)とHigh Speedモード(HS)がある



MIPI D-PHY概要

- 最大4データ・レーン + 1クロック・レーンによる伝送
- 各レーンの最大データ・レート
 - HSモードは80 Mbps ~ 1Gbps
 - LPモードは10 Mbps以下(主にコマンドの伝送用だがデータ伝送もあり)
- HS信号のTr/Tf(20-80%立上り時間/立下り時間)は最小150psと規定
- 信号方式は、HSとLPの各モードで異なる
 - HSモードはLVDSでCを介してGNDに50Ω終端(差動100Ω)
 - LPモードは終端抵抗無しのシングルエンド動作
- 双方向伝送または片方向伝送

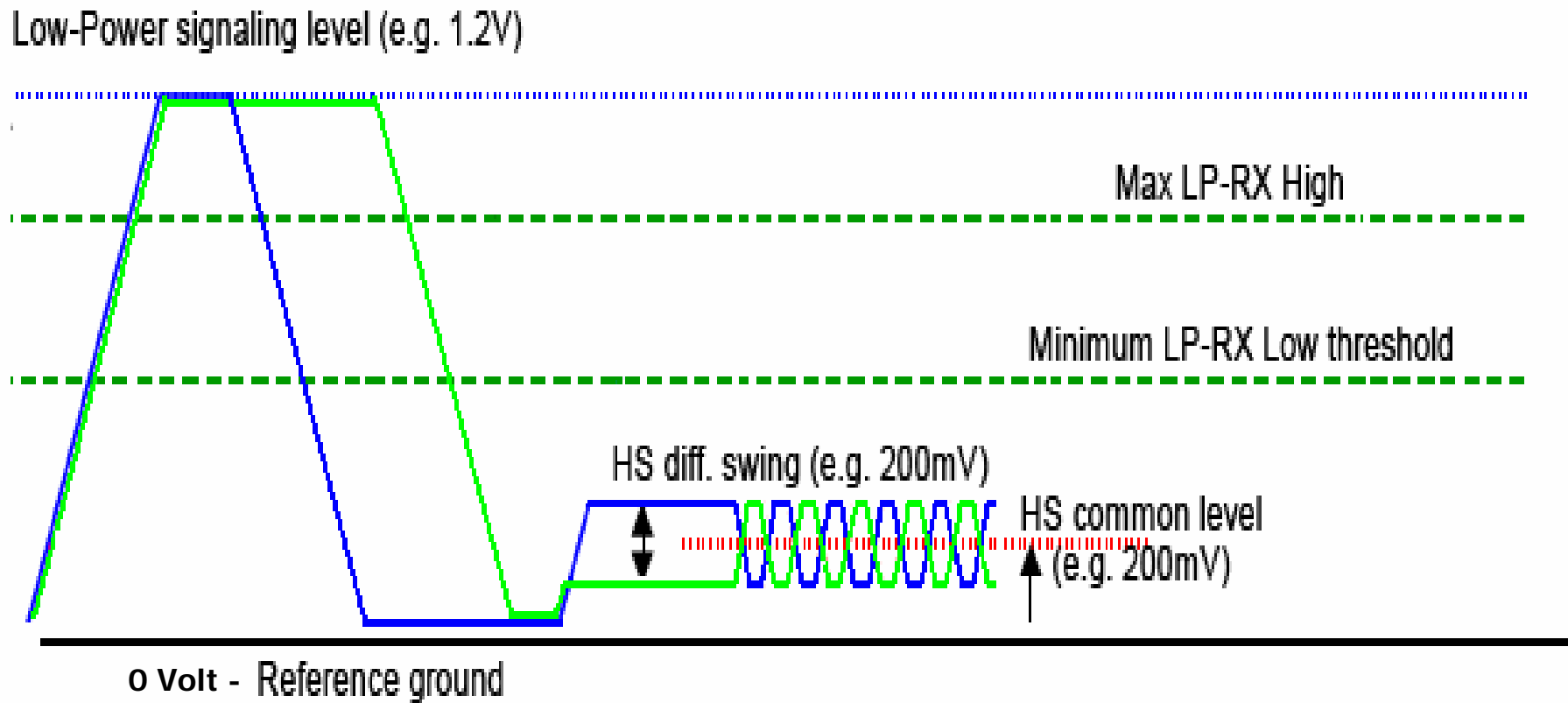
最近の高分解能ディスプレイや高分解能カメラの採用により4Dataレーン+ 1Clockレーン構成の採用が増えています。

また、HSモードで1Gbps超、LPモードで10Mbps超の検討もされています。

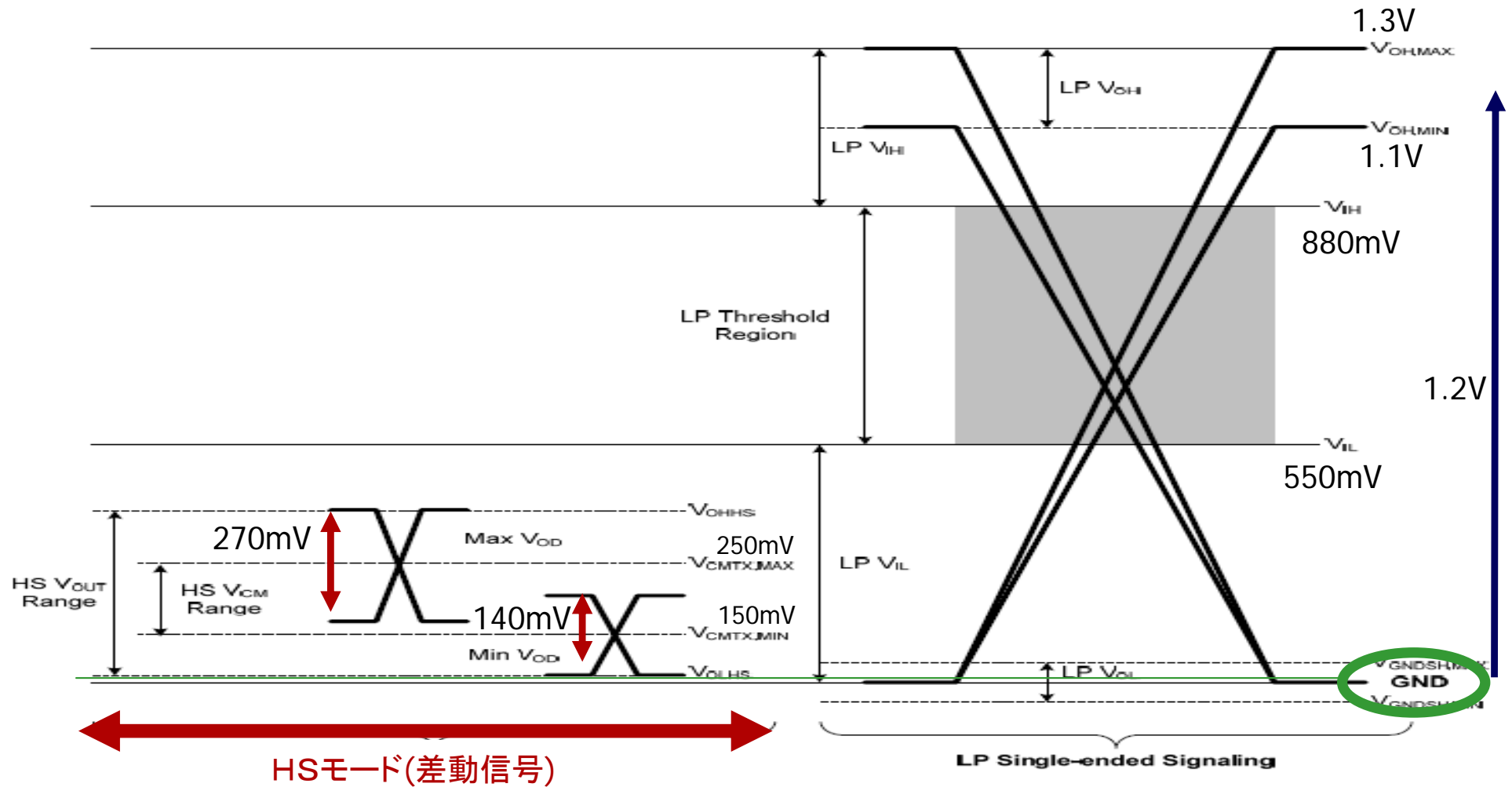
将来の高分解能化に向けた模索が行われています。

MIPI D-PHY概要

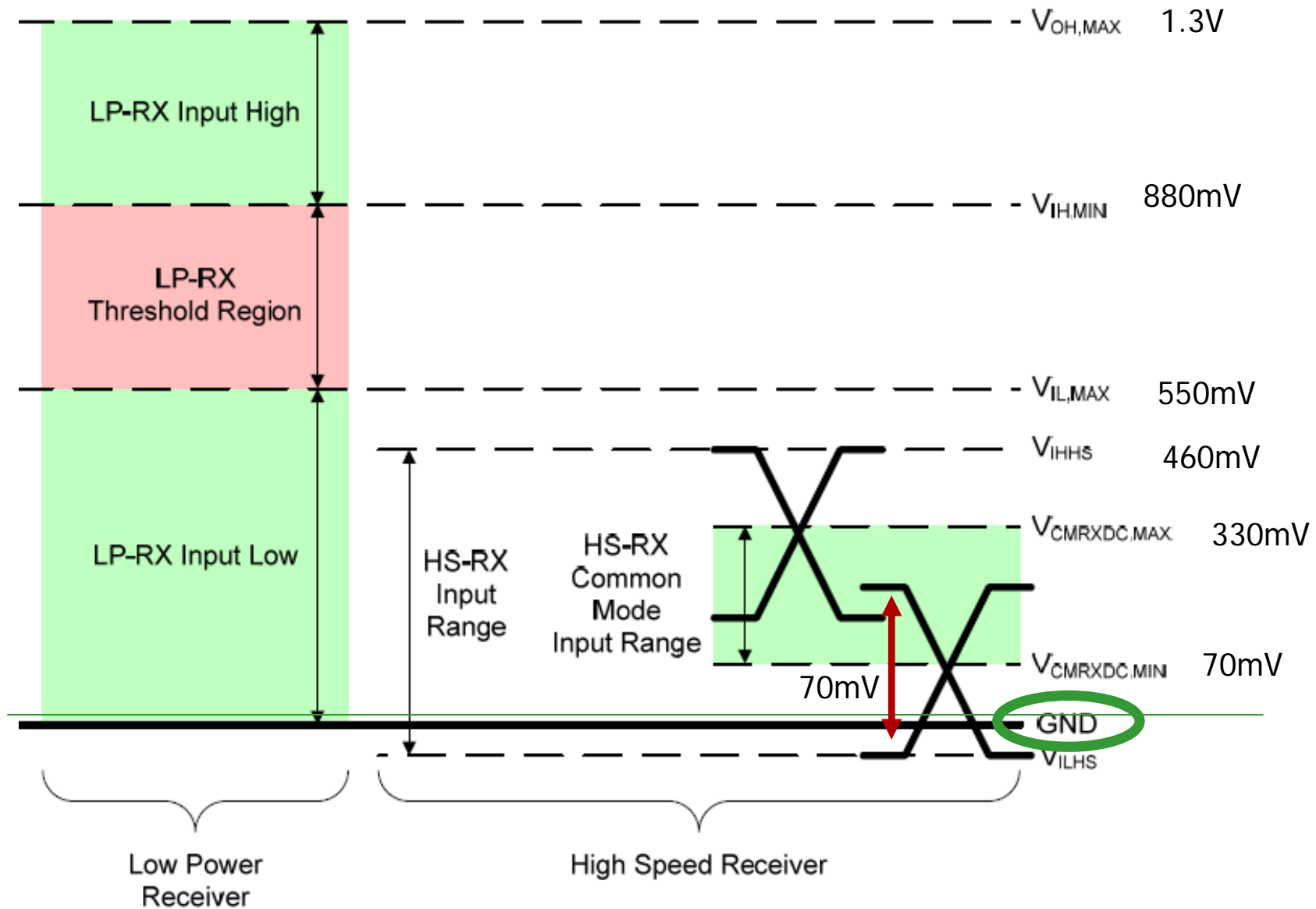
HSモードとLPモードがダイナミックに遷移



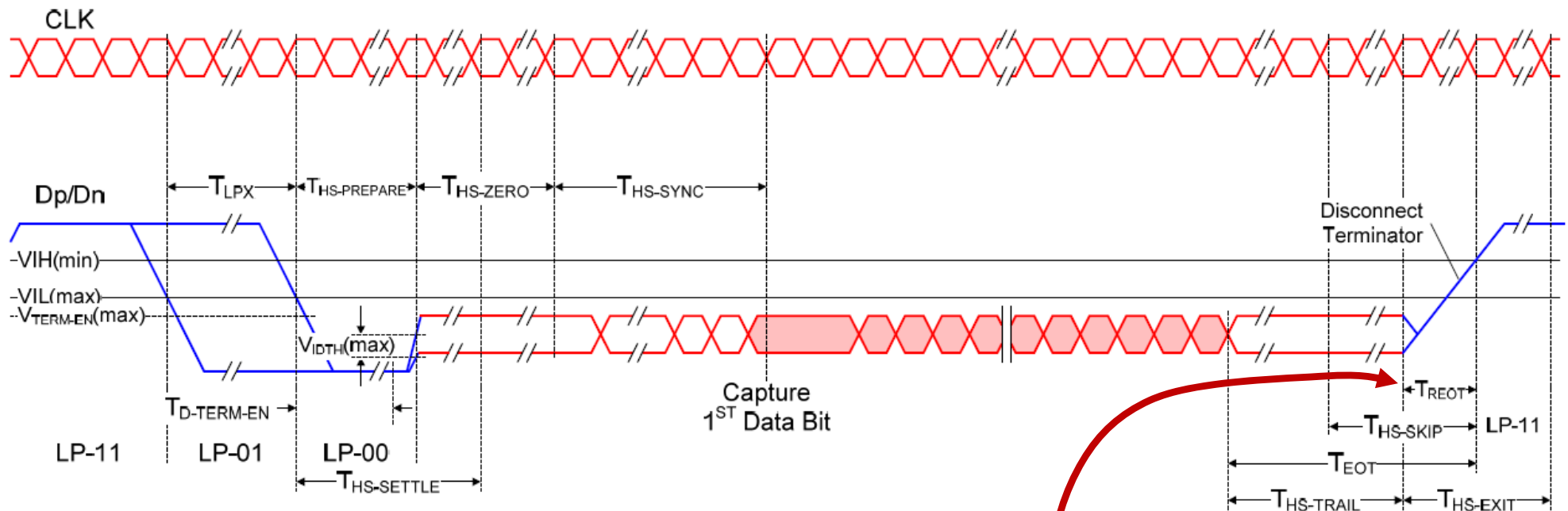
D-PHY Tx信号レベル



D-PHY Rx信号レベル

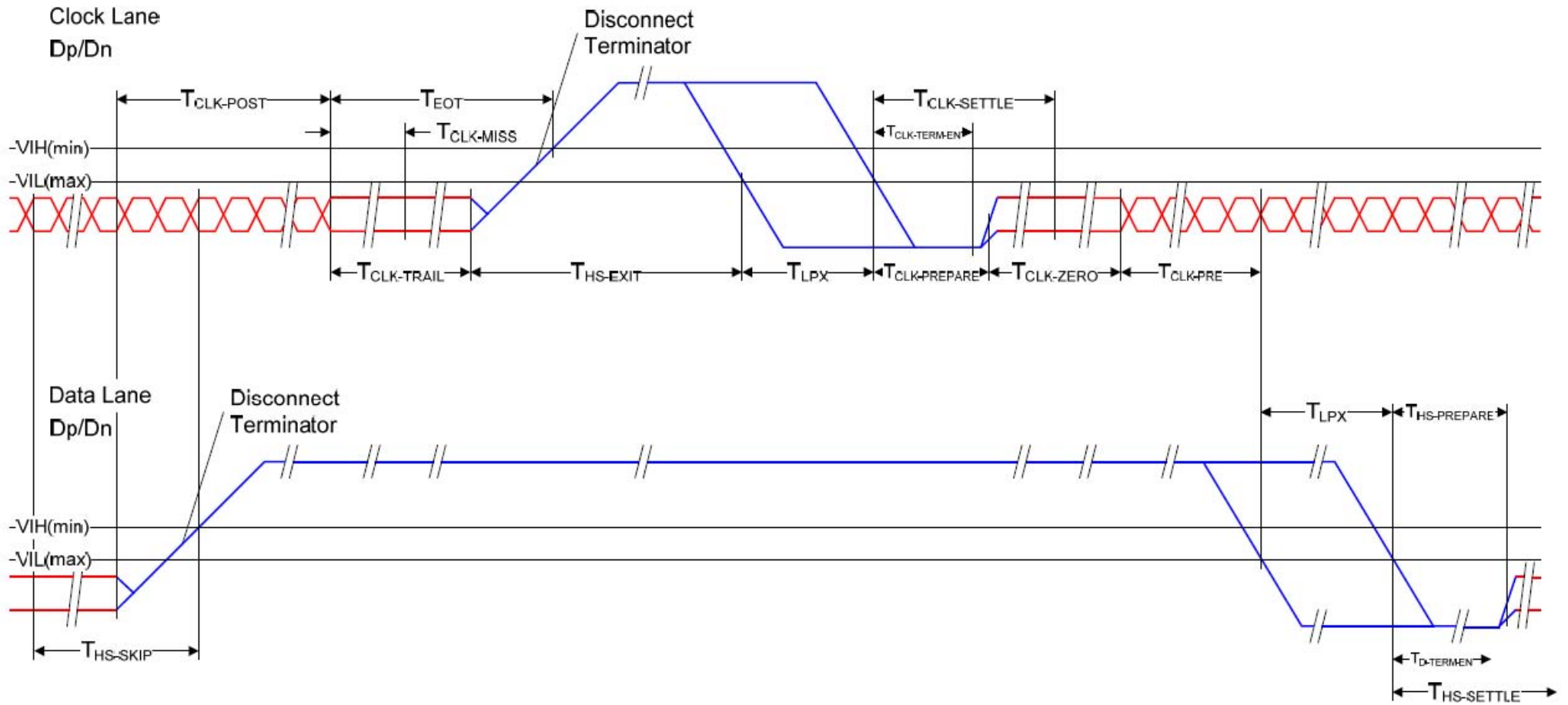


Tx Data Lane の HS/LP遷移タイミング



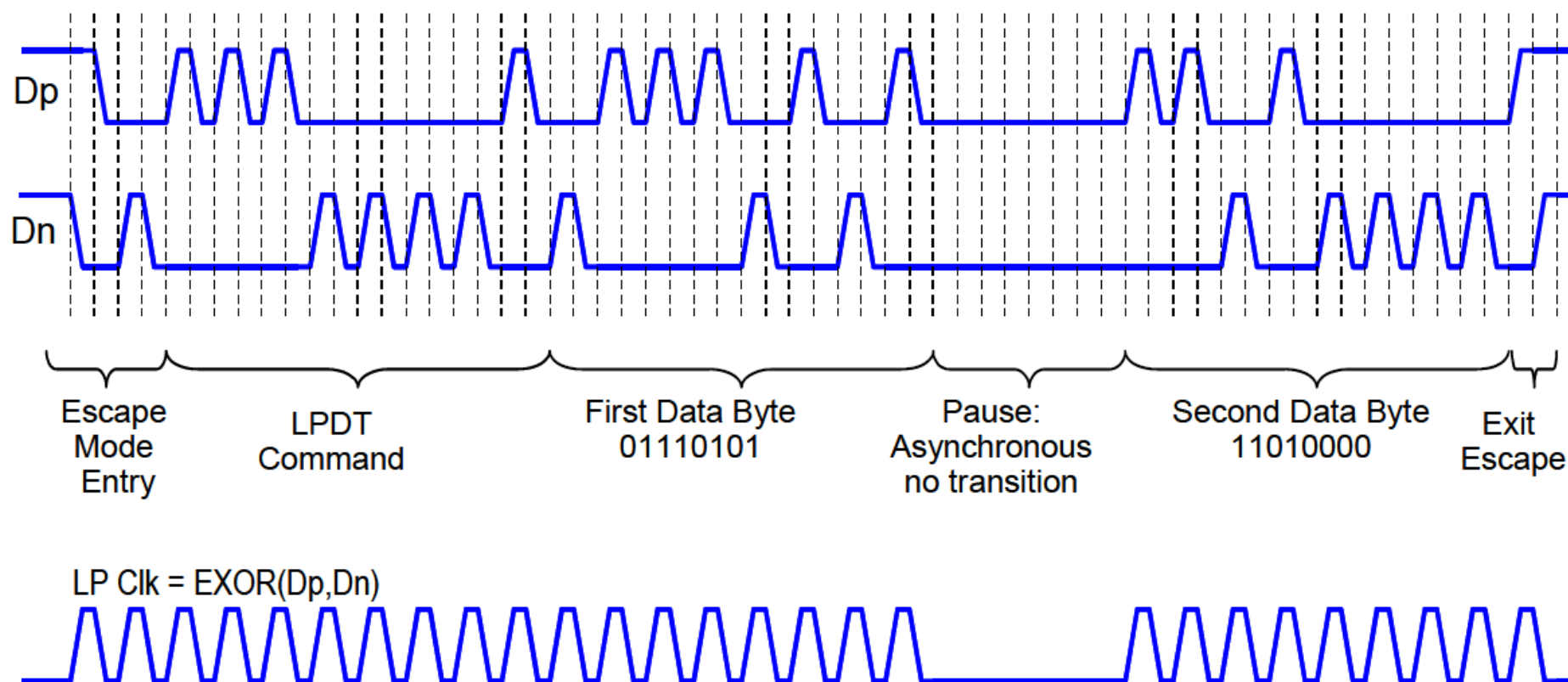
$T_{TERM-EN}$ (30% to 85% の T_f/T_f) は 35ns 以下

Tx Clock Lane の HS/LP遷移タイミング



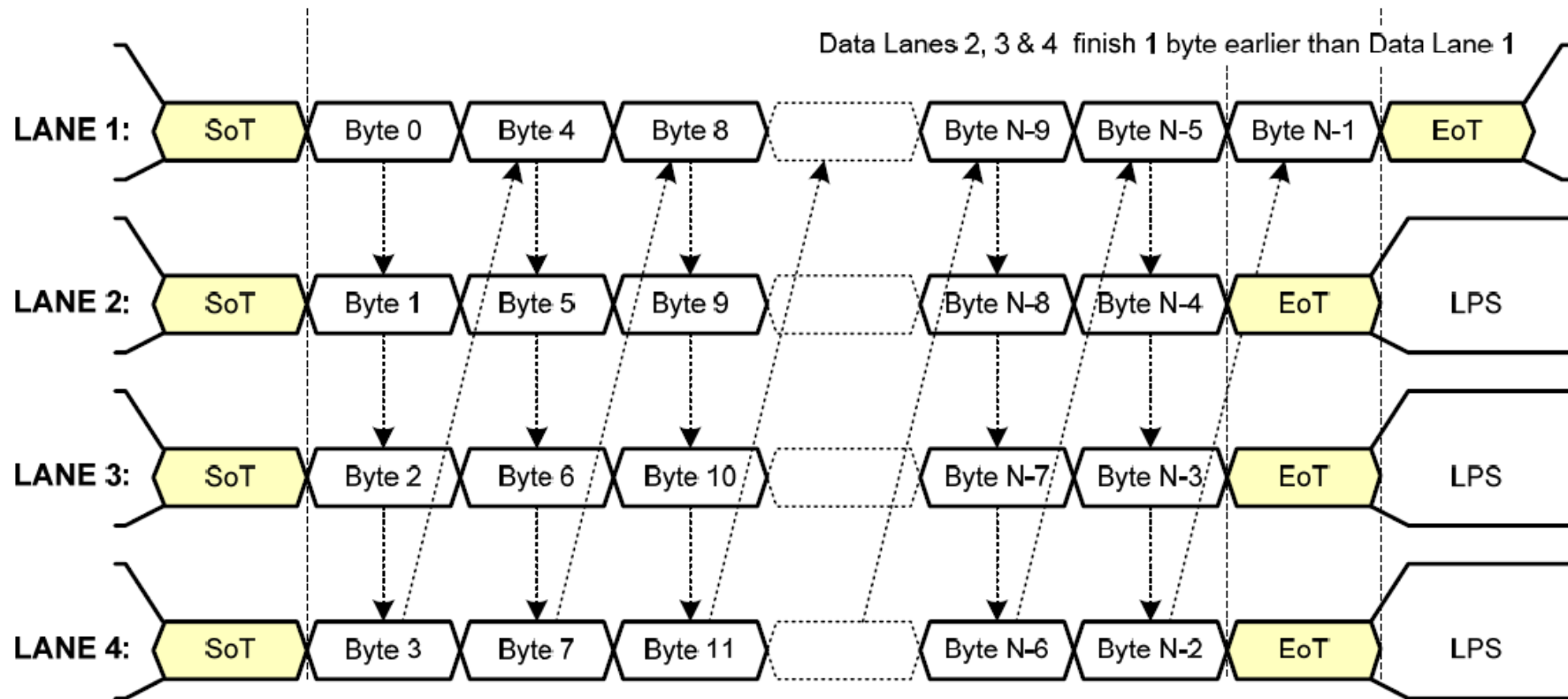
LPDT

- LPDT (Low Power Data Transmission) では、レシーバが Dp と Dn の EXOR でクロックを再生
- T_{RLP}/T_{FLP} (TX LP Data の 15% to 85% T_r/T_f) は 25ns 以下



MIPI DSIの論理層

Multi Data Lane 伝送



KEY:

LPS – Low Power State

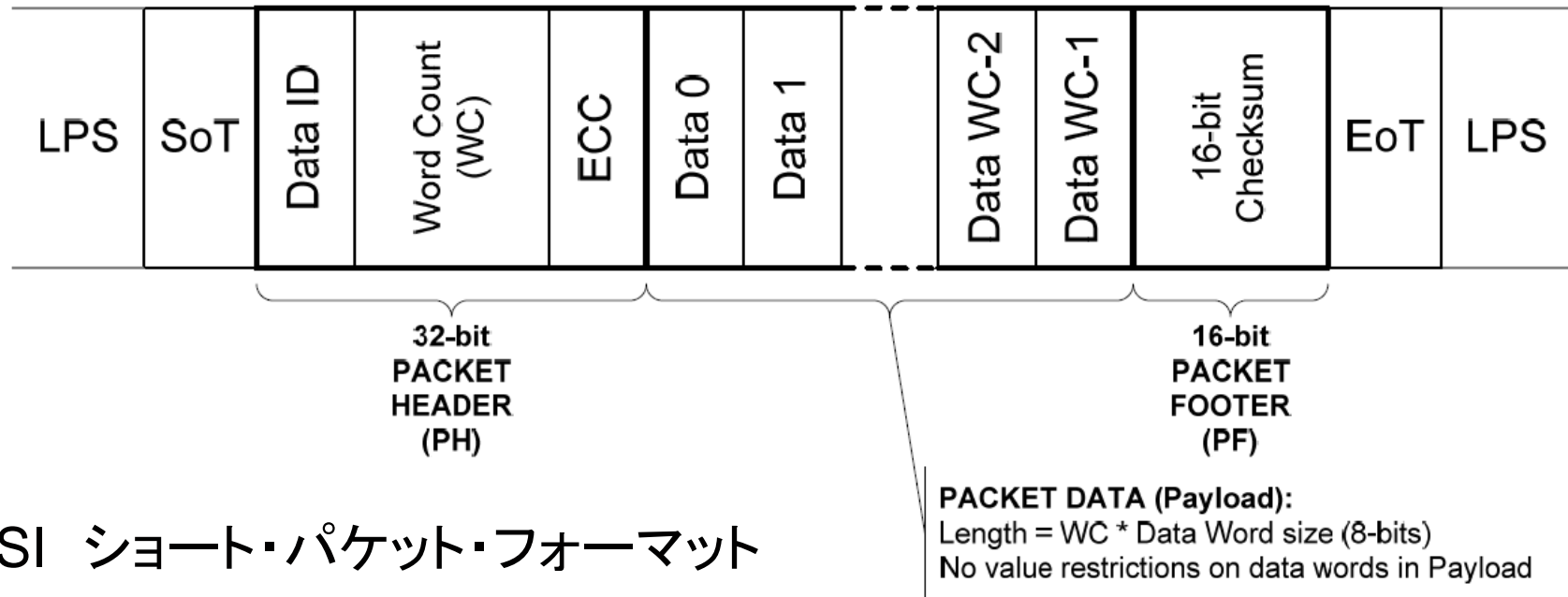
SoT – Start of Transmission

EoT – End of Transmission

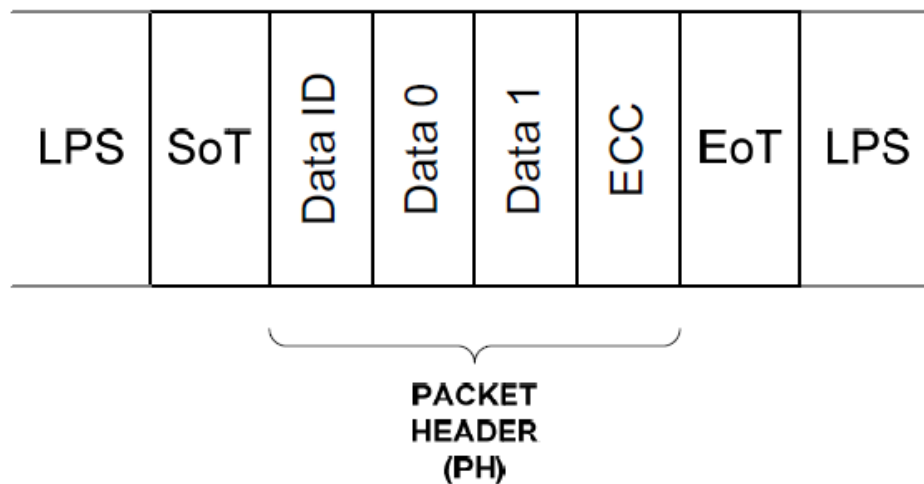
4データ・レーン構成時の伝送

MIPI DSIの論理層

- DSI ロング・パケット・フォーマット

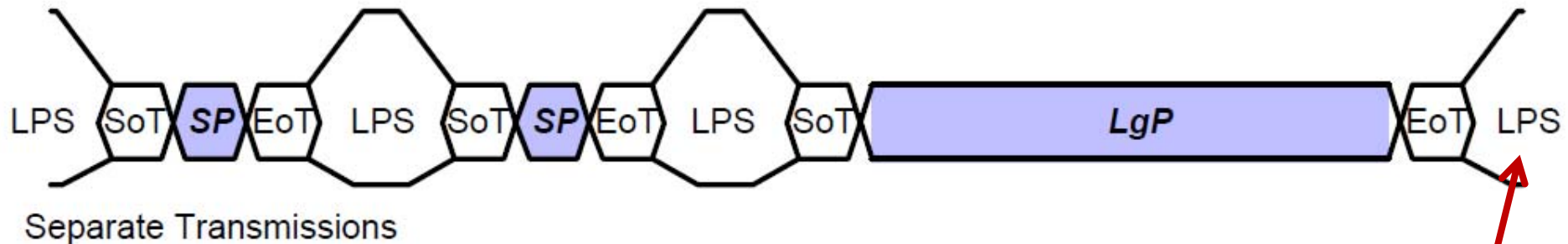


- DSI ショート・パケット・フォーマット



MIPI DSIの論理層

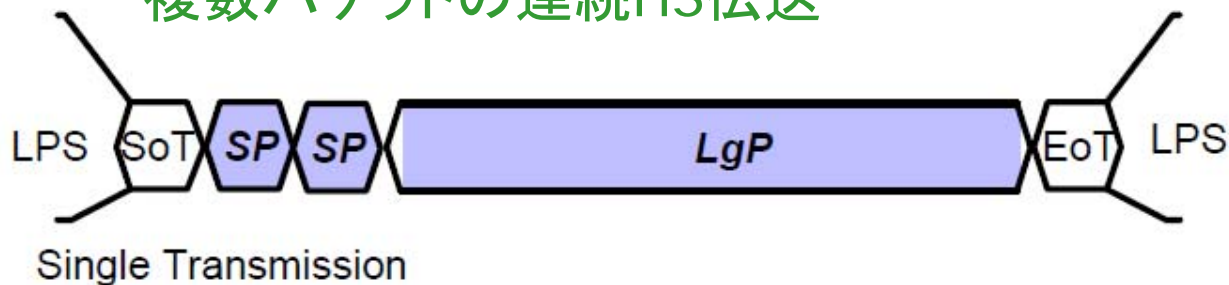
複数パケットのHS伝送



LPS – Low Power State
SoT – Start of Transmission
EoT – End of Transmission

SP – Short Packet
LgP – Long Packet

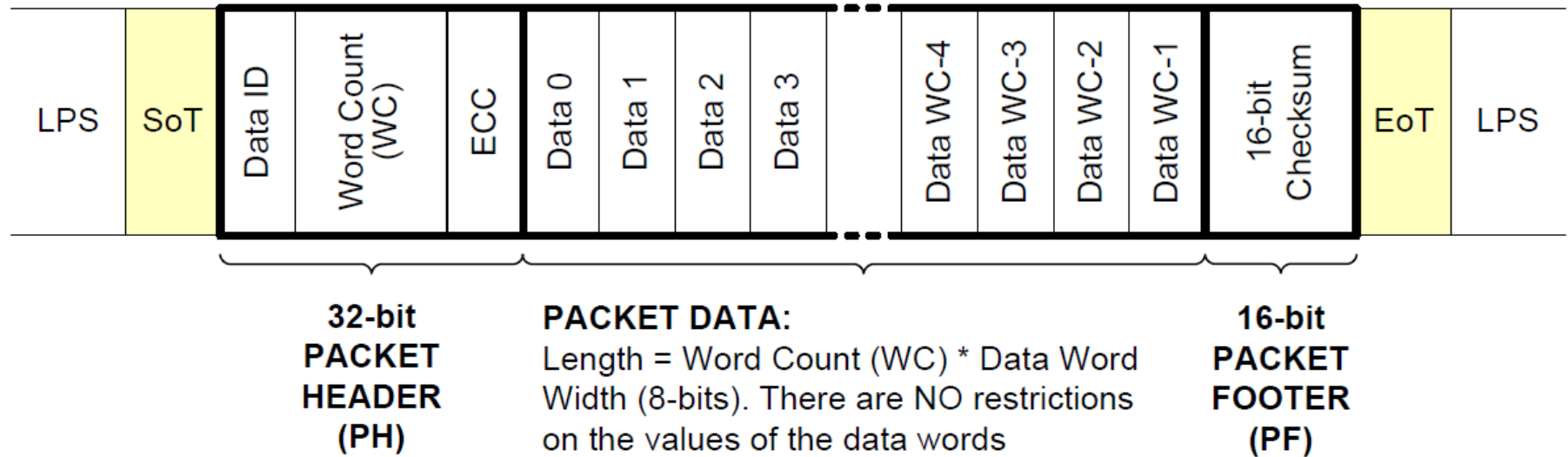
複数パケットの連続HS伝送



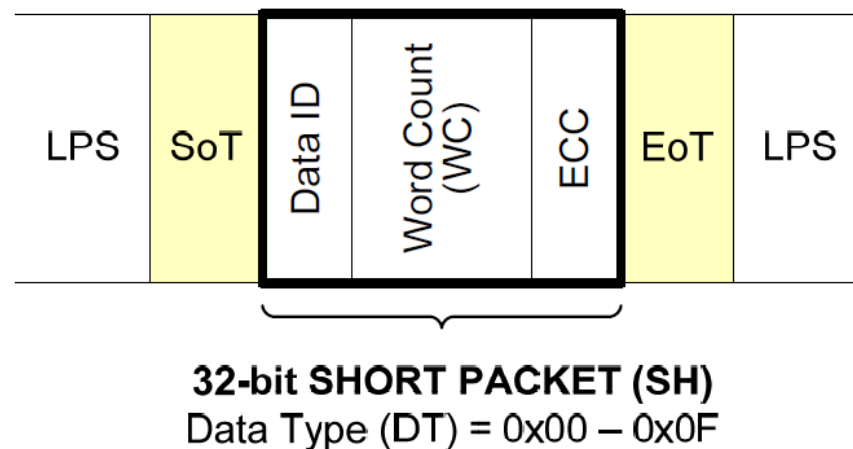
LPSでは差動100Ω終端が切り離され、低消費電力となる

MIPI CSI-2の論理層

- CSI-2 ロング・パケット・フォーマット

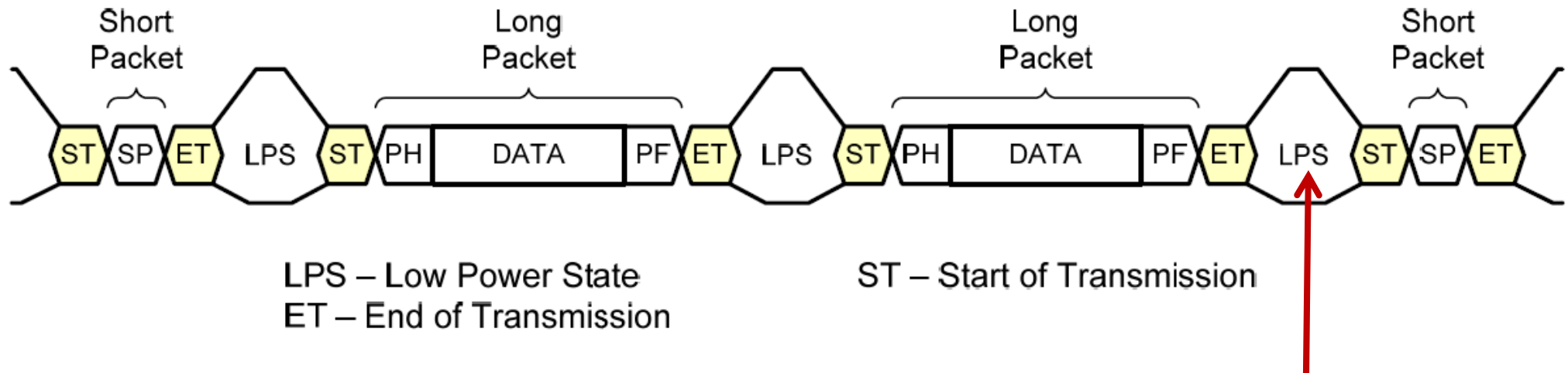


- CSI-2 ショート・パケット・フォーマット



MIPI CSI-2の論理層

複数パケットのHS伝送

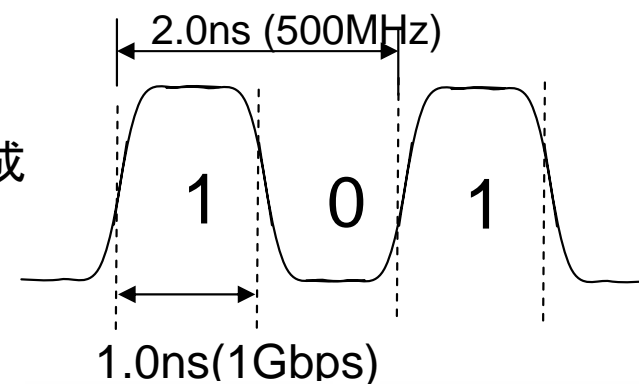


LPSでは差動100Ω終端が切り離され、低消費電力となる

2. MIPI D-PHY測定ソリューション

必要なオシロスコープの周波数帯域は？

- 高速デジタル信号は一般的に方形波
- 周波数領域で見ると、方形波は基本波と奇数高調波により構成
- 方形波の基本波周波数(最高) = ビット・レート(NRZ) / 2
例: 1Gbpsの場合500MHz
- 方形波では**5次高調波までの捕捉が目安**



— 実際は立上り時間Tr(20-80%)がキー

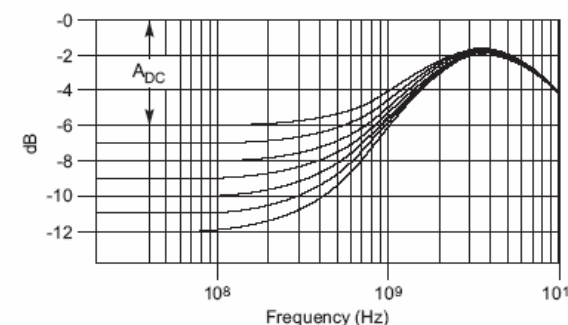
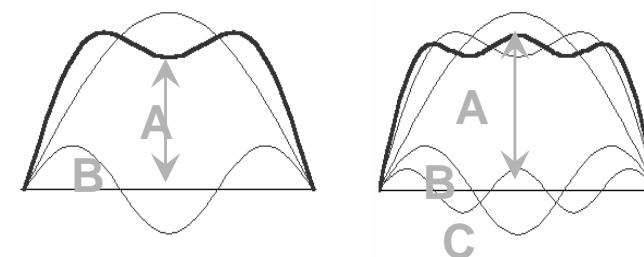
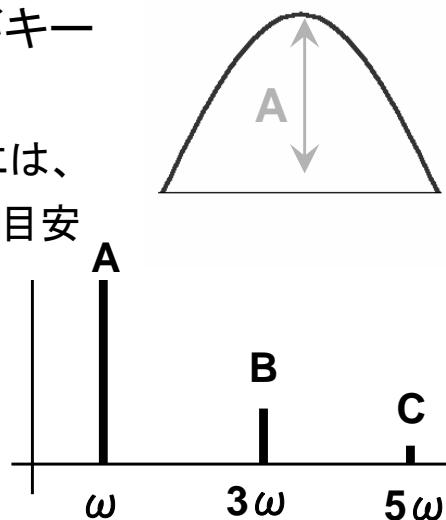
- ニー周波数 (fKnee)* = 0.4 / Tr
- 3%誤差内での立上り時間測定には、
周波数帯域 = 1.4 × fKnee が目安

1Gbps / レーンで Tr=150ps とすると

- 基本波 : 500MHz
- 第3高調波 : 1.5GHz
- 第5高調波 : 2.5GHz
- fKnee = 2.67GHz

推奨周波数帯域 = 3.74GHz

(5%測定確度なら fKnee × 1.2 で 3.2GHz)



$$H(s) = \omega_{P2} \frac{s + \omega_{P1} * A_{DC}}{(s + \omega_{P1}) * (s + \omega_{P2})}$$

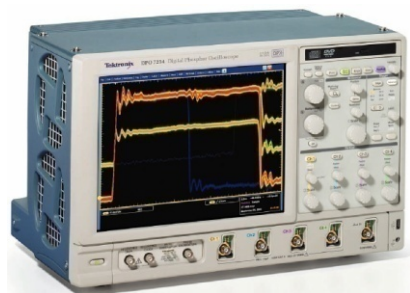
$$\omega_{P1} = \text{pole 1} = 2\pi * 2 \text{ GHz}$$

$$\omega_{P2} = \text{pole 2} = 2\pi * 8 \text{ GHz}$$

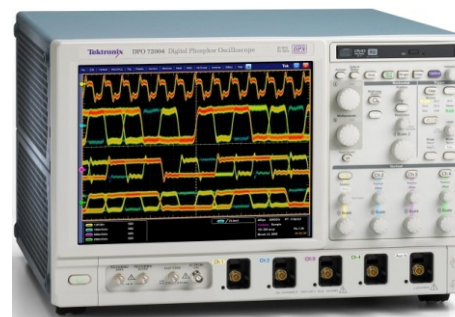
$$A_{DC} = \text{dc gain}$$

*高調波成分が急速に減衰する点。引用: Howard Johnson and Martin Graham, 「High-Speed Digital Design: A Handbook of Black Magic」, p.2. Prentice Hall, 1993

推奨オシロスコープ

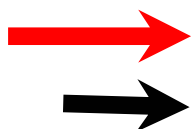


DPO7000CシリーズとTDP3500型プローブ



DSA/DPO70000CシリーズとP7340A型プローブ

機種名	周波数帯域	立ち上がり (20%-80%)	最大サンプリング・レート	プローブ・ インターフェース
DSA/DPO72004C	20GHz	17ps	100GS/s@2チャンネル 50GS/s@4チャンネル	TekConnect
DSA/DPO71604C	16GHz	21ps		
DSA/DPO71254C	12.5GHz	23ps		
DSA/DPO70804B	8GHz	33ps	25GS/s@4チャンネル	
DSA/DPO70604C	6GHz	43ps		
DSA/DPO70404C	4GHz	65ps		
DPO7354	3.5GHz	95ps	40GS/s@1チャンネル 20GS/s@2チャンネル 10GS/s@4チャンネル	TekVPI
DPO7254	2.5GHz	100ps		
DPO7104	1GHz	200ps		



Opt.D-PHYTX

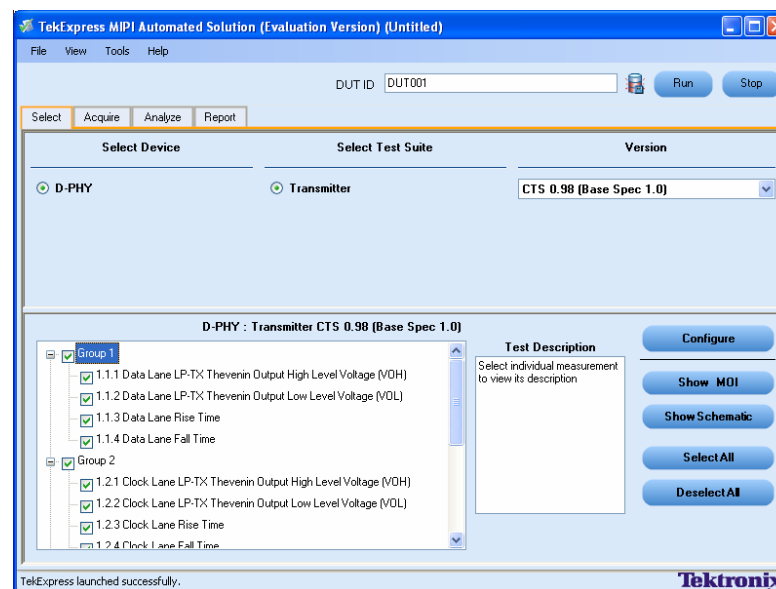
規格適合性自動テスト

新機能!

- Opt.D-PHYTX (D-PHY 自動測定機能)
 - D-PHY規格適合性を全自動測定
 - 使用にはTEKEXP(自動コンプライアンス・テスト・ソフトウェア TekExpress)が必要
 - DPO7000C, DPO/DSA/MSO70000Cシリーズのオプション

■ D-PHYTXの特長

- カーソル設定、測定範囲指定も含め全自動
- 最新のD-PHY規格 (v1.0)に準拠
- 最新の CTS (v1.0)に適合
 - UNH Conformance Test Suiteに準拠
- ツリー構造による測定項目、測定グループ選択
- カスタム・リミット/リミット値の編集 (on the fly)
- テスト・レポート
 - 測定部分の波形イメージ
 - Pass/Fail サマリ(マージンの詳細付)
- 高精度テスト用最小構成は 3.5GHz(DPO7354C)から可能



D-PHYTX の測定結果レポート画面

- 詳細なテスト・レポート
 - Pass/Failサマリ表
 - 各テストにおけるマージンの詳細
 - 各テスト箇所の波形画面をリンク
 - 全レーンの全テストについて統合レポート生成

Tektronix
Enabling Innovation

TekExpress Automation Framework
D-PHY Transmitter Signal Characteristics Test Report

DUT ID : DUT001 Device Type : D-PHY CTS Version : CTS 0.98 (Base Spec 1.0)
 Date/Time : 5/8/2010 8:55 Execution Time : 20 Min Overall Compliance Mode : Yes
 Overall Test Result : **Fail**

Scope Model : MS070804 Scope Serial Number : Q200002 Scope FW Version : 5.2.0.BUILD.21 SPC FactoryCalibration : PASS/PASS
 Probe Model : TX Probe Serial Number : N/A TekExpress Version : MPI 0.2.0.20, Framework 1.3.5.141

Test Name	Measurement Details	Low Limit	Measured value	High Limit	Margi	Units	Test Result	Compliance Mode	Analysis Time	Comments
1.1.1 Data Lane LP-TX Thevenin Output High Level Voltage (VOH)	Data Lane LP-TX Thevenin Output High Level Voltage DP	>= 1.1	1.17E+00	<= 1.3	0.068	mV	Pass	Yes	1 Min	
	Data Lane LP-TX Thevenin Output High Level Voltage DP				V 0.132		Pass			
	Data Lane LP-TX Thevenin Output High Level Voltage DN	>= 1.1	1.19E+00	<= 1.3	0.084		V 0.116			
1.1.2 Data Lane LP-TX Thevenin Output Low Level Voltage (VOL)	Data Lane LP-TX Thevenin Output Low Level Voltage DP	>= -50	8.00E+00	<= 50	58.42	mV	Pass	Yes	<1 Min	
	Data Lane LP-TX Thevenin Output Low Level Voltage DP						Pass			
	Data Lane LP-TX Thevenin Output Low Level Voltage DN	>= -50	-8.00E+00	<= 50	42.58					
1.1.3 Data Lane Rise Time	Data Lane Rise Time DP	-	1.05E+01	< 25	14.47	nS	Pass	Yes	1 Min	
	Data Lane Rise Time DN	-	1.05E+01	< 25	14.5		Pass			
1.1.4 Data Lane Fall Time	Data Lane Fall Time DP	-	1.04E+01	< 25	14.65	nS	Pass	Yes	<1 Min	
	Data Lane Fall Time DN	-	0.70E+00	< 25	15.24		Pass			
1.2.1 Clock Lane LP-TX Thevenin Output High Level Voltage (VOH)	Clock Lane LP-TX Thevenin Output High Level Voltage DP	>= 1.1	1.20E+00	<= 1.3	0.1 V.0.1	mV	Pass	Yes	1 Min	
	Clock Lane LP-TX Thevenin Output High Level Voltage DP				0.092		Pass			
	Clock Lane LP-TX Thevenin Output High Level Voltage DN	>= 1.1	1.19E+00	<= 1.3	0.092		V 0.108			
1.2.2 Clock Lane LP-TX Thevenin Output Low Level Voltage (VOL)	Clock Lane LP-TX Thevenin Output Low Level Voltage DP	>= -50	8.00E+00	<= 50	58.42	mV	Pass	Yes	<1 Min	
	Clock Lane LP-TX Thevenin Output Low Level Voltage DP						Pass			
	Clock Lane LP-TX Thevenin Output Low Level Voltage DN	>= -50	-4.89E+01	<= 50	2.98					
	Clock Lane Rise Time DP	-	4.64E+00	< 25	20.36	nS	Pass	Yes	<1 Min	

TekExpress launched successfully. **Tektronix**

解析ソフトウェア DPOJET

■ DPOJETジッタ&アイ・ダイアグラム解析ソフトウェア

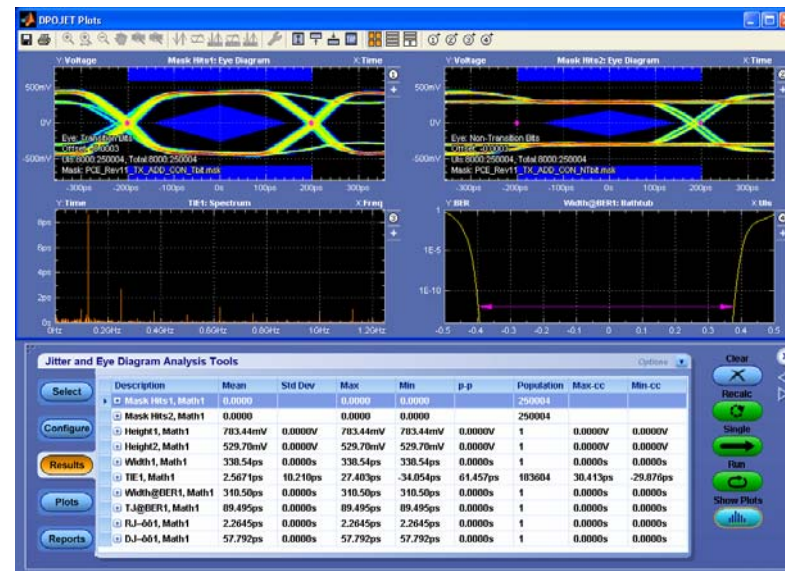
- クロック・リカバリとアイ・ダイアグラム測定、ジッタ/タイミング測定、周波数/周期、振幅、各種タイミング測定
 - クロック、データ、クロックとデータ間
 - エンベデッド・クロックと外部クロックの両方に対応(逡倍クロックにも対応)
 - 同時に99項目まで測定

- アイ・ダイアグラム、ヒストグラム、スペクトラム、バス・タブ、サイクル・トレンド・プロット表示

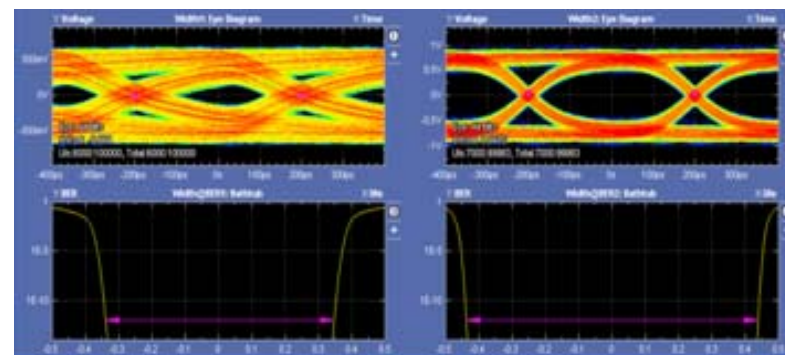
- Arb Filterによるディエンベデッド波形の解析
- 以前に保存した波形での測定も可能
- Pass/Fail自動判定とレポート生成機能

■ D-PHY Essential (Opt. DPHY)によりMIPI D-PHY規格適合性試験が可能

- D-PHY base spec に準拠
- UNH Conformance Test Suiteに準拠

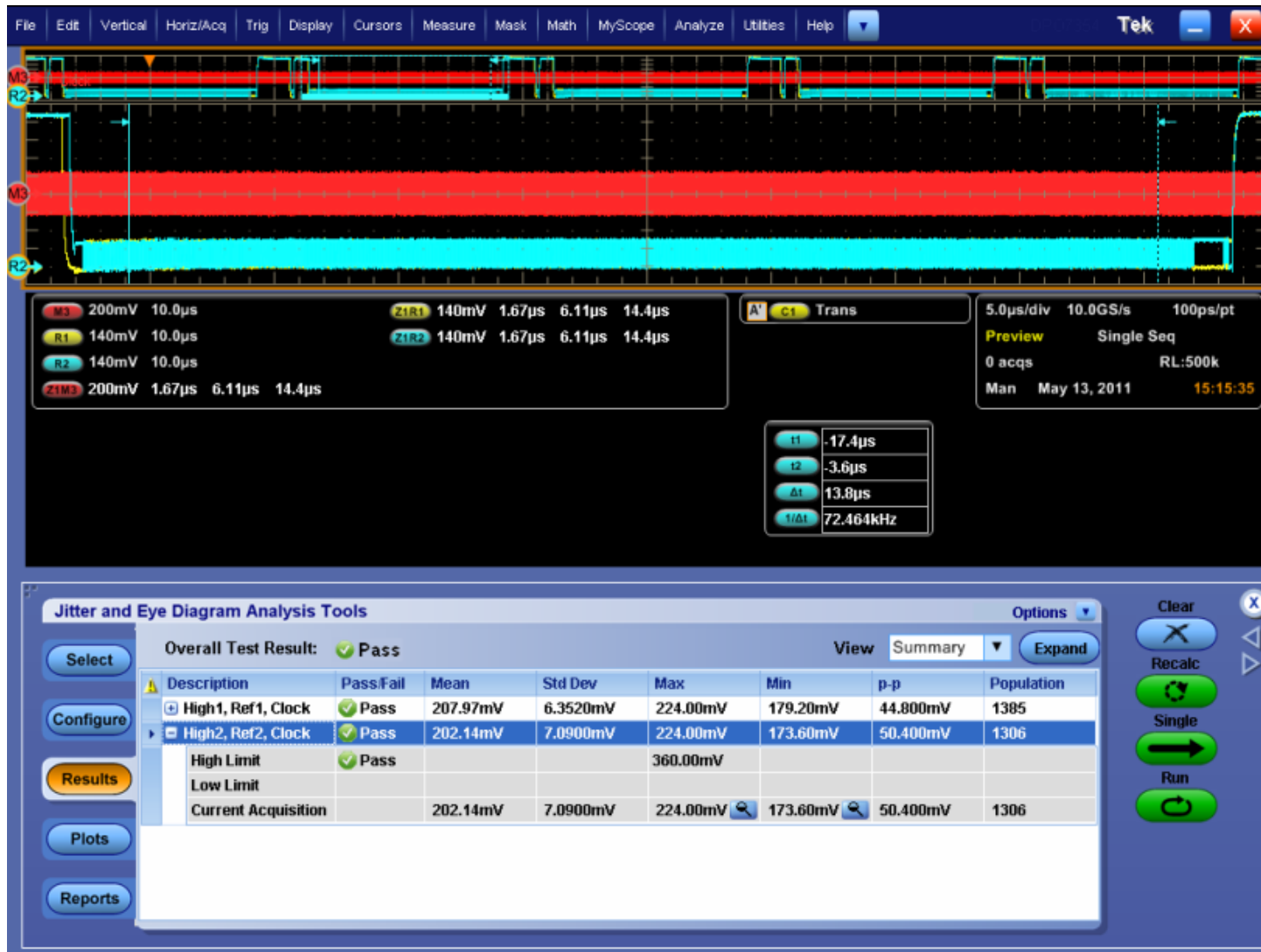


ジッタとアイダイアグラムの測定例



ソフトウェア・イコライズ前後の波形を用いたアイダイアグラムとバスタブ・カーブによるBER予測

Test 8.1.5 – Data Lane HS TX Single-Ended Output High Voltage (VOHHS)

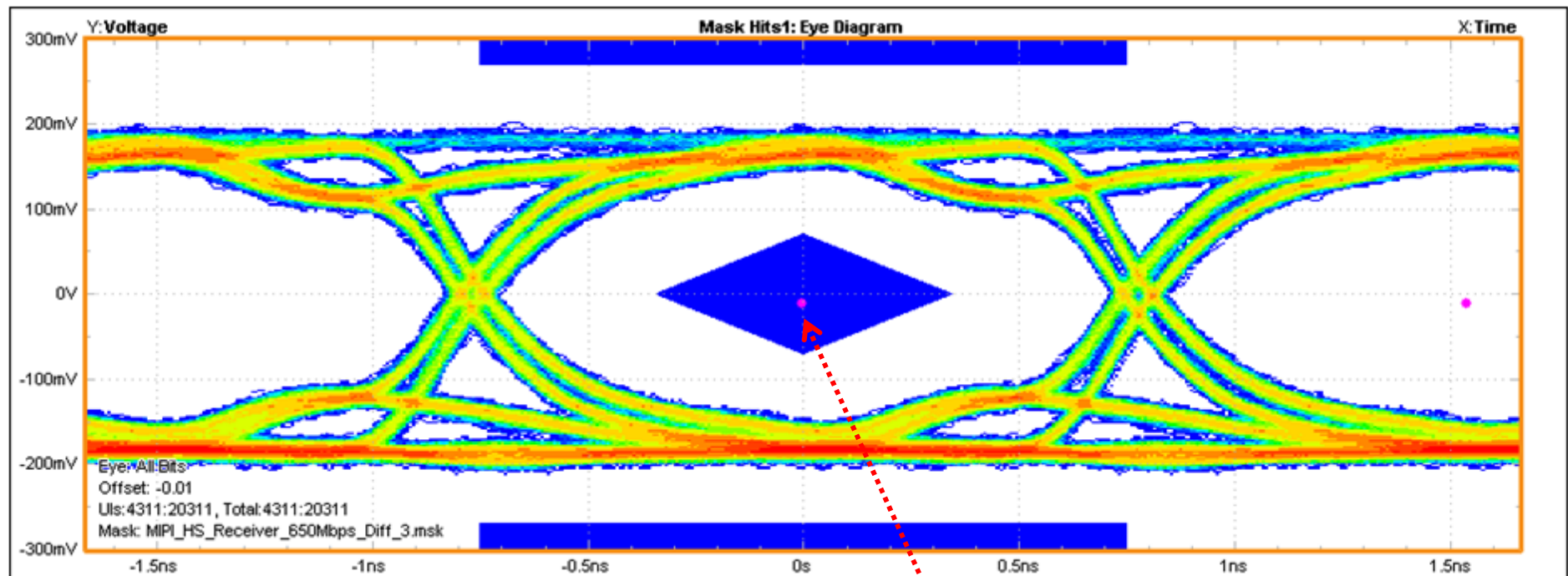


Test 8.2.3 – Data Lane LP-TX Slew Rate vs. C-LOAD ($\delta V / \delta tSR$)



MIPI D-PHY HS信号 マスクテストの例

- 振幅、ジッタ、セットアップ時間、ホールド時間、立上り時間などの仕様からマスクを作成し、マスクテストを行うことが可能



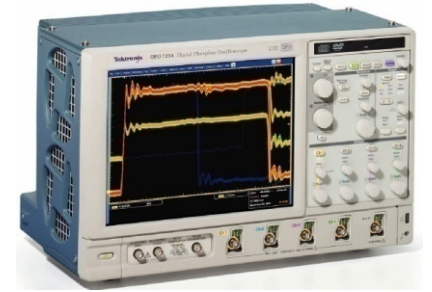
クロックのエッジ位置

MIPI D-PHY TX テスト用推奨機器 その1

規格適合自動テスト

- TEKEXP(自動コンプライアンス・テスト・ソフトウェア)
- Opt. D-PHYTX
 - D-PHYTX自動テスト・ソフトウェア
 - MIPI D-PHYの規格適合性、特性評価用ソフトウェア
 - 動作には、TEKEXPが必要
 - DPO7000C、DSA/DPO/MSO70000Cシリーズ上で動作
- 推奨オシロスコープ： DPO7254C型以上
 - DPO7254C/DPO7354C型
 - DSA/DPO/MSO70000Cシリーズ

Rise Time 150psを±5%誤差以下で測定のためにはDPO7354C型以上推奨
±3%誤差以下で測定のためにはDSA70404C型以上推奨
- 推奨プローブ
 - DPO7000Cシリーズ：TAP3500×4本またはTDP3500型×3本(または4本)
 - DSA/DPO/MSO70000Cシリーズ：
P7240×4本またはP73xx×3本(または4本)



DPO7000Cシリーズ

MIPI D-PHY TX テスト用推奨機器 その2

物理層の解析

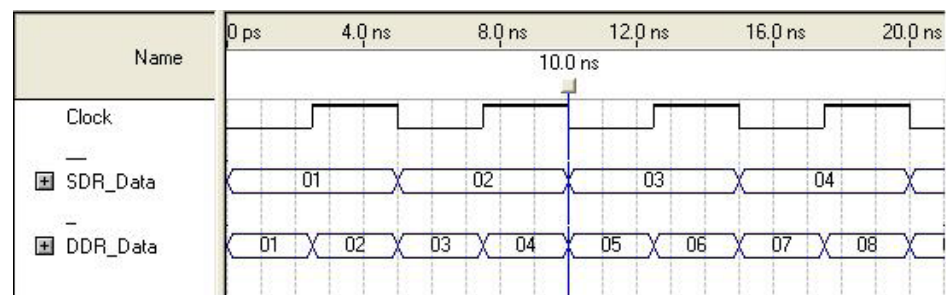
- MIPI D-PHY Essentials (Opt. D-PHY)
 - D-PHYテスト用セットアップ・ライブラリおよびMOI
 - MIPI D-PHYの特性評価、デバッグ、コンプライアンス・テスト
 - テスト・レポートを自動生成
 - DPO7000(C)、DSA/DPO70000(B/C)、MSO70000(C)シリーズ上で動作
 - 動作にはDPOJET Advancedが必要 (Opt. DJA)
- 推奨オシロスコープ： DPO7254(C)型以上
 - DPO7254(C)/DPO7354(C)型
 - DSA/DPO70000(B/C)シリーズ
 - MSO70000(C)シリーズ

Rise Time 150psを±5%誤差以下で測定のためにはDPO7354C型以上推奨
±3%誤差以下で測定のためにはDSA70404B/C型以上推奨
- 推奨プローブ
 - DPO7000Cシリーズ： TAP3500 × 4本またはTDP3500型 × 3本(または4本)
 - DSA/DPO70000(B/C)、MSO70000(C)シリーズ：
P7240 × 4本またはP73xx × 3本(または4本)

CSI2/DSI 信号発生

PG3A シリーズ・デジタル・パターン・ジェネレータ

	PG3AMOD	PG3ACAB
最大クロック・レート	300 MHz (SDR) / 600MHz (DDR)	
出力チャンネル数	64 (SDR) / 32 (DDR)	
メモリ長	32M Vectors	
使用形態	TLA7000へのインストール	スタンドアロン・キャビネット
アプリケーション専用のGUI	MIPI – DSI, MIPI - CSI	



P332型 MIPI DPhy 出力プローブ (PG3A用)

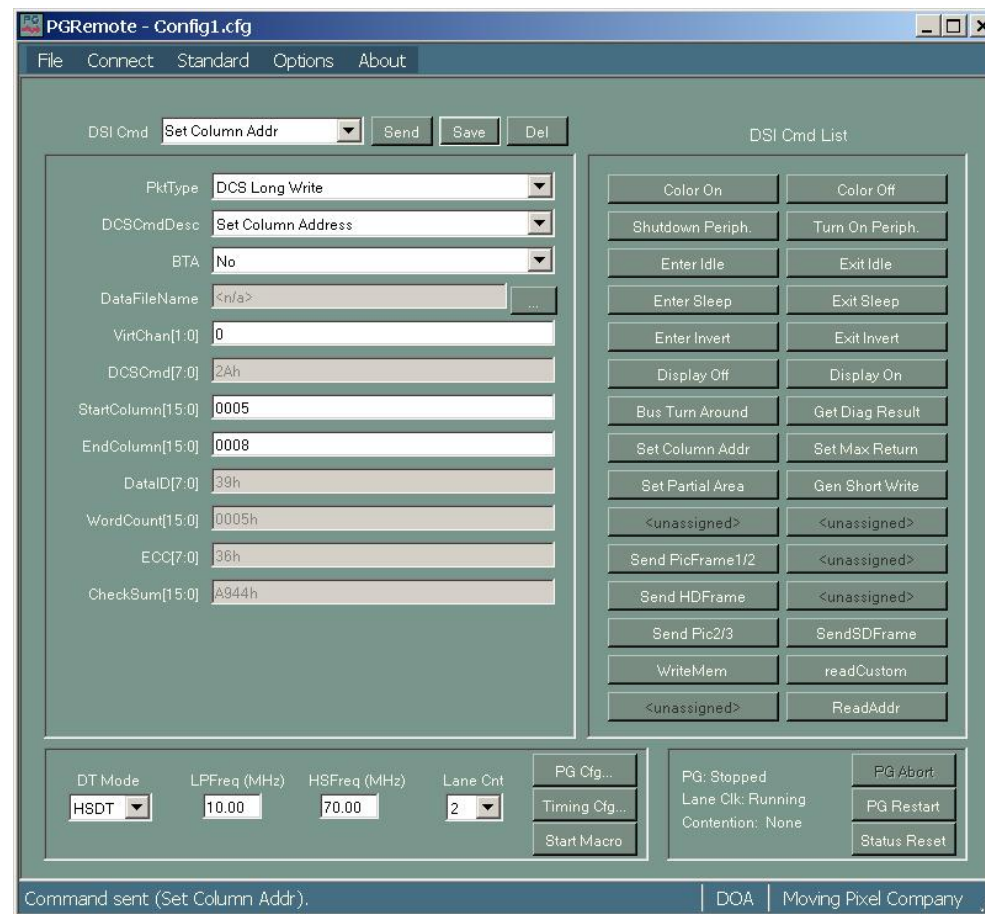
- MIPI D-PHY規格に準拠
- 業界唯一、4レーン同時出力をサポート: 1.5Gbps/レーン
- レーン毎に独立した遅延調整、信号レベル調整
- ビデオ、動画、オン・ザ・フライでのビデオへのコマンド挿入をサポート



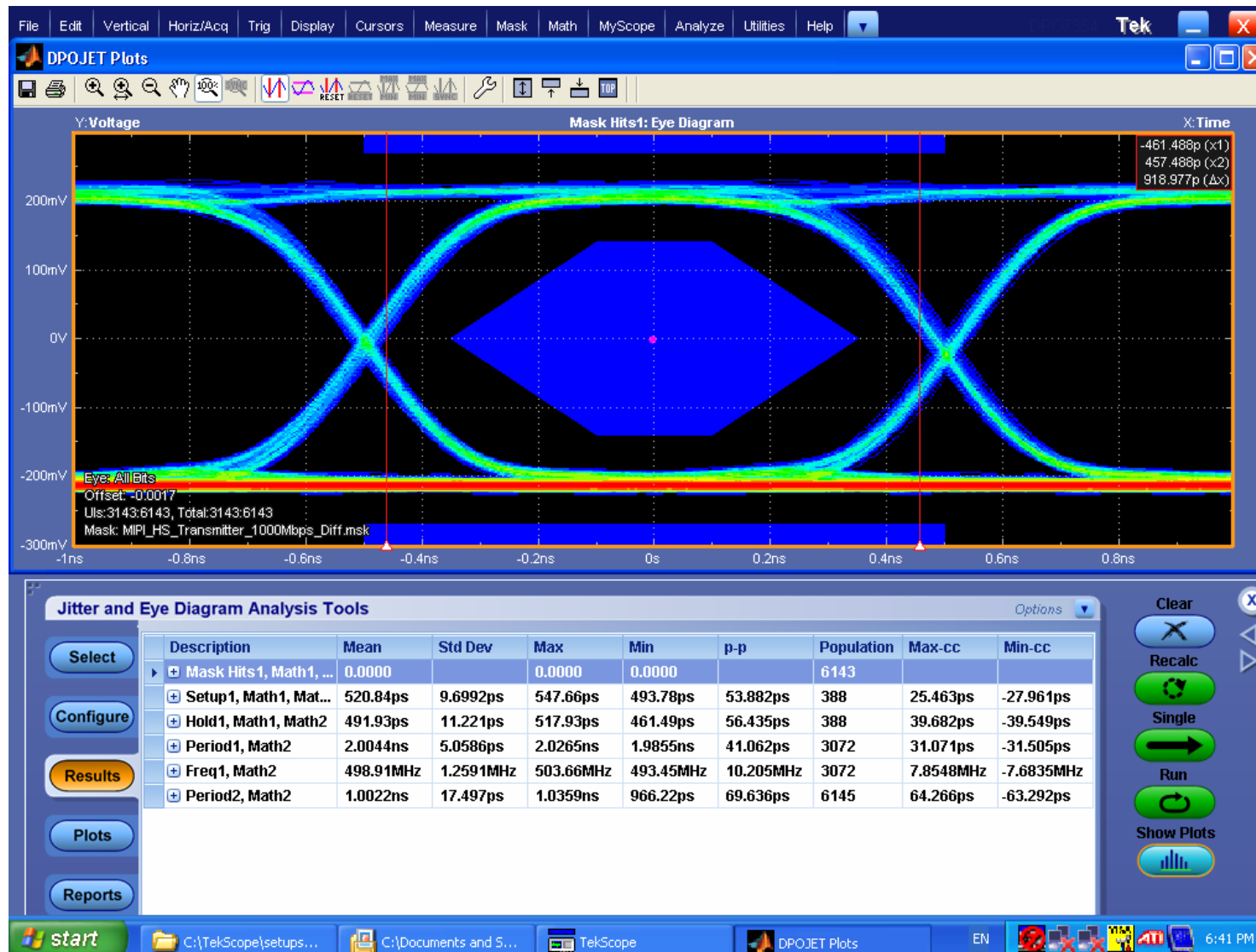
P332型 プローブ

CSI2/DSI 信号発生ソフトウェア

- PGRemote-CSI-DSI
 - ボタン操作により MIPI CSI2 または MIPI DSI信号を自動生成
 - DSI V1.02もサポート
 - ユーザによる0、1のベクタ設定は不要
 - カスタム・コマンド、マクロ、リモート・コントロール、オフライン・サポート
 - TLAまたはPCのWindows上で動作
 - ビットマップ画像ファイルからMIPI信号に自動変換可能



PG3A + P332 MIPI DPhy プローブのHS出力例

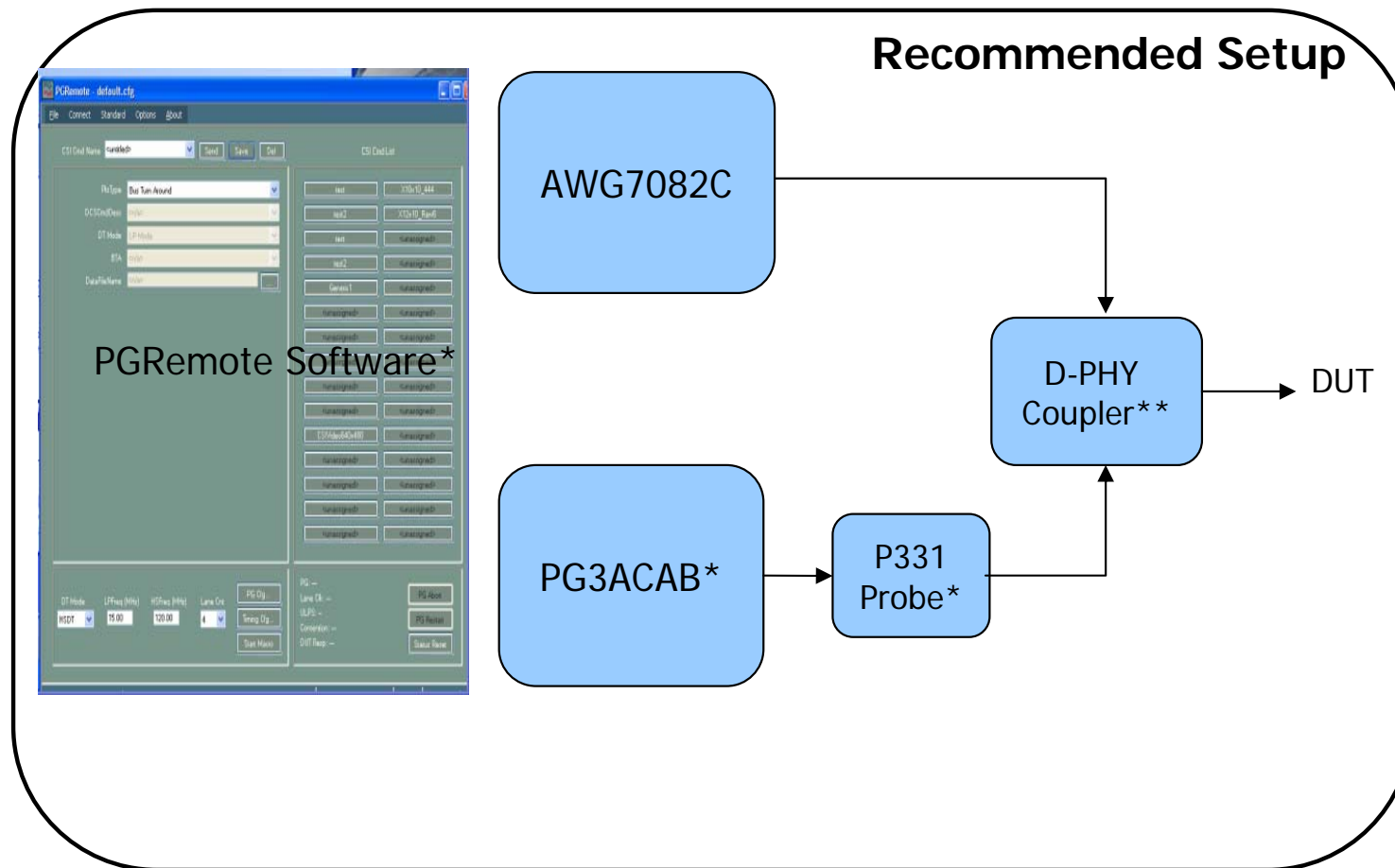


CSI2/DSI 信号発生用推奨機器

- PG3ACAB A6型
 - キャビネット付デジタル・パターン・ジェネレータ
(TLA7000で使用する場合は、PG3AMOD型)
 - P332型と組み合わせて1.5Gbpsまでサポート
- P332 A6型
 - MIPI D-PHY プローブ (PG3A用)
 - 1.5Gbps/レーン で4レーン同時出力をサポート
- PGRemote-CSI-DSI型
 - CSI2/DSI信号発生ソフトウェア
 - DSI V1.02 もサポート

D-PHY Rx : テスト・ソリューション

- AWG7000Cシリーズにてノイズとジッタを付加



プロトコル解析 オシロスコープによるDSI-1/CSI-2のデコード

- バス・デコード表示イベント・テーブル表示
 - Start of Transmission (SoT)
 - Data Type (Packed Pixel 888など)
 - Virtual Channel、Word Count
 - Pixel値 (Red-255,Green-216,Blue-000など)
 - Checksum
 - End of Transmission (EoT)
 - 問題箇所のエラー/警告表示

新機能!

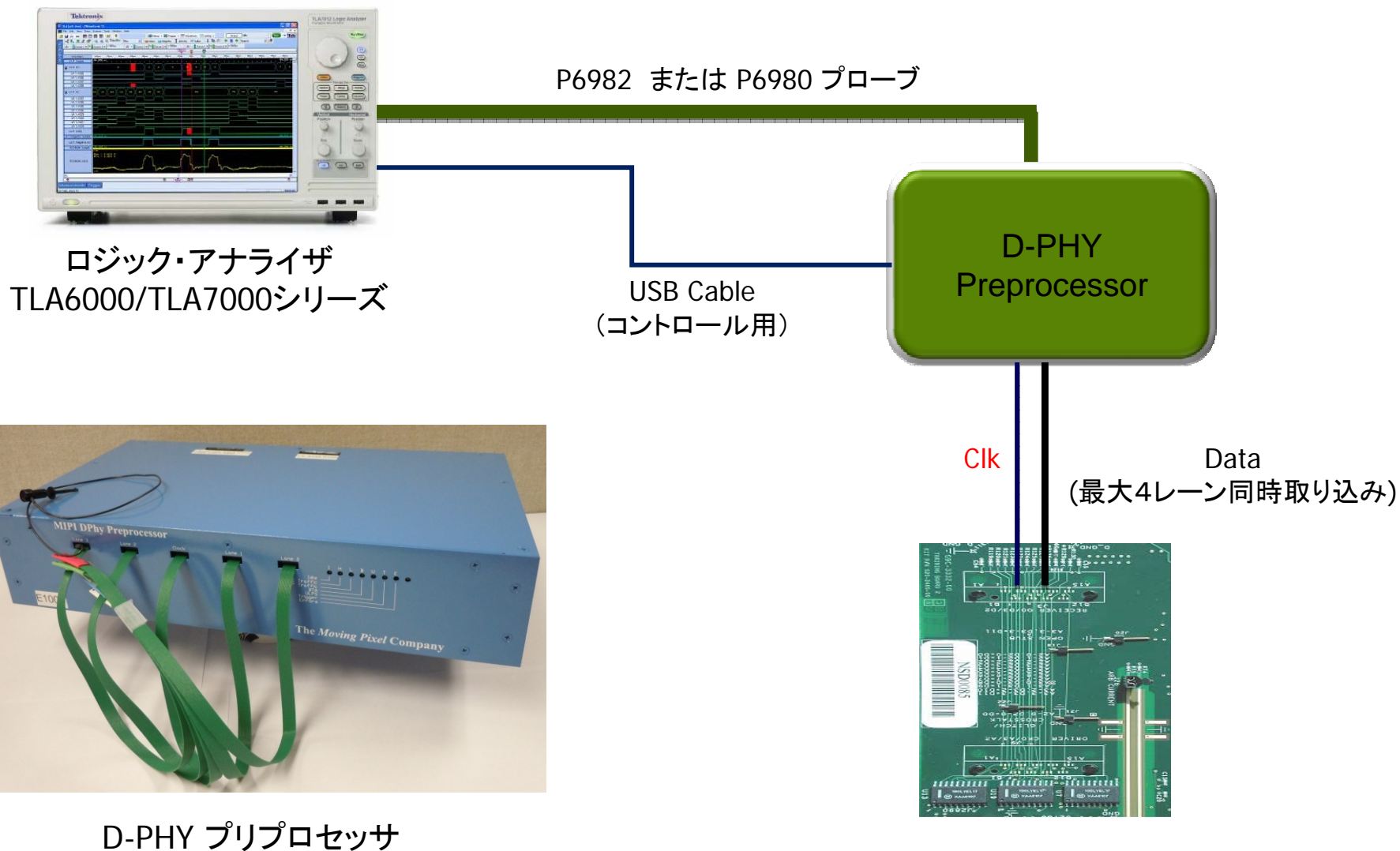
Protocol Decode Event Table

Index	Start Time	Type	Command	Data Type	VC	Packet Data	WC	Pixels	ECC	Checksum	Error/War
104	27.81μ	SP		H Sync Start	0	00h 00h			12h		
105	27.88μ	EoT									
106	28.01μ	LPS HS									
107	28.53μ	SoT									
108	28.55μ	LgP		Packed Pixel 888	0		60	20	07h	F1ECh	checkst
109	29.60μ	EoT									
110	29.73μ	LPS HS									
111	30.26μ	SoT									
112	30.28μ	SP		H Sync Start	0	00h 00h			12h		
113	30.34μ	EoT									
114	30.48μ	LPS HS									
115	31.00μ	SoT									
116	31.01μ	LgP		Packed Pixel 888	0		60	20	07h	912Fh	checkst
117	32.07μ	EoT									
118	32.20μ	LPS HS									
119	32.72μ	SoT									
120	32.74μ	SP		H Sync Start	0	00h 00h			12h		
121	32.80μ	EoT									
122	32.94μ	LPS HS									
123	33.46μ	SoT									

Export Close

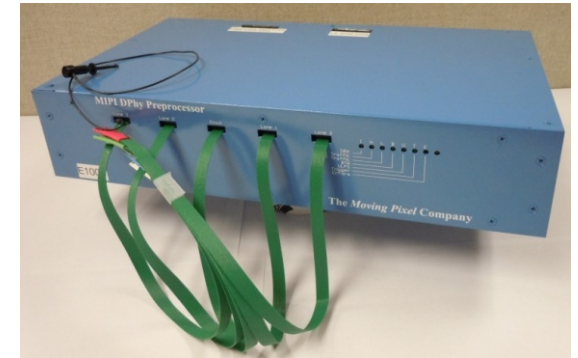


プロトコル解析 ロジック・アナライザによるCSI-2/DSIのデコード



D-PHY プリプロセッサ

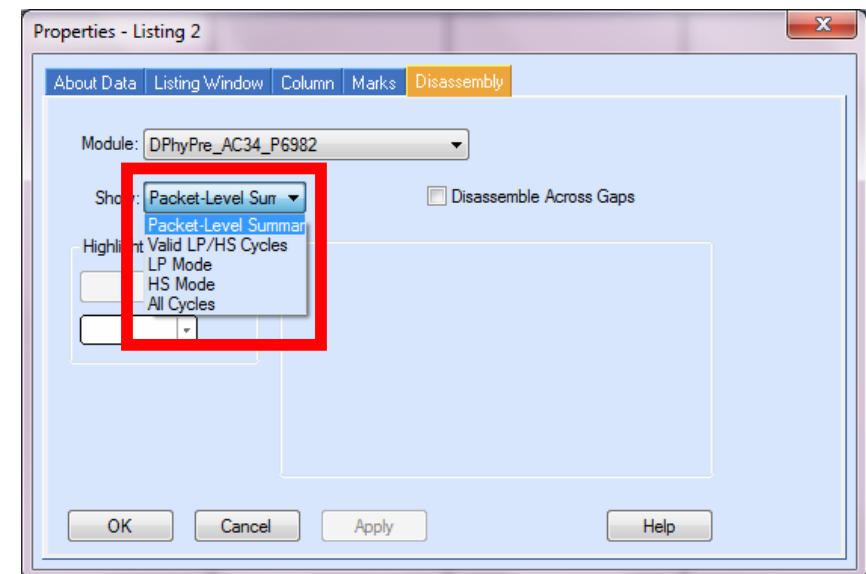
- 最大4レーン同時取り込み、各レーン1.5Gbps まで対応
- CSI-2/DSIプロトコルをデコード
- LPとHSデータを一括取り込み
- パケット・レベル・トリガ機能
- リアルタイム・フィルタリング
- レーン・アクティビティとエラー・ステータス表示
- ソルダイン・プローブ(カラーコード付き)
- 画像ファイル出力(保存)
- TLA6000シリーズ または TLA7000シリーズと組み合わせて使用



D-PHY デコード

- 1 ~ 4 レーン D-PHY data
- デコード表示
 - LP コマンドとデータ
 - LP/HS遷移
 - DCSコマンド
 - DSIデータ・フォーマット (RGB888など)
 - CSIデータ・フォーマット (YUV420 10bit、RGB888など)
 - ECC/CRCエラー

Sample	DPhyPre_BB2_P6980 Lane0 State	DPhyPre_BB2_P6980 Lane1 State	DPhyPre_BB2_P6980 Lane2 State	DPhyPre_BB2_P6980 Lane3 State
72	HS-Trail	HS-Trail	HS-Trail	STOP
73	HS-Trail	HS-Trail	HS-Trail	STOP
74	STOP	STOP	STOP	STOP
75	LP-Request	STOP	STOP	STOP
76	LP-Yield	STOP	STOP	STOP
77	Esc-Request	STOP	STOP	STOP
78	Esc Mode	STOP	STOP	STOP
79	Esc Command (0x87)	STOP	STOP	STOP
80	LPDT Data 0x12	STOP	STOP	STOP
81	LPDT Data 0x00	STOP	STOP	STOP
82	LPDT Data 0x00	STOP	STOP	STOP
83	LPDT Data 0x18	STOP	STOP	STOP
84	STOP	STOP	STOP	STOP
85	HS-Request	HS-Request	HS-Request	STOP
86	HS-Prepare	HS-Prepare	HS-Prepare	STOP
87	HS-Prepare	HS-Prepare	HS-Prepare	STOP
88	HS-Prepare	HS-Prepare	HS-Prepare	STOP
89	HS-Prepare	HS-Prepare	HS-Prepare	STOP
90	HS-Prepare	HS-Prepare	HS-Prepare	STOP
91	HS-Prepare	HS-Prepare	HS-Prepare	STOP
92	HS-Sync (0xB8)	HS-Sync (0xB8)	HS-Sync (0xB8)	STOP
93	HS-Data 0x12	HS-Data 0x00	HS-Data 0x00	STOP
94	HS-Data 0x18	HS-Trail	HS-Trail	STOP
95	HS-Trail	HS-Trail	HS-Trail	STOP
96	HS-Trail	HS-Trail	HS-Trail	STOP
97	STOP	STOP	STOP	STOP
98	LP-Request	STOP	STOP	STOP
99	LP-Yield	STOP	STOP	STOP
100	Esc-Request	STOP	STOP	STOP
101	Esc Mode	STOP	STOP	STOP
102	Esc Command (0x87)	STOP	STOP	STOP
103	LPDT Data 0x12	STOP	STOP	STOP
104	LPDT Data 0x00	STOP	STOP	STOP
105	LPDT Data 0x00	STOP	STOP	STOP
106	LPDT Data 0x18	STOP	STOP	STOP
107	STOP	STOP	STOP	STOP
108	HS-Request	HS-Request	HS-Request	STOP
109	HS-Prepare	HS-Prepare	HS-Prepare	STOP
110	HS-Prepare	HS-Prepare	HS-Prepare	STOP
111	HS-Prepare	HS-Prepare	HS-Prepare	STOP
112	HS-Prepare	HS-Prepare	HS-Prepare	STOP
113	HS-Prepare	HS-Prepare	HS-Prepare	STOP
114	HS-Prepare	HS-Prepare	HS-Prepare	STOP
115	HS-Sync (0xB8)	HS-Sync (0xB8)	HS-Sync (0xB8)	STOP
116	HS-Data 0x12	HS-Data 0x00	HS-Data 0x00	STOP
117	HS-Data 0x18	HS-Trail	HS-Trail	STOP
118	HS-Trail	HS-Trail	HS-Trail	STOP
119	HS-Trail	HS-Trail	HS-Trail	STOP
120	STOP	STOP	STOP	STOP
121	LP-Request	STOP	STOP	STOP
122	LP-Yield	STOP	STOP	STOP
123	Esc-Request	STOP	STOP	STOP



MIPI D-PHYプロトコル解析用推奨機器

オシロスコープによるプロトコル解析

- DPO7000CシリーズまたはDPO/DSA/MSO70000Cシリーズ
 - Opt.SR-DPHY (DSI/CSI-2シリアル解析機能)
 - プローブ
 - TDP3500型、TAP3500型など(DPO7000C用)
 - P7340Aなど(DPO/DSA/MSO70000C用)

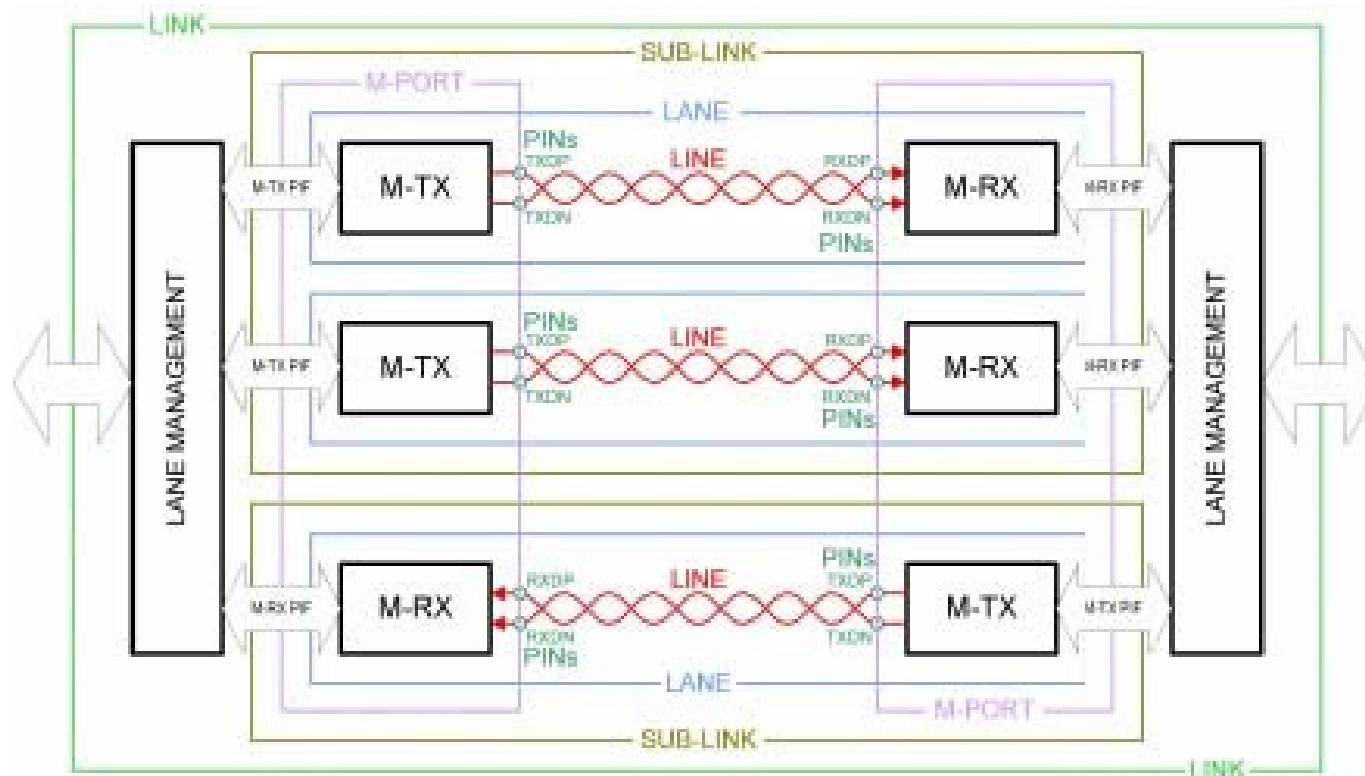
ロジック・アナライザによるプロトコル解析

- TLA6202型
 - 68chロジック・アナライザ
 - P6982型 × 2本
 - ロジック・アナライザ用D-Maxプローブ
- DPHYPRE
 - D-PHYプリプロセッサおよびソフトウェア

3. M-PHYの概要

- 高速シリアル通信

- M-PHY TxとM-PHY Rx 間の通信 (dual-simplex)
- 1レーンまたは複数レーンをサポート
- 8b10b
- CSI、DSI、UniPro、UFS、DigRF、LLIなどのプロトコル



M-PHY のデータ・レート

- High Speedモード
 - 2つのシリーズ、A-seriesとB-series
 - それぞれ3つのGear、G1、G2、G3
 - 50Ω 終端(差動100Ω)されている

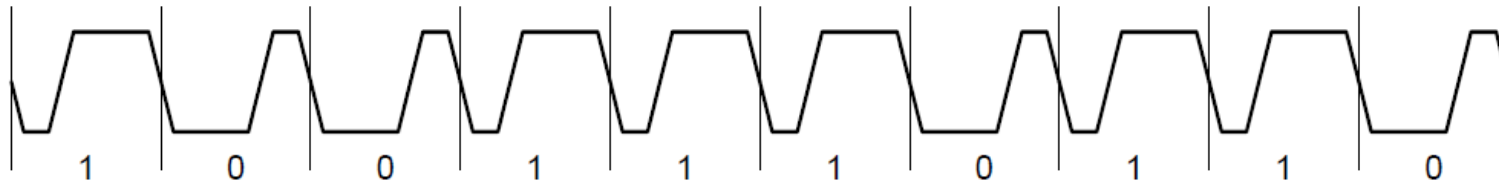
- Low Speedモード
 - 2つのType、TYPE- I (PWM)、TYPE- II (SYS)
 - PWMには7つのGear
 - 差動100Ωまたは10kΩ 以上

Signaling Mode	Max.Speed	Level (V)	Impedance
HS	5.83Gbps	200e-3/ 120e-3	50 ohms (差動100 ohm)
PWM (TYPE-I)	576Mbps	400e-3/ 240e-3 200e-3/ 120e-3	10k/50 ohms (差動100 ohm)
SYS (TYPE-II)	576Mbps	400e-3/ 240e-3 200e-3/ 120e-3	10k/50 ohms (差動100 ohm)

Data rates			
HS	Gears	A (Gbps)	B (Gbps)
	G1	1.25	1.45
	G2	2.5	2.91
	G3	5	5.83
PWM	Gears	Min (Mb/s)	Max (Mb/s)
	G0	0.01	3
	G1	3	9
	G2	6	18
	G3	12	36
	G4	24	72
	G5	48	144
	G6	96	288
G7	192	576	

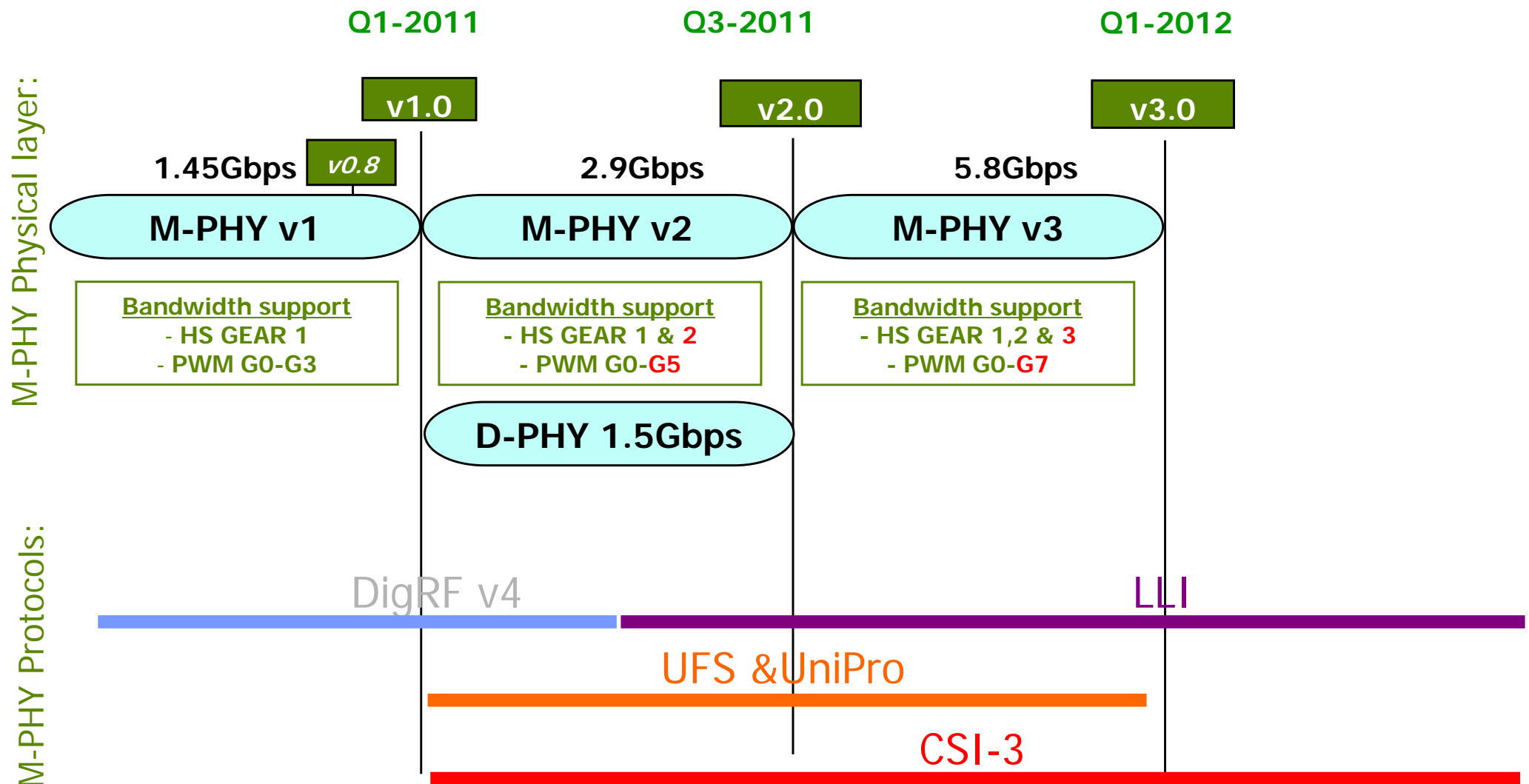
M-PHYのシグナリング

- HSモード
 - Embedded Clock
 - NRZ
- TYPE- I PWM



- TYPE- II SYS
 - Reference Clockを共有
 - NRZ

M-PHY Technology のロードマップ



source: MIPI Alliance

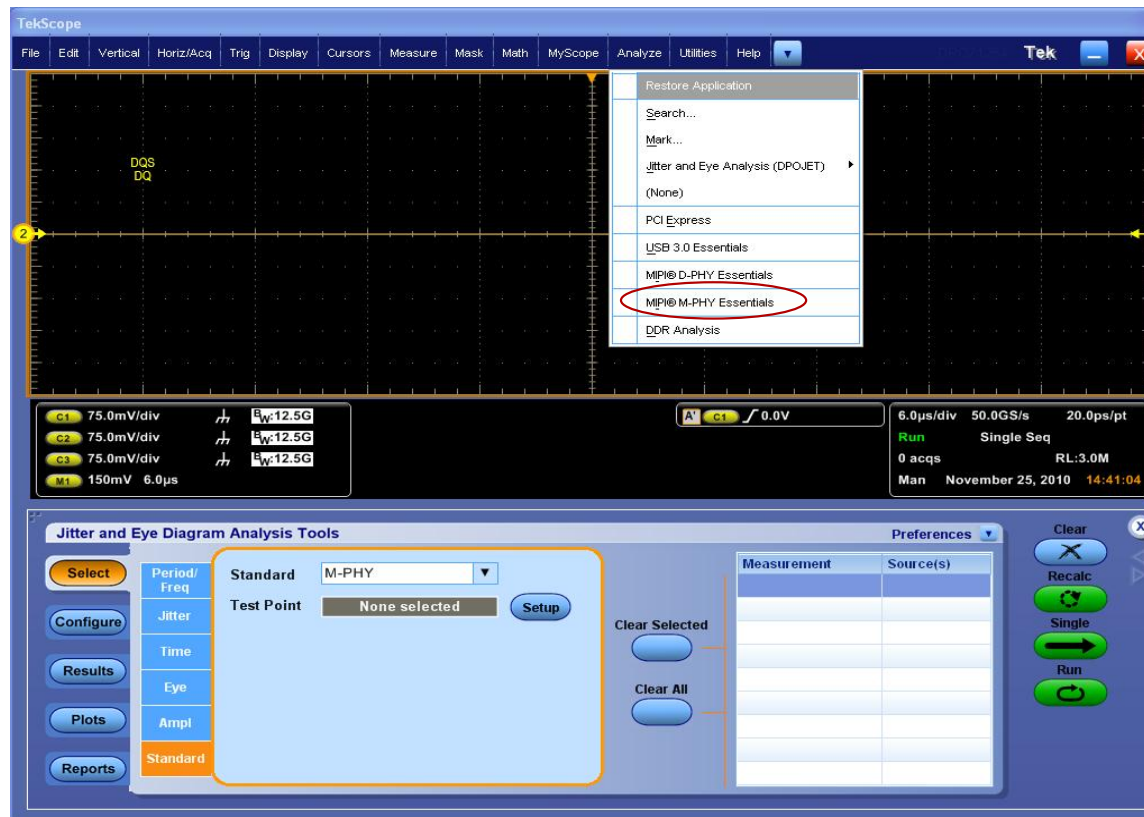
UFS

- UFS (Universal Flash Storage)
 - M-PHY物理層によるUnipro (Unified Protocol)とUFSを理想的なインタフェースとしてJEDECが承認
 - 2011年2月にJEDEC STANDARD JESD220としてUFS規格を公開
 - モバイル機器のストレージ・インタフェースとして普及が見込まれる

4. MIPI M-PHY測定ソリューション

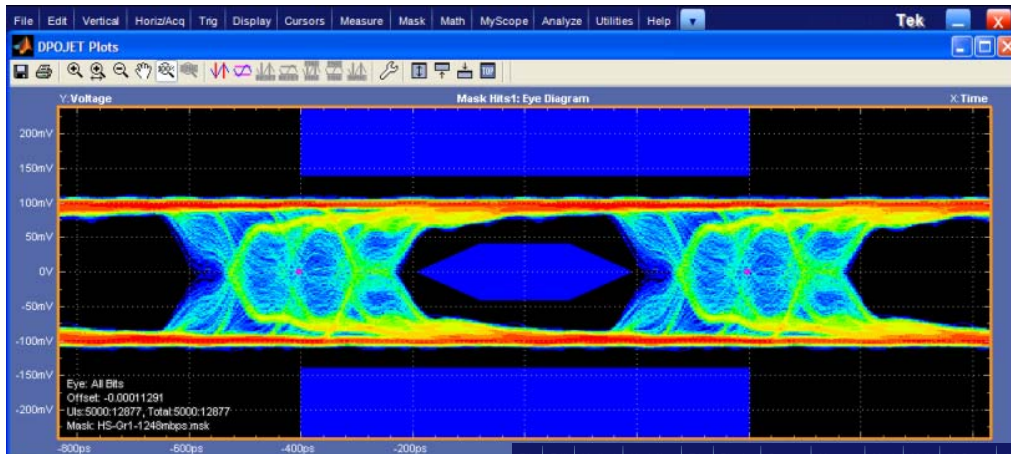
M-PHY Tx 物理層テスト

- M-PHY Essentials (Opt. M-PHY)
 - DPOJET用設定ライブラリ(DPOJET Advancedが必要)
 - 解析および規格適合性試験



M-PHY Essentialsによる測定例

- M-PHY Essentials
 - アイ・ダイアグラム
 - Power Spectral Density
 - コモン・モード電圧測定



Jitter and Eye Diagram Analysis Tools

Overall Test Result: **Pass**

Description	Pass/Fail	Mean	Std Dev
VDIF_AC_LA_RT, M...	Pass	155.68mV	0.0000V
High Limit	Pass	250.00mV	
Low Limit	Pass	140.00mV	
Current Acquisition		155.68mV	0.0000V
UL Math1		801.27ps	11.518ps
Mask Hits1, Math1	Pass	0.0000	
High Limit	Pass		
Hits in Segment 1		0.0000	
Hits in Segment 2		0.0000	

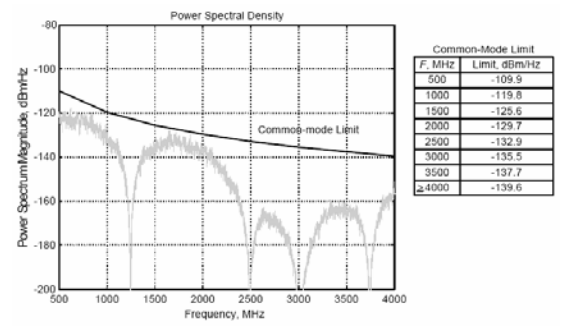
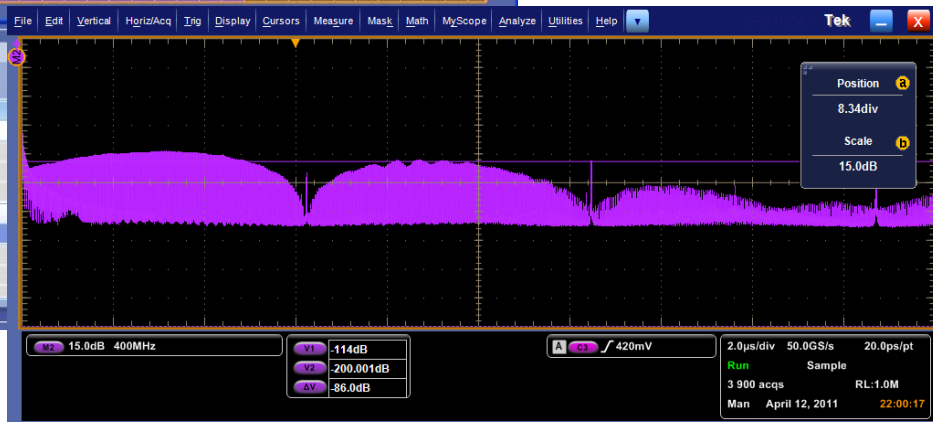


Figure 34 Common-mode Power Spectral Magnitude Limit

Spectral Setup - Advanced

Scale: Linear, Reference Level: -50.0dB, Level Offset: 1.0V, Scale: 15.0dB

Math 2: AVG(SpectralMag(MATH1)-40)

Center Frequency: 2.0GHz, Frequency Span: 4.0GHz

Jitter and Eye Diagram Analysis Tools

Overall Test Result: **Pass**

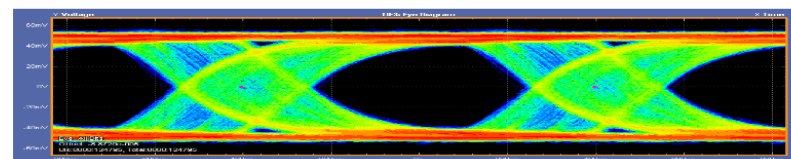
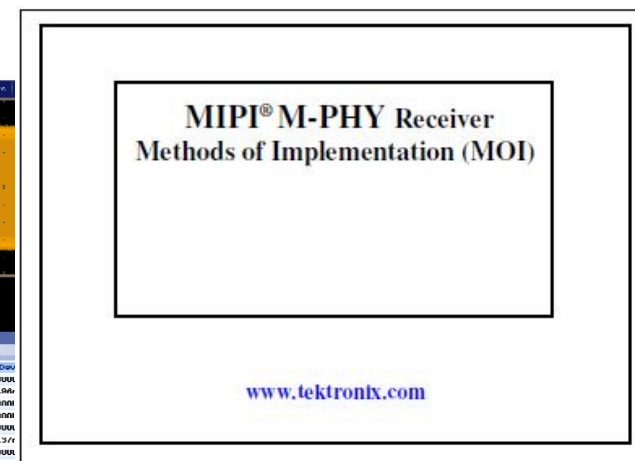
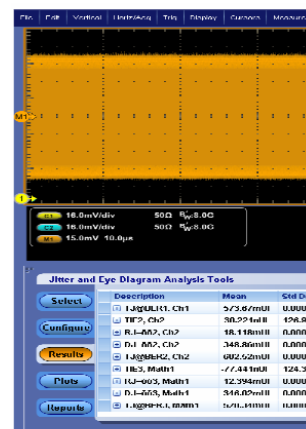
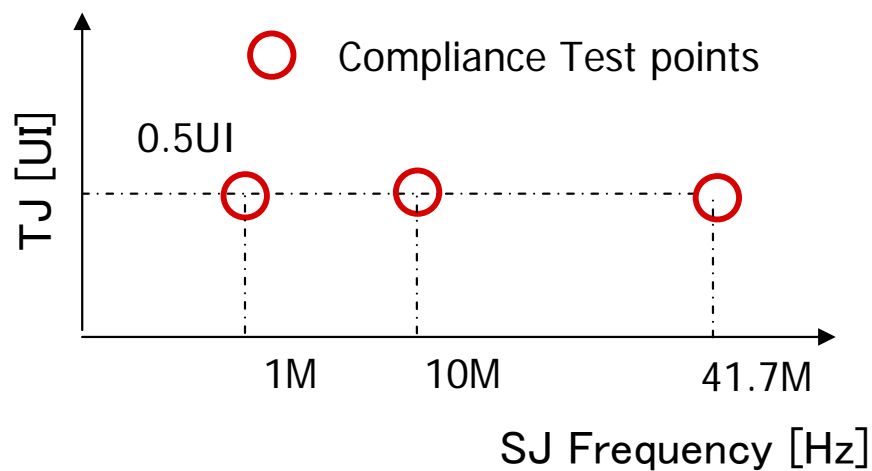
Description	Pass/Fail	Mean	Std Dev	Max	Min	p-p	Population
VCM_1A_Tk_Chr1...	Pass	197.53mV	0.0000V	197.53mV	197.53mV	0.0000V	1
High Limit	Pass	250.00mV					
Low Limit	Pass	160.00mV					
Current Acquisition		197.53mV	0.0000V	197.53mV	197.53mV	0.0000V	1

Figure 9: LA Common Mode Output Voltage

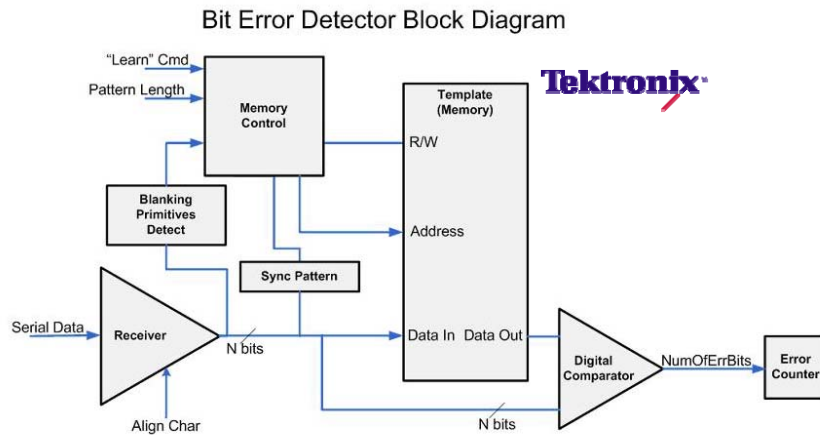
Test 1.1.16 - HS-TX Common-Mode Power Spectral Magnitude Limit (PSDCM-TX)

M-PHY Rx: ジッタ耐性テスト

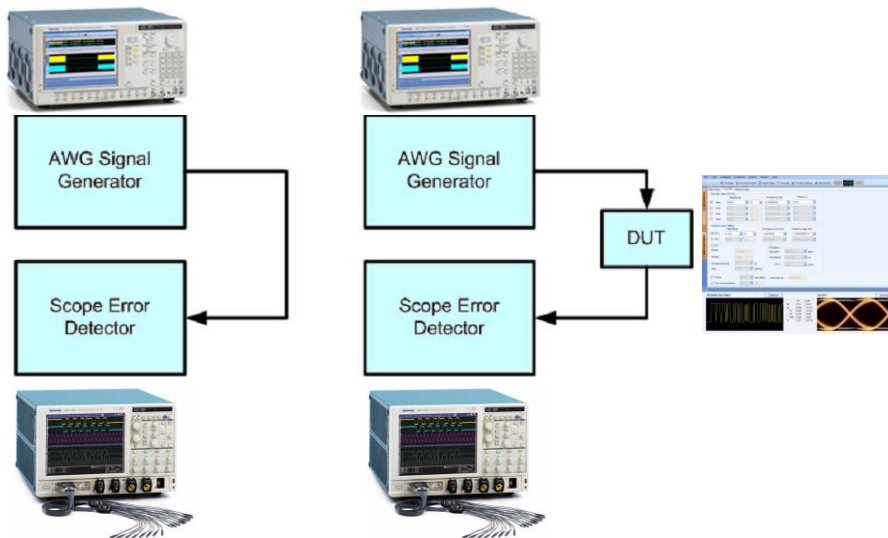
- Rx ジッタ耐性
- Rx アイ開口、差動入力振幅耐性
- コモン・モード入力耐性
- 入力パルス幅耐性



M-PHY Rx : ビット・エラー検出テスト



- オシロスコープ内蔵 BER測定機能
 - Opt.ERRDT



MIPI M-PHY Receiver - TEKTRONIX MOI

RX ERROR DETECTOR

Overview:
This section of tests verifies the M-PHY receiver error detection mechanism as defined in the M-PHY Specification.

GROUP 1: M-RX Error Detection Requirements

Overview:
This group of tests verifies various requirements of error detection on MIPI M-PHY receiver. Scope error detector is used for this purpose. For M-PHY error detector, ERRDT and STU option should be enabled in scope and TekeScope firmware v6.1.1.32 or later is required.

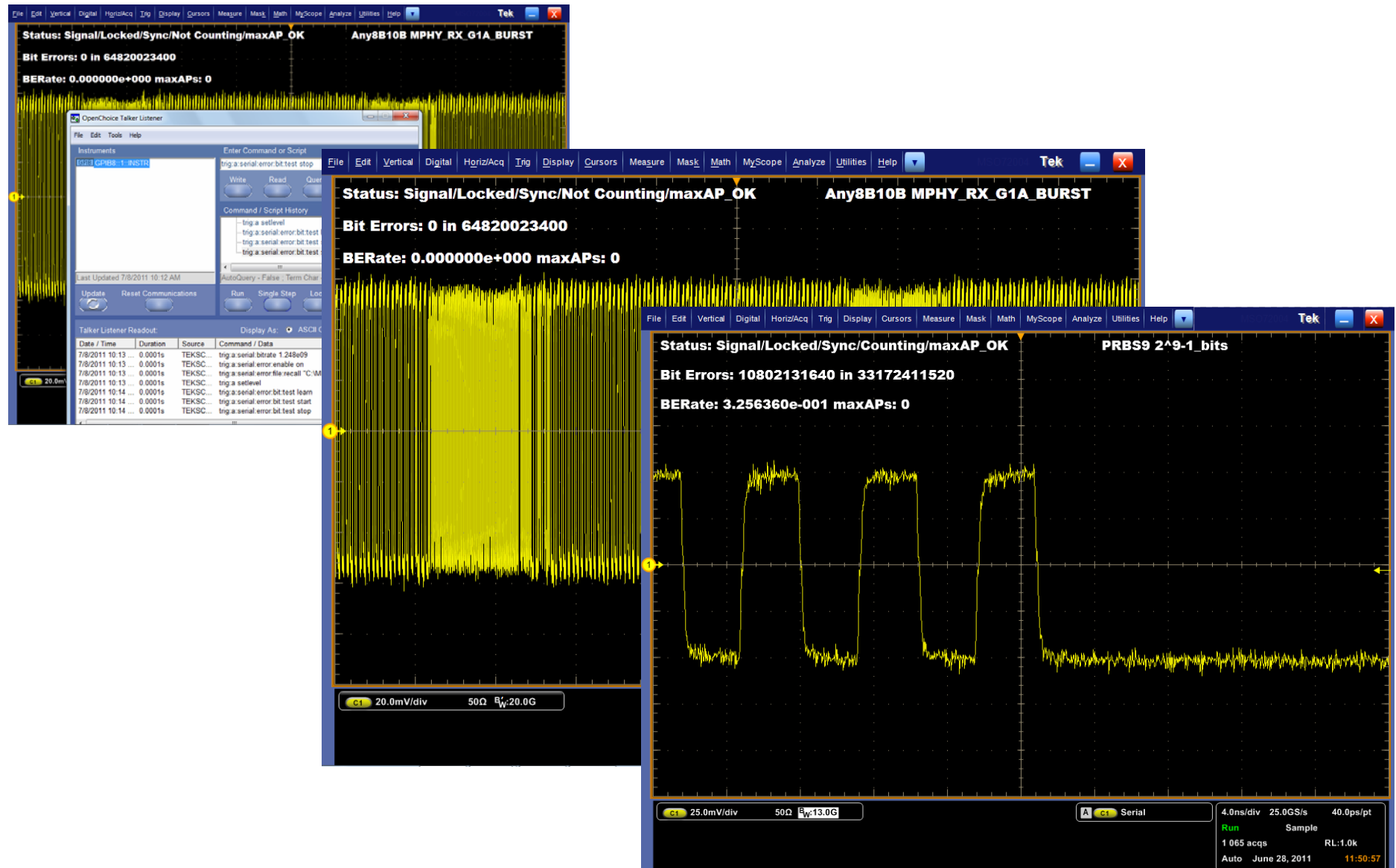
Status:
The test descriptions contained in this group are considered to be in initial draft form. Additional modifications to both the test descriptions and implementations are expected.

Pay Load:
Continuous PRBS 7/PRBS 9 Pattern with NRZ signaling (HS-Gear1, HS-Gear2 and DigRF data rates)
Custom burst pattern with 8b/10b encoded with NRZ/PWM/SYS signaling.

Note:
Please refer to the M-PHY specification ver .90

MIPI M-PHY Rx MOI Measurements Version 0.5 Draft 38

M-PHY Rx : エラー検出テスト例



M-PHYVIEW

- DigRF v4 プロトコル・デコード
 - オシロスコープ上または外部PC上で動作

CommView - digRF_demo.cmv - [Listing1]

Curs1: 0 ps Curs2: 488.800 ns Delta: 488.800 ns

Sample	Time	Mnem0	Mnem1	Data0	Data1	Ctl0	Ctl1	Cod
Dec	SymDef	SymDef	SymDef	Hex	Hex	Hex	Hex	SymDef
75141	49.999 ns	EOF	SOF	DC	BC	1	1	K28.6
75151	49.999 ns	SOF	Hdr1	BC	28	1	0	K28.5
75161	49.999 ns	Payload Byte: 65h	CRC-H	65	51	0	0	D5.3
75171	49.999 ns	CRC-L	EOF	BC	DC	0	1	D28.5
75181	49.999 ns	EOF	SOF	DC	BC	1	1	K28.6
75191	49.999 ns	SOF	Hdr1	BC	3A	1	0	K28.5
75201	49.999 ns	Hdr2	Payload Byte: 00h	66	00	0	0	D6.3
75211	49.999 ns	Payload Byte: 01h	Payload Byte: 02h	01	02	0	0	D1.0
75221	49.999 ns	Payload Byte: 03h	Payload Byte: 04h	03	04	0	0	D3.0
75231	49.999 ns	Payload Byte: 05h	Payload Byte: 06h	05	06	0	0	D5.0

Filter Search Options < Minimize >

Highlight Selected Default Apply

Op	Field	Comp	Value
IF	Data0	==	BCh
OR	Data1	==	BCh

Search Cnt: 2108 rec (0.35%)
Visible Cnt: 60357 rec (9.99%)
Hidden Cnt: 543796 rec (90.01%)
Total Cnt: 604153 rec

Offline Moving Pixel Company

Configure Scope Options

MPhy Lane -> Scope Channel

MPhy Lane 0 Scope Ch1

MPhy Lane 1 Scope Ch2

MPhy Lane 2 Unused

MPhy Lane 3 Unused

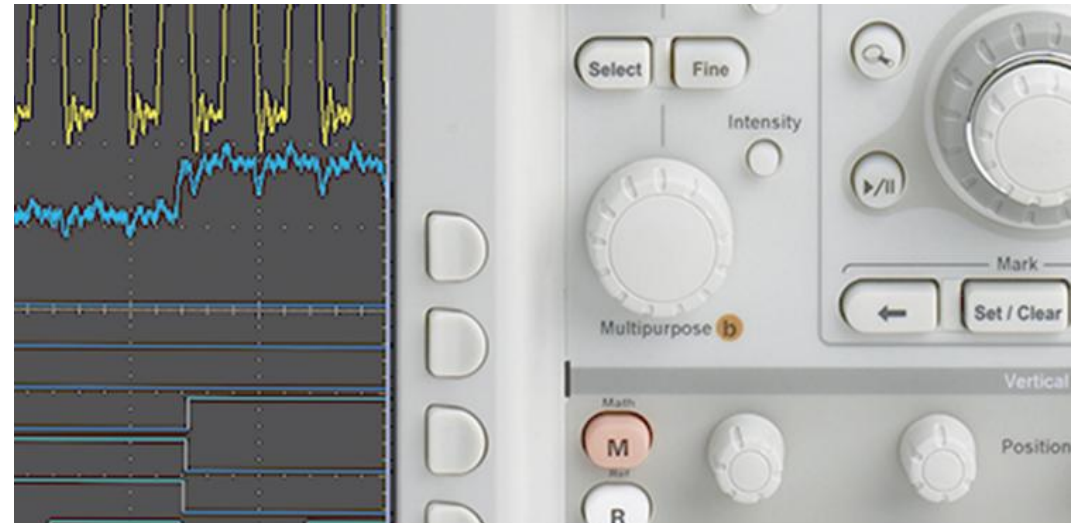
Trigger Timeout 10 seconds

OK Cancel

M-PHY Tx & Rx テスト用推奨機器

- オシロスコープ
 - HS-GEAR1: DPO7DSA70604C 型
 - HS-GEAR2: DPO7DSA70804C 型
 - HS-GEAR3: DPO7DSA72004C 型
- プローブ
 - P73xxSMA ×2本 またはP73xx型あるいはP75xx型 ×レーン数
- Rxテスト用信号発生器
 - HS-GEAR1 または HS-GEAR2: AWG7082/ AWG7102 以上
 - HS-GEAR3: AWG7122C -06
- ソフトウェア
 - Opt.M-PHY (DPOJET Advancedが必要)
 - Opt.ERRDT (Scope Error Detector)
 - Opt.SR-810B (8b-10b Decode)
 - Opt.MPHYVIEW (DigRFv4 Protocol Decode)
 - SerialXpress (AWG用カスタム・パターンを作成の場合)

ありがとうございました。



本テキストの無断複製・転載を禁じますテクトロニクス社 Copyright Tektronix

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>