

DDR・高速シリアルI/Fを 安定動作するための勘所

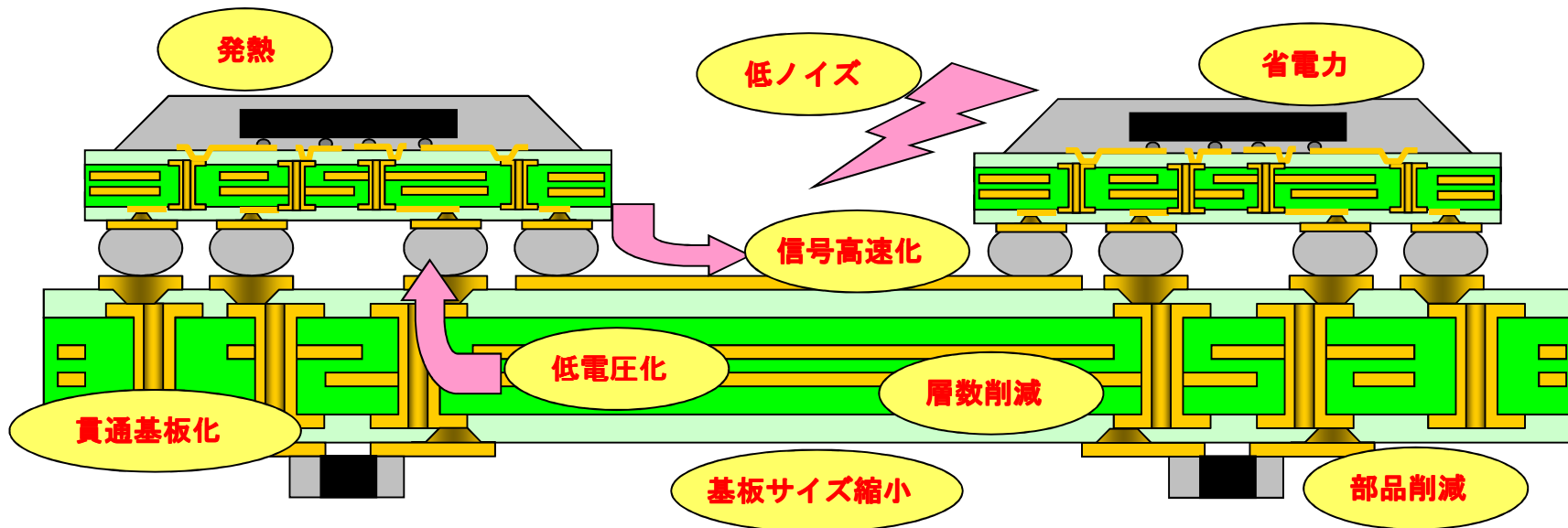
1. 基板設計を取り巻く諸要因
2. 設計・解析事前検証について
3. DDR I/F設計・解析事例
 - 3-1. DDR3 I/F設計・解析事例
 - 3-2. 低コストDDR2 I/Fの設計・解析事例
4. 高速シリアルI/F設計・解析事例
5. PIについて

2013. 7. 2

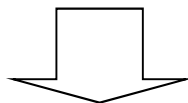
株式会社トッパンNECサーキットソリューションズ

1. 基板設計を取り巻く諸要因

✦ 基板設計を取り巻く諸要因



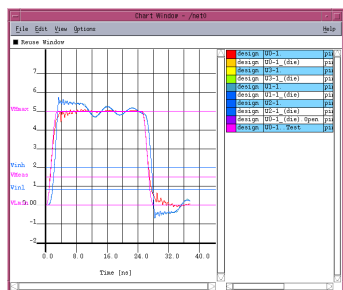
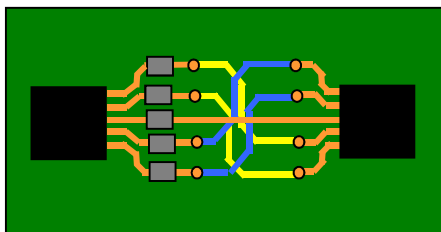
電気特性や様々な要因を考慮しないとシステム開発ができない時代になっている



シミュレーション技術と設計ノウハウを
組み合わせた弊社対応をご紹介します

2. 設計・解析事前検証について

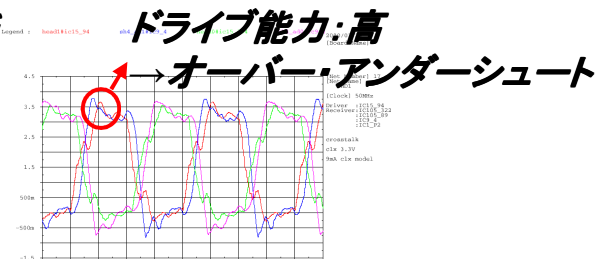
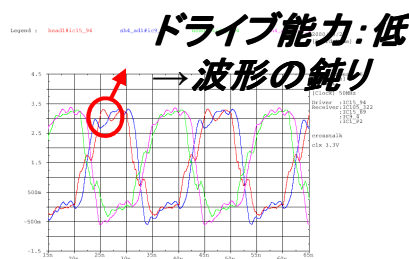
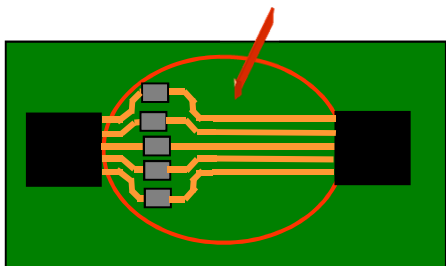
シミュレーション活用による部品点数・基板層数・配線領域の削減



バス配線のスキューを考慮し、基板配線がクロスしないように最適なピンアサインを御提案します

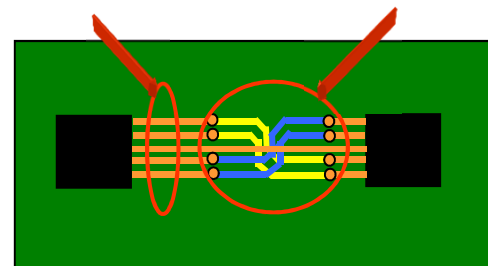
信号ピンアサインの最適化

配線エリアの縮小、配線層の低減



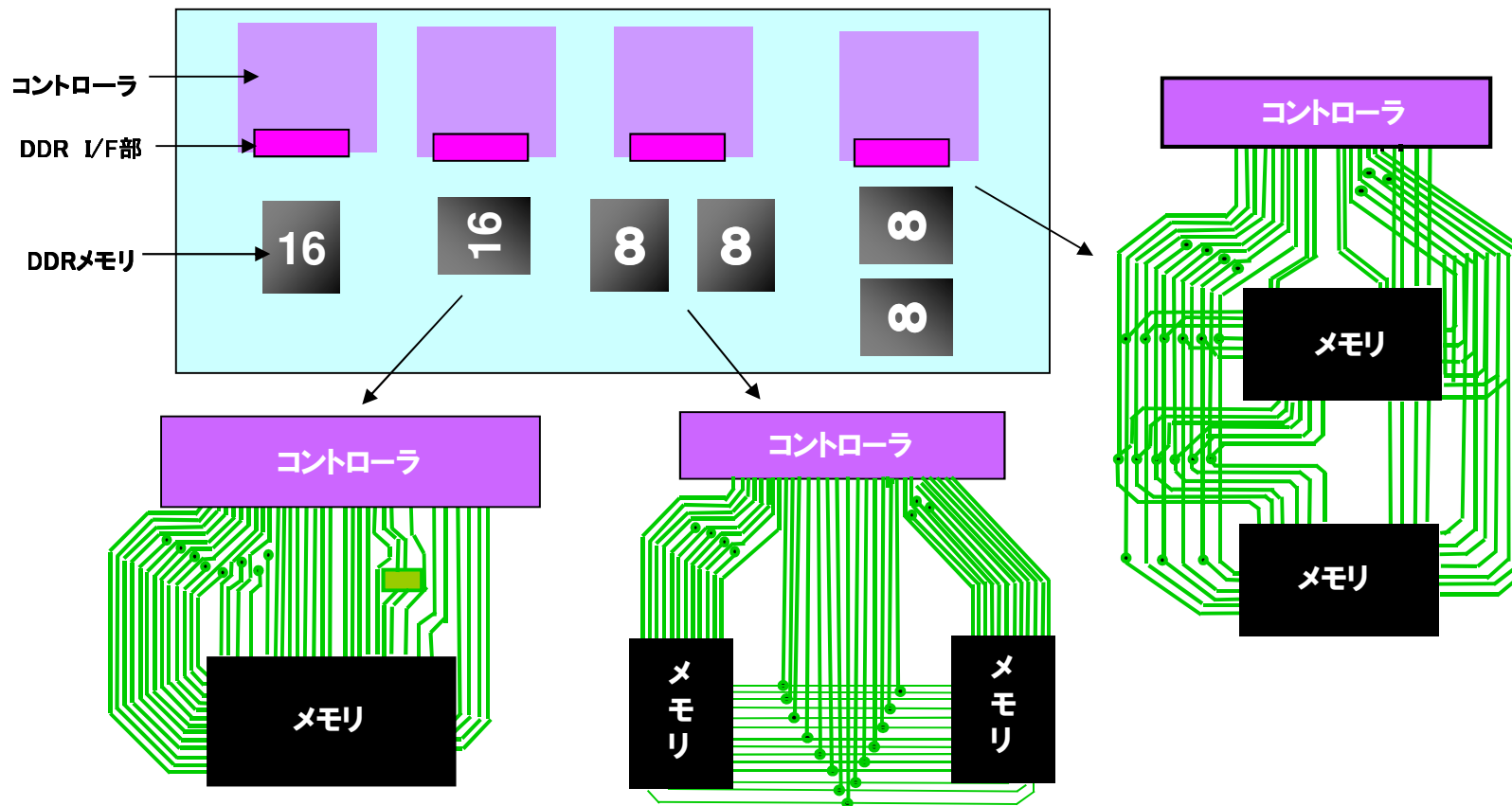
バッファ能力の最適化

抵抗部品点数の削減、配線エリアの縮小



2. 設計・解析事前検証について

✚ 基板設計仕様の検討イメージ

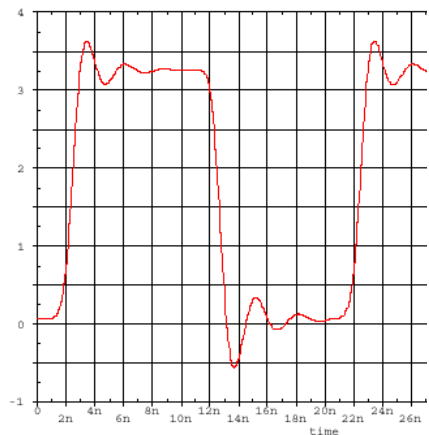


製品仕様によってコントローラの最適なピンアサインは変わってしまう。

⇒ 最適基板実現のためには初期段階での製品仕様の確定を含む
製品設計フロー自体の見直し+協調設計が必要。

層構成検討 - インピーダンス

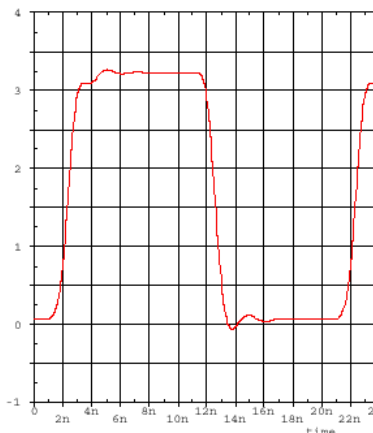
Legend : d003#ic3_2:R:L



$Z_0=75\Omega$

2003/05/19
[Board Name]

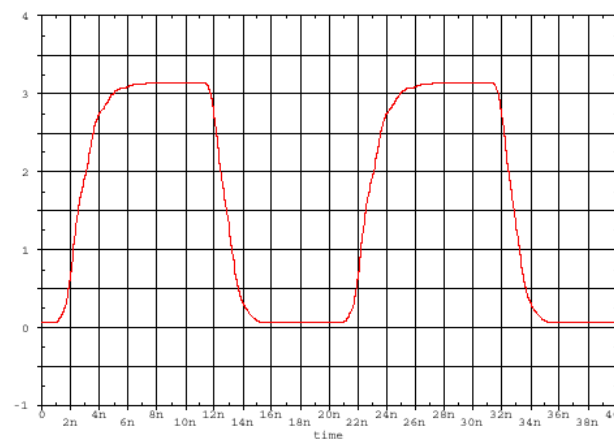
Legend : d002#ic2_2:R:L



$Z_0=50\Omega$

2003/05/19
[Board Name]

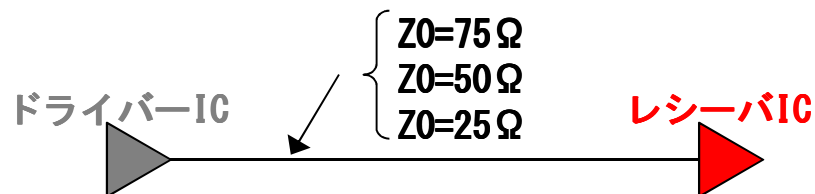
Legend : d004#ic4_2:R:L



$Z_0=25\Omega$

2003/05/19
[Board Name]

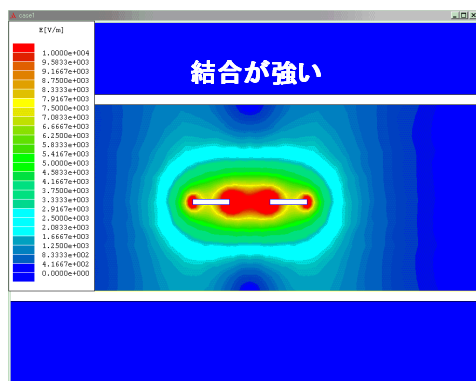
[Net Number] 4
[Net Name]
net4



特性インピーダンスは電気特性を決める重要な要素です

層構成検討 - 差動配線

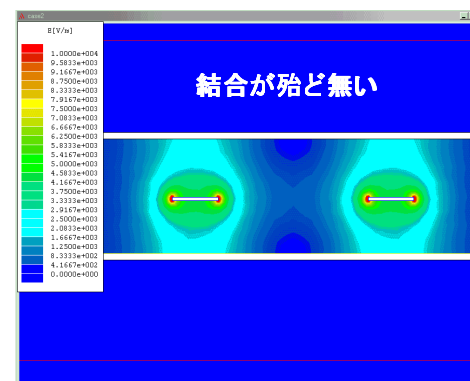
Differential信号ラインの結合の様子



Zo matrix

$$\begin{bmatrix} 67.121 & 17.177 \\ 17.177 & 67.138 \end{bmatrix}$$

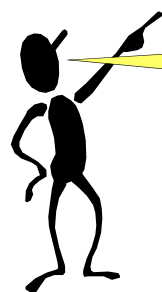
differential impedance $\cong 100\Omega$



Zo matrix

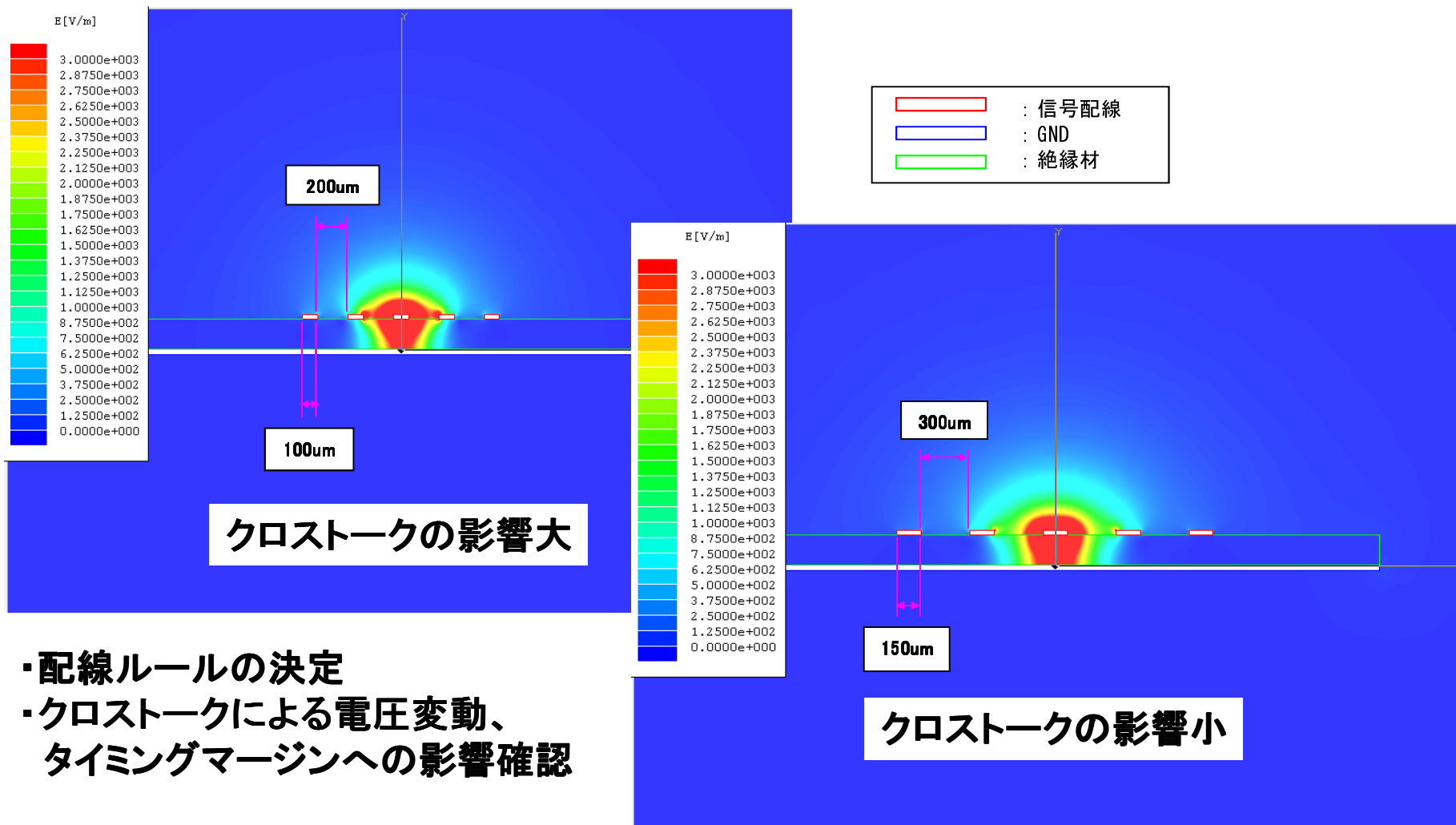
$$\begin{bmatrix} 51.094 & 0.334 \\ 0.334 & 51.080 \end{bmatrix}$$

differential impedance $\cong 100\Omega$



I/Fによって推奨される
差動インピーダンスは異なります。

層構成検討 - クロストーク

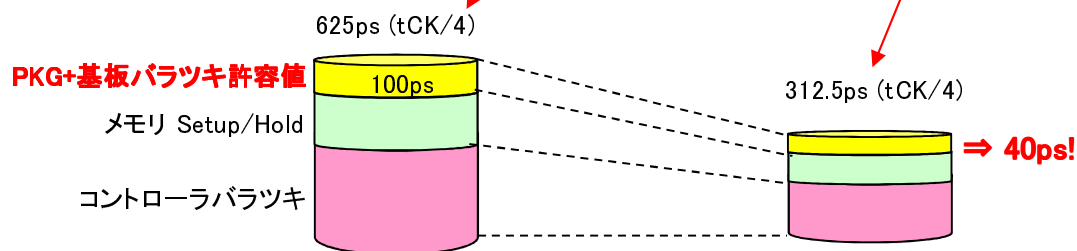


- ・配線ルール決定
- ・クロストークによる電圧変動、タイミングマージンへの影響確認

3. DDR I/F設計・解析事例

DDR/DDR2/DDR3の比較

項目	DDR	DDR2	DDR3
転送速度	200 / 266 / 333 / 400Mbps (100 / 133 / 166 / 200MHz)	400 / 533 / 667 / 800Mbps (200 / 266 / 333 / 400MHz)	800 / 1066 / 1333 / 1600Mbps (400 / 533 / 667 / 800MHz)
電源電圧 (VDD/VDDQ)	2.5 ± 0.2V	1.8 ± 0.1V	1.5 ± 0.075V
インターフェース	SSTL_2	SSTL_18	SSTL_15
バンク数	4	4または8	8
プリフェッチ	2ビット	4ビット	8ビット
バースト長	2 / 4 / 8	4 / 8	4 (Burst chop) / 8
Posted CAS, Additive Latency	なし	あり (AL = 0/1/2/3/4/5)	あり (AL = 0/CL-1/CL-2)
RL,WL	RL = CL (AL機能なし) WL = 1	RL = AL + CL WL = RL - 1 = AL + CL - 1	RL = AL + CL WL = AL + CWL
ZQ ピン	なし	なし	あり。ZQ Calib.利用 ^{注1}
/Reset ピン	なし	なし	あり ^{注3}
DQ Driver impedance (Ron)	プログラマブル	プログラマブル	プログラマブル
DQ Driver calibration	なし	OCD Calib.利用 ^{注2}	ZQ Calib.利用 ^{注1}
ODT機能	なし	あり	あり
ODT calibration	なし	なし	ZQ Calib.利用 ^{注1}
Dynamic ODT	なし	なし	あり ^{注4}
CLK-DQS間De-skew機能	なし	なし	あり (Write leveling, Read leveling) ^{注5}
パッケージ	TSOP II	FBGA	FBGA

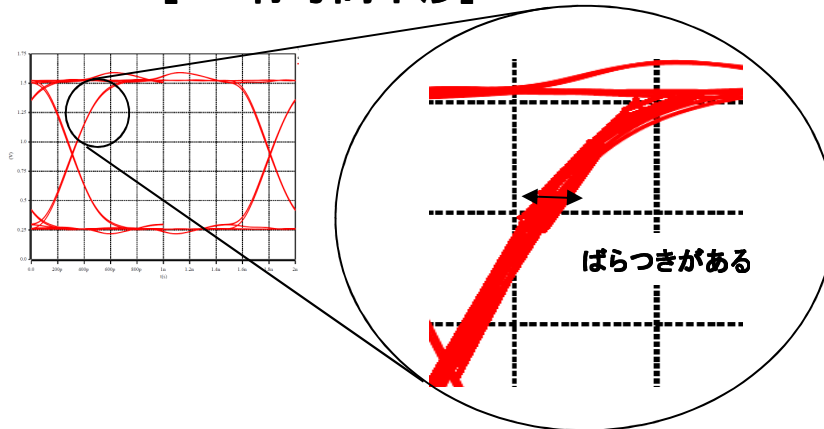


高速化・低電圧化が顕著で、
タイミングマージン、ノイズマージンが減少しており、
設計難易度が上がっています。

※ 資料はエルピーダメモリ様 ユーザーズマニュアル(J1503E10.pdf)から抜粋

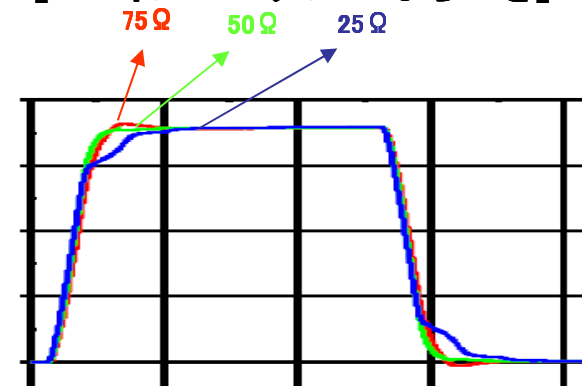
✦ ばらつきを考慮した解析

[ISI: 符号間干渉]



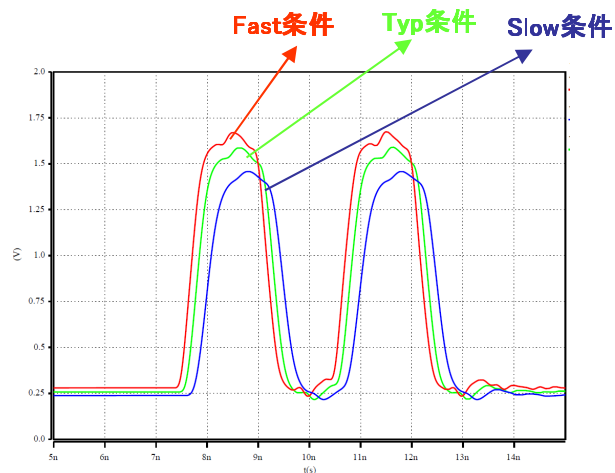
⇒ Bitパターンにより差が生じる

[Z0: インピーダンスばらつき]



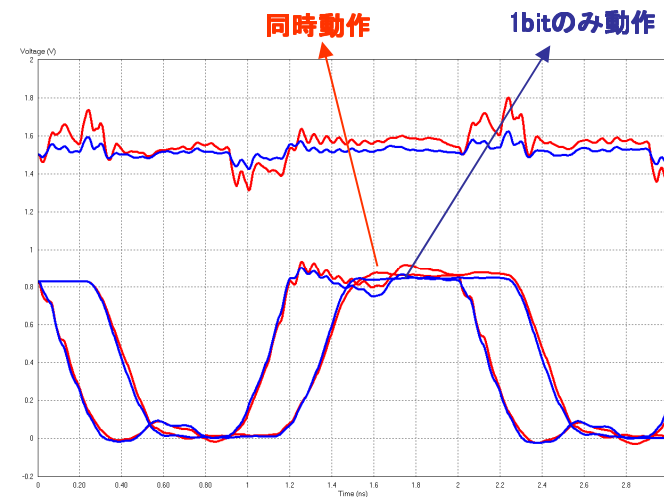
⇒ 基板のインピーダンスバラツキにより差が生じる

[LSI: デバイスばらつき]



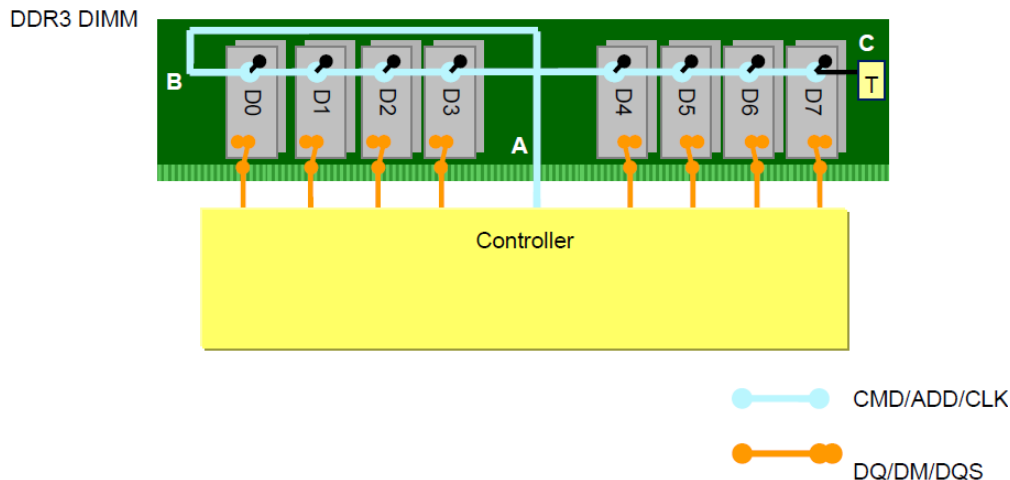
⇒ LSIバラツキ(プロセス, 温度等)により差が生じる

[SSO: 同時スイッチングノイズ]



⇒ 電源の揺れにより差が生じる

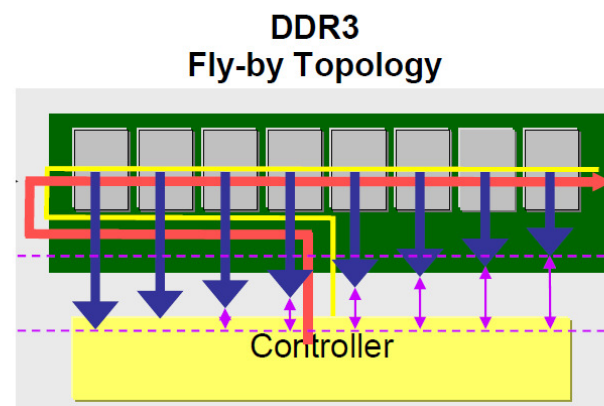
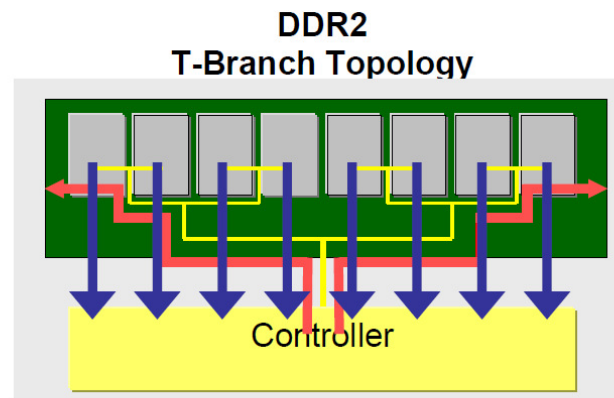
DDR3 I/Fの特長



DDR3のDIMMに関して、CLK/ADDの配線方法が等長(T-Branch)配線から一筆(Fly-by)配線に変更となっています。

一方、メモリの数が2個の場合は一筆配線を行うと配線スペースを多く取ってしまうなど逆効果になるため、等長配線が多くなっています。

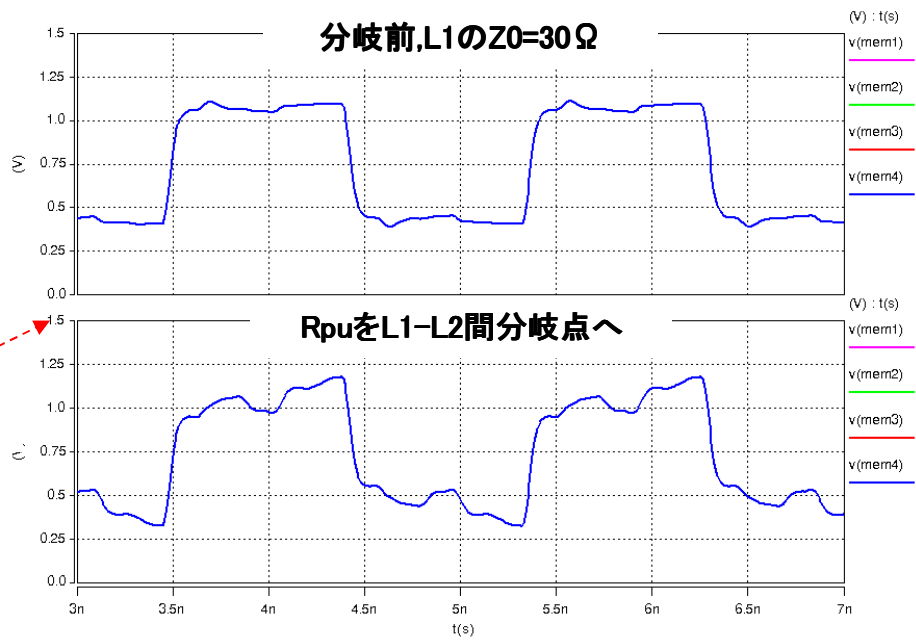
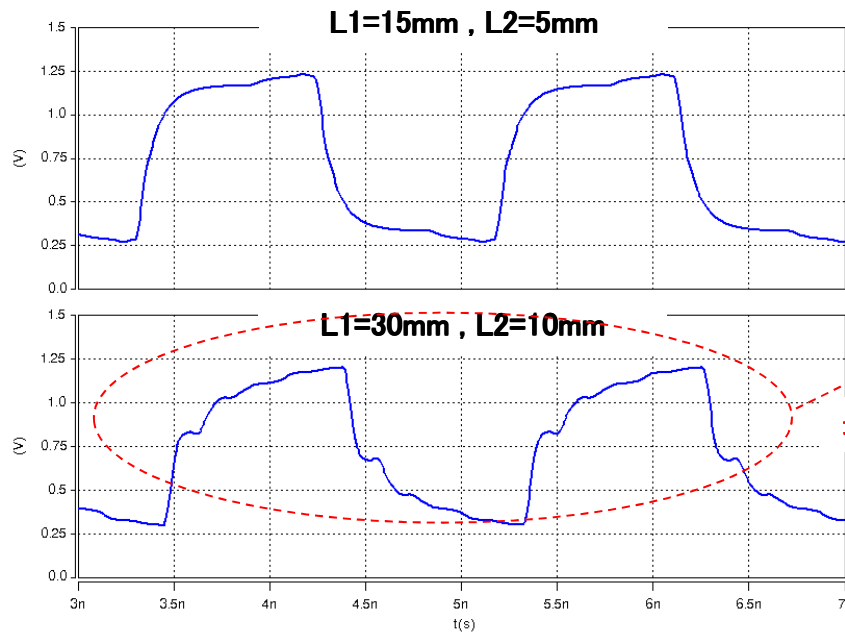
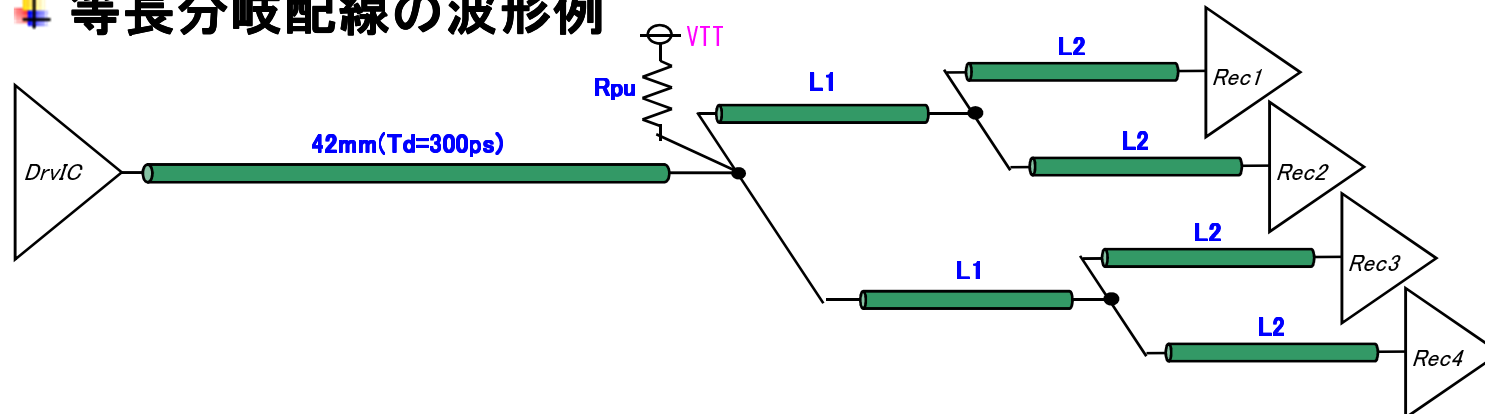
→ **メモリ個数・ピンサイン・コントローラ機能によって最適な配線方法が異なります**



※ 資料はエルピーダメモリ様 ユーザーズマニュアル(J1503E10.pdf)から抜粋

3-1. DDR3 I/F設計・解析事例

等長分岐配線の波形例

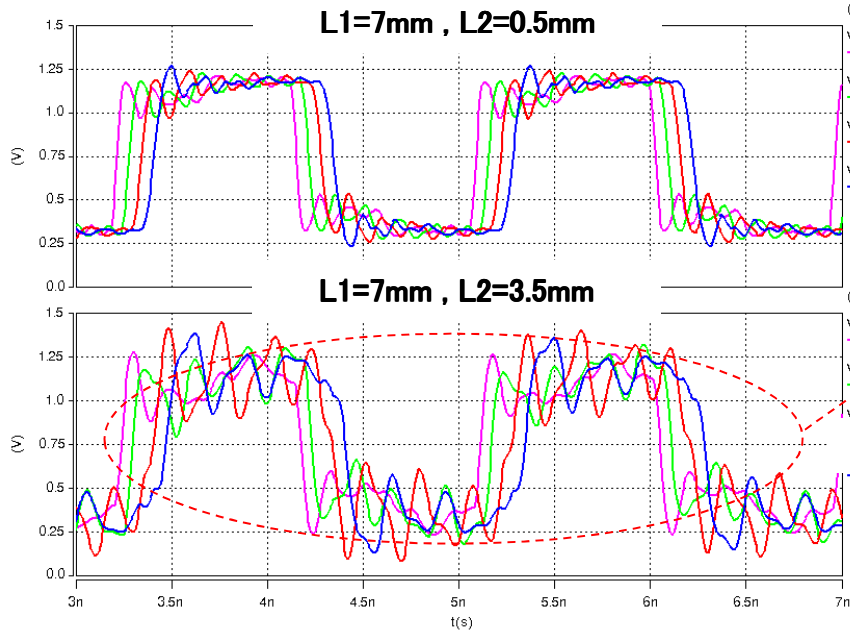
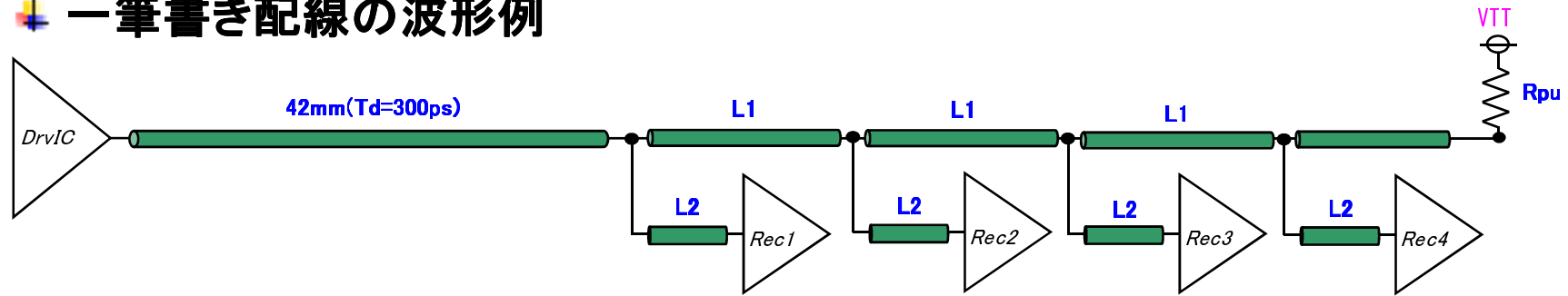


→ L1/L2の長さによりディップが発生

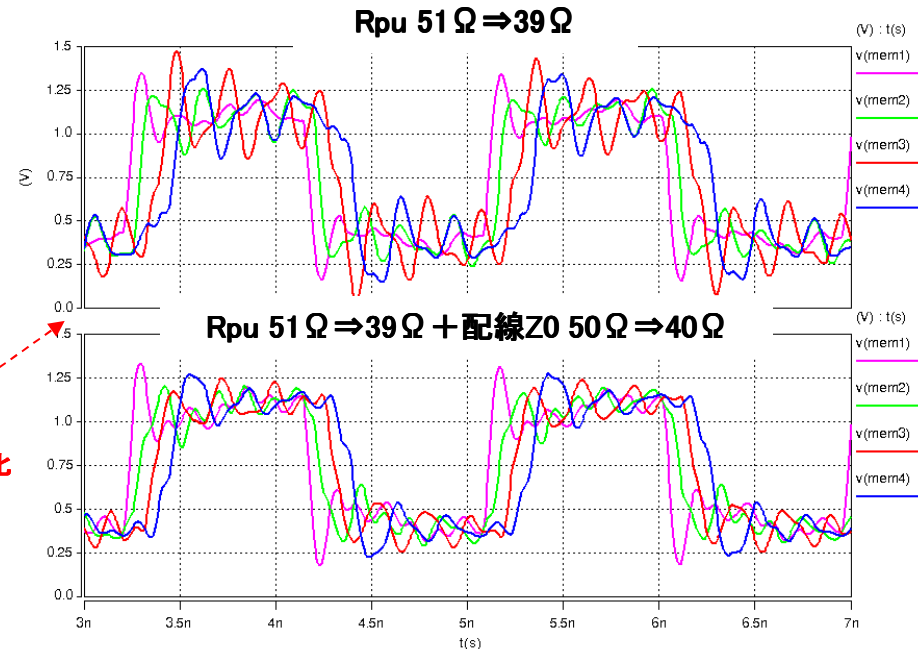
[対策事例]

3-1. DDR3 I/F設計・解析事例

一筆書き配線の波形例



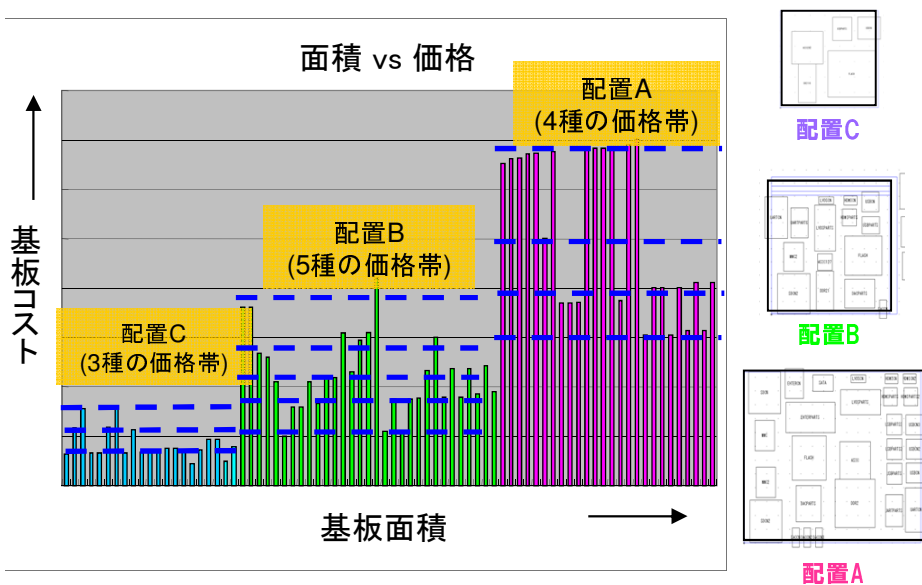
→ L1/L2の長さにより、リングング (ディップ)が発生



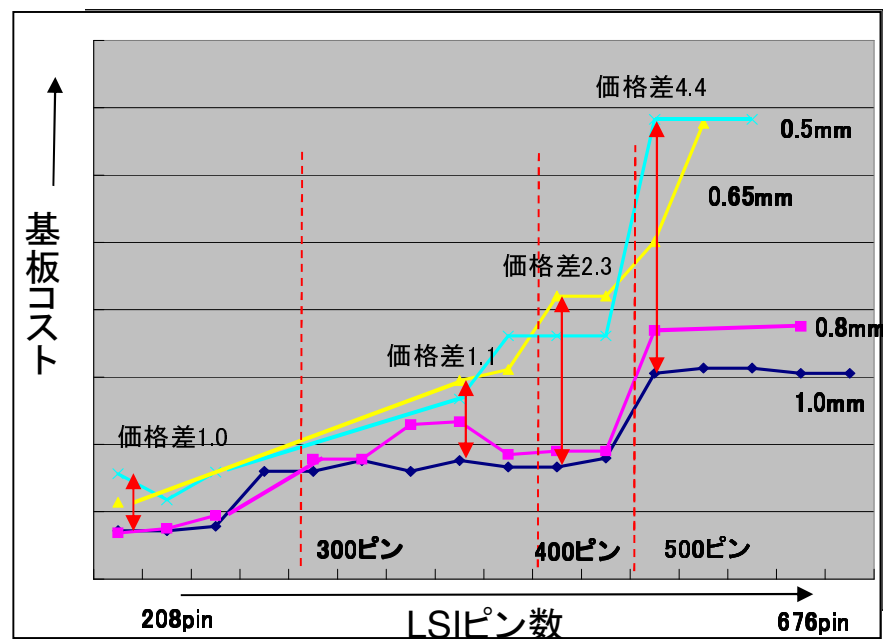
[対策事例]

✦ 基板コストの決定方法

- ・基板コストは一般的に搭載部品数やパッケージ仕様(ピッチ・ピン数)などによって決定される。
⇒ Lowcost基板実現のためには**セット全体の部品数**, **信号数を考慮**する必要がある。



→ AA~CC配置で、それぞれ3~5つの価格帯に大きく分類される。

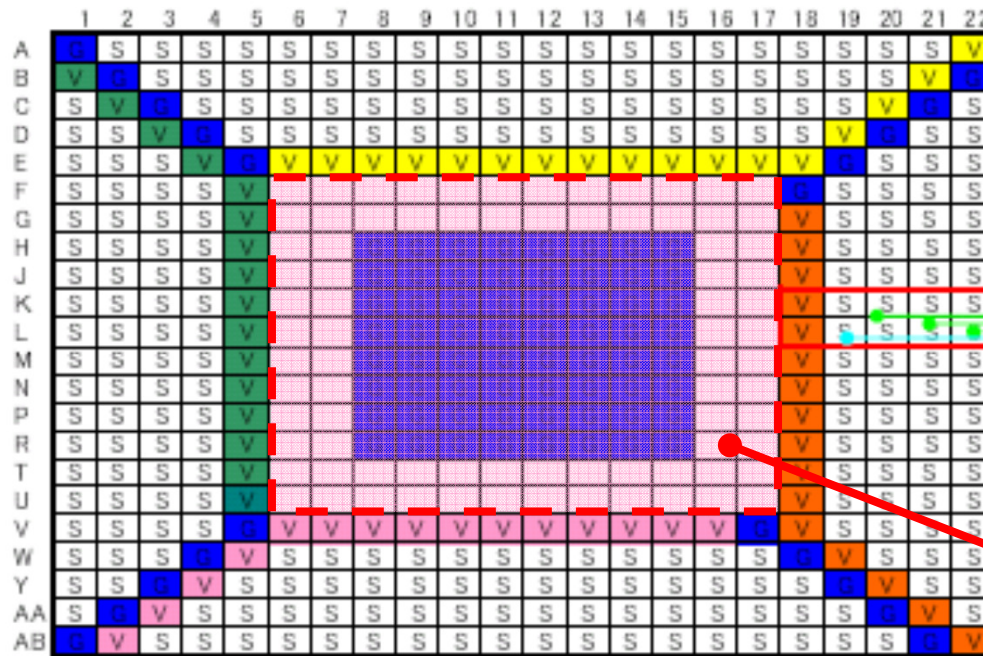


→ 400pinを超えると価格変動が約2倍。500pinを超えると約4倍となり変動が大きい。

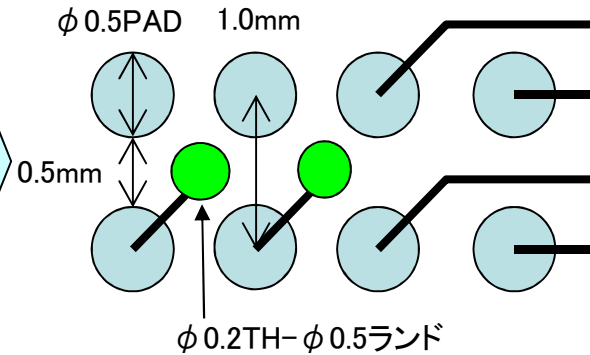
事前検討① - 2層板の実現性

- ・2層板実現のためには以下に示すようなLSI配線の引き出し検討が必要となる。
- ・通常的设计作業とは逆にメモリ側からコントローラ側に向かって配線し、最適なピンアサインを確定する必要がある。

電源/GNDは、4隅で配線出来るピンアサインを考慮



信号は4LOW以内でのピンアサインを考慮



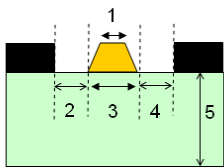
パスコンレイアウト領域

事前検討② - 基板配線(インピーダンス)仕様

- ・両脇のシールドでインピーダンスを取るため、全体的にインピーダンスは高くなっている。
- ・S1G1構造は配線領域がNG, S4G1構造はインピーダンスがばらつき、かつ波形変動が大きいいため、**S2G1構造を採用した。**

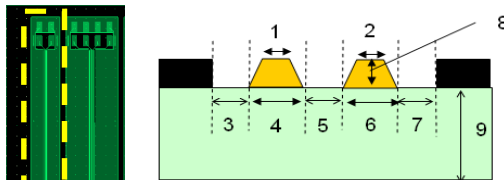
【S1G1構造】

[イメージ図]



【S2G1構造】

[断面観測結果]

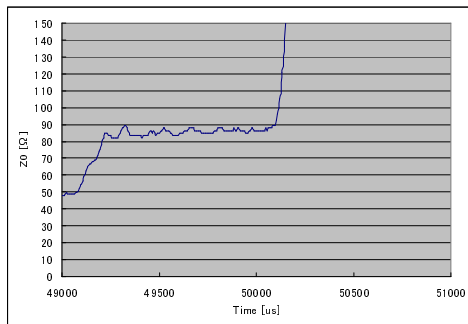


SR	20.00
1	101.08
2	100.52
3	142.63
4	110.53
5	137.63
6	112.55
7	138.18
8	35.50
9	1.1522

[um]

[mm]

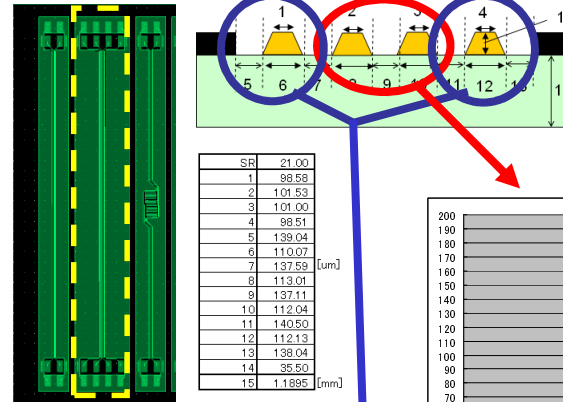
[TDR測定結果]



Z0 = 85Ω

【S4G1構造】

[断面観測結果]

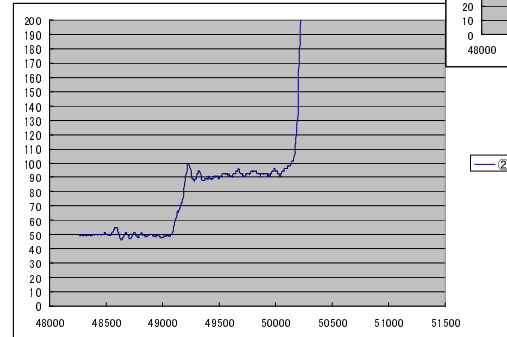


SR	21.00
1	98.58
2	101.53
3	101.00
4	98.51
5	139.04
6	110.07
7	137.59
8	113.01
9	137.11
10	112.04
11	140.50
12	112.13
13	138.04
14	35.50
15	1.1895

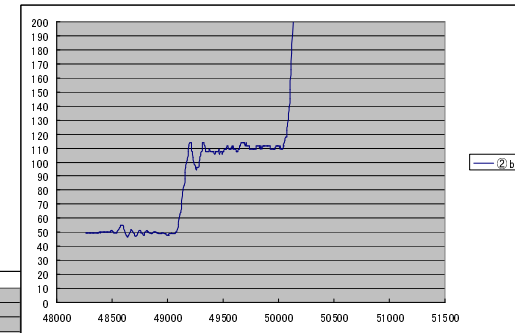
[um]

[mm]

[TDR測定結果]



Z0 = 90Ω

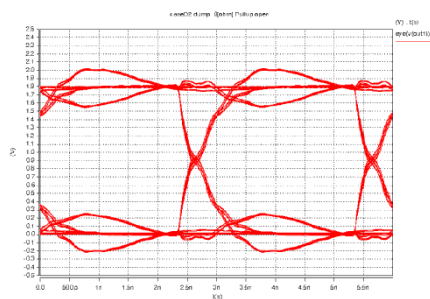
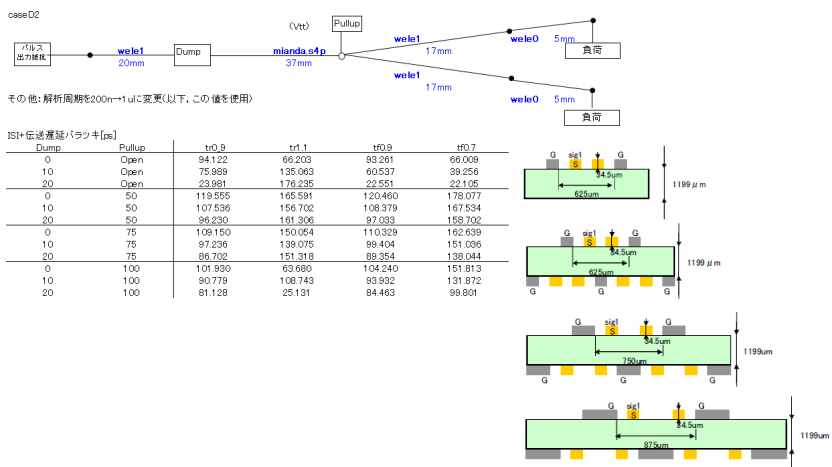


Z0 = 110Ω

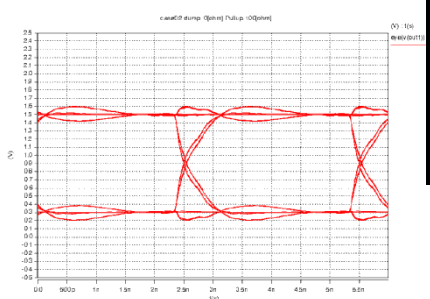
事前検討③ - 電気特性

- ・DCスペックを基準にダンピング抵抗・アドレス/制御信号のプルアップ抵抗が必要であるかなど、シミュレーションを用いて検討した。
- ・信号特性だけではなく、IRドロップなどの電源特性も実現可能かを検討した。

[信号特性検討例]

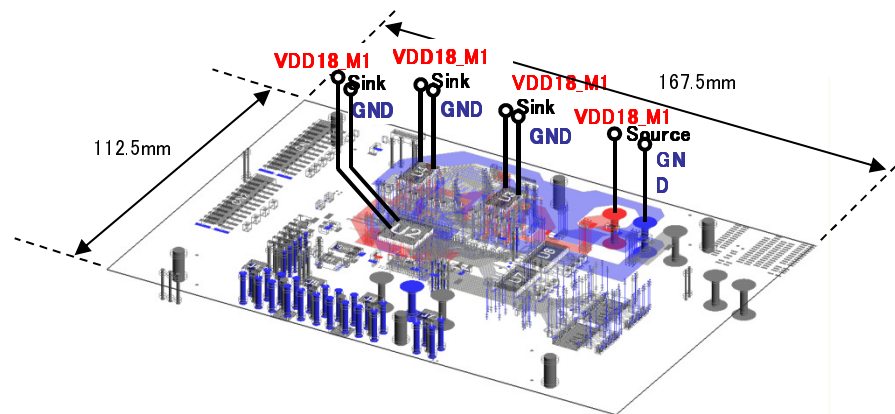


ダンピングなし・Pullupなし



ダンピングなし・Pullup100Ω

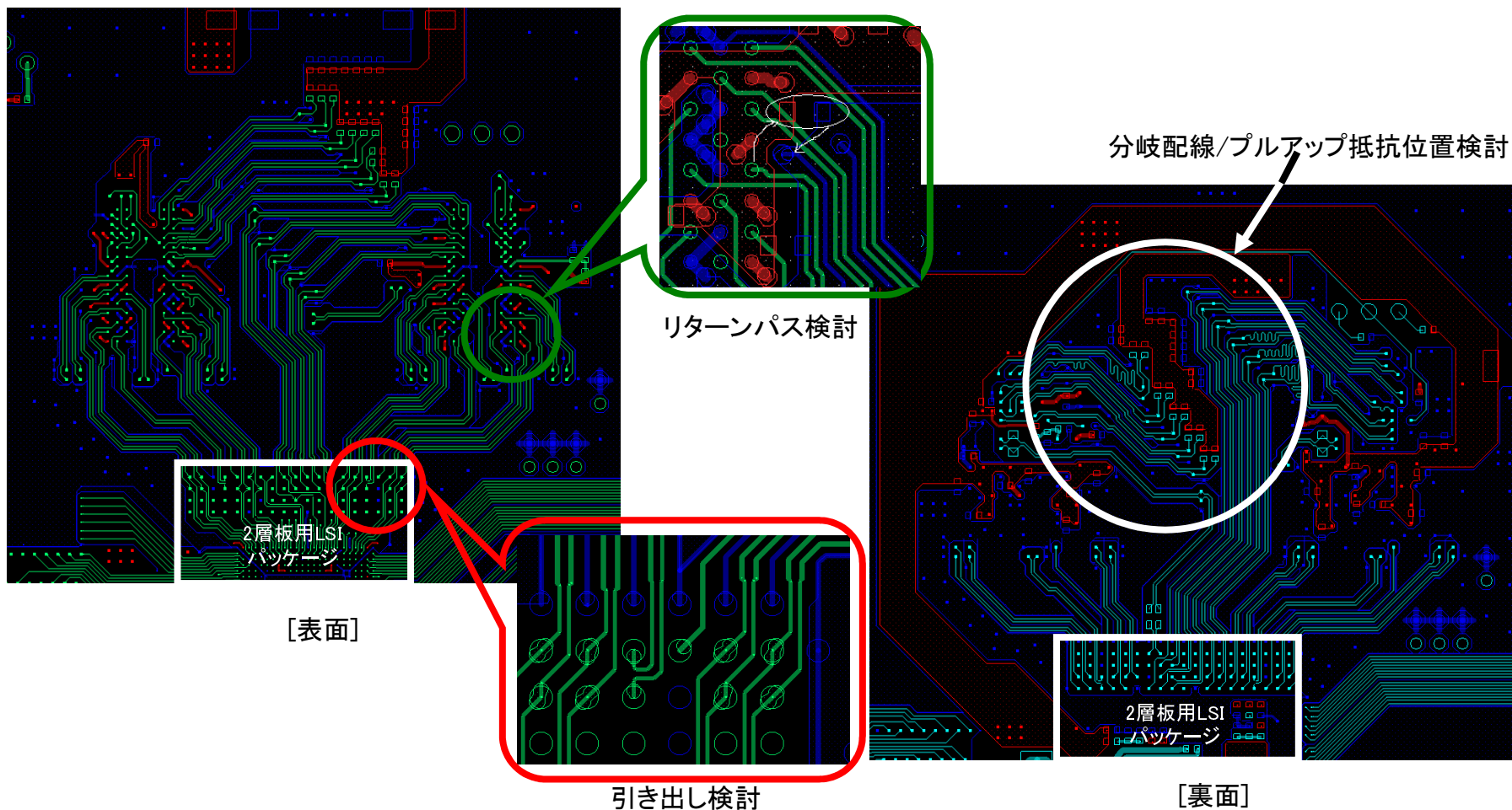
[電源特性検討例]



Source		Sink		IR ドロップ [mV]	IRドロップ 許容値 [mV]	判定
VDD18_M1	GND	VDD18_M1	GND			
TM3_1	TM11_1	U2_VDD18_M1(ボード)	U2_GND(ボード)	19.74	25	○
		U2_VDD18_M1(チップ)	U2_GND(チップ)	21.17		○
		U3_VDD18_M1	U3_GND	5.32		○
		U4_VDD18_M1	U4_GND	14.68		○

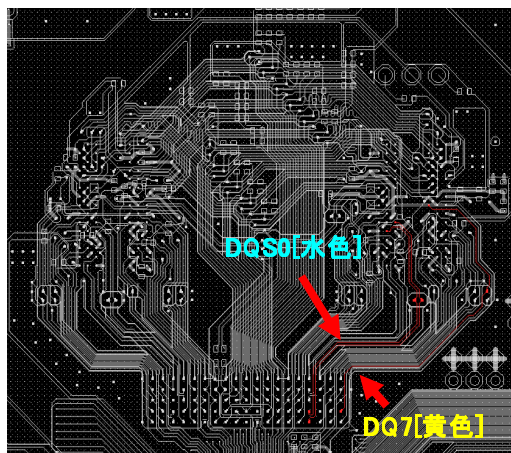
配置・配線作業

- ・2層板実現のための最適なLSIピンアサインを検討した。
- ・現実的な配線領域内で、かつ分岐のビアが多くならないように配線した。
- ・シールドでリターンパスを確保できるようにビアやパスコンの位置を工夫した。



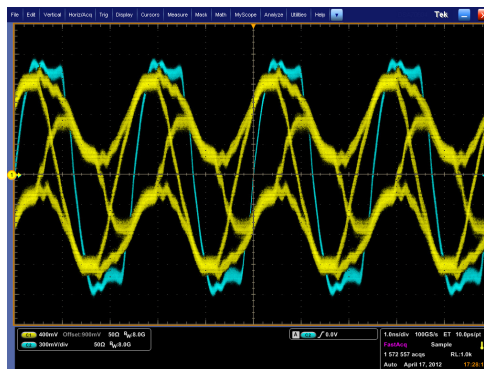
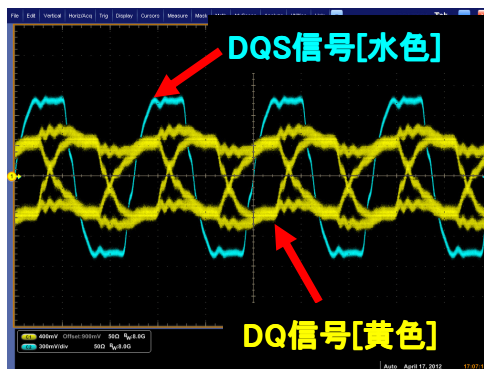
特性評価① - 信号特性

- ・実測にて電気特性(信号/電源)を検証した。
- ・動作条件/動作パターンによっては大きな電圧変動を観測した。

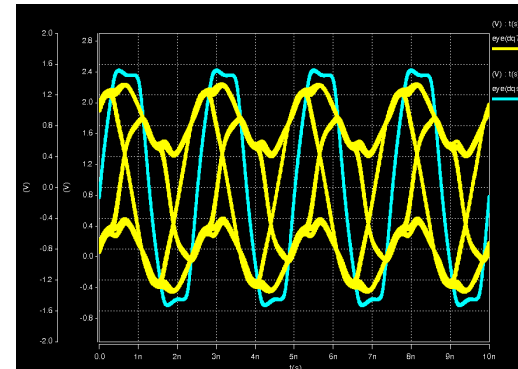
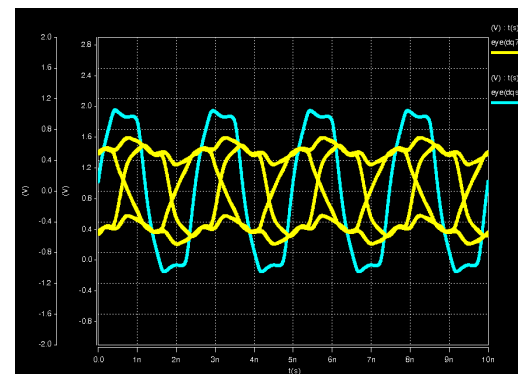


動作周波数: 800Mbps
 DQ7(Victim): 1bit動作 PRBS
 他DQ信号(Aggressor): 31bit動作 PULSE

↓実測
 (上:ODTあり, 下:ODTなし)



↓シミュレーション
 (上:ODTあり, 下:ODTなし)



特性評価② - 電源特性

[DC特性]

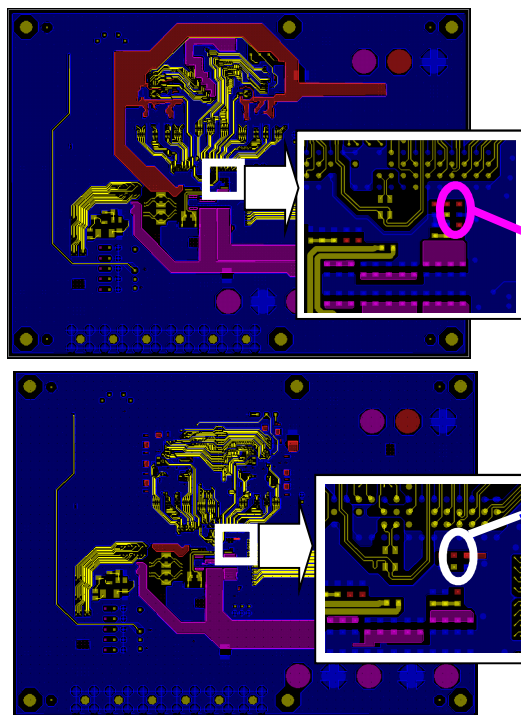
測定結果 4層板 VDD18 L6



- ・2層板はベタ層の4層板と比べ、配線が細く・長くなる。
- ・作成したボードではIRドロップ値は4層板に比べ2~3倍となる。

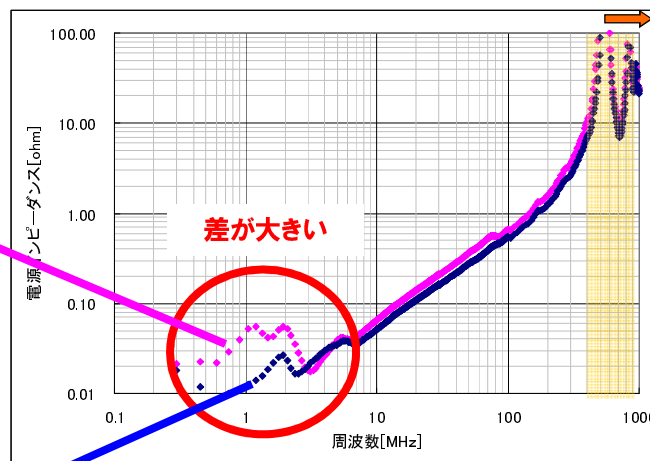
特性評価② - 電源特性

[AC特性]

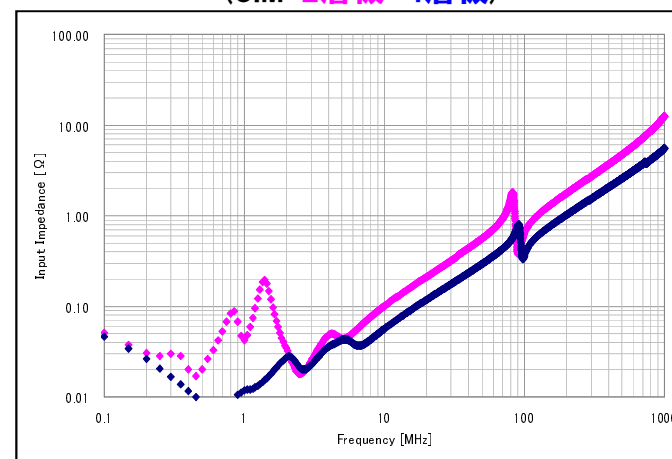


(実測:2層板-4層板)

測定誤差



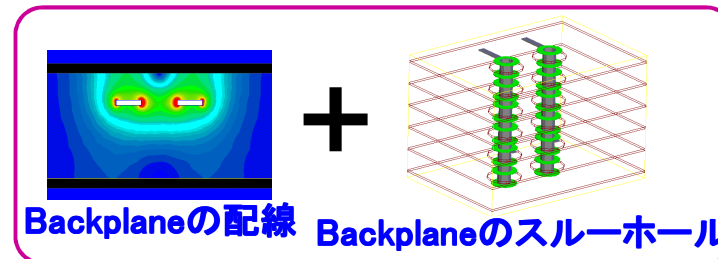
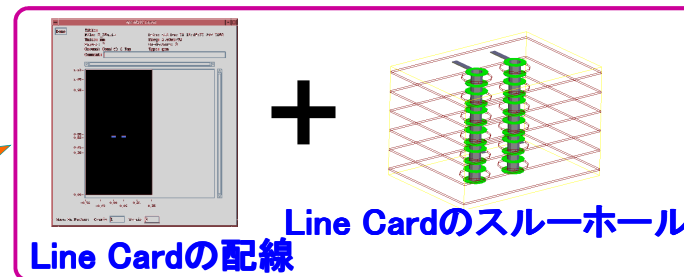
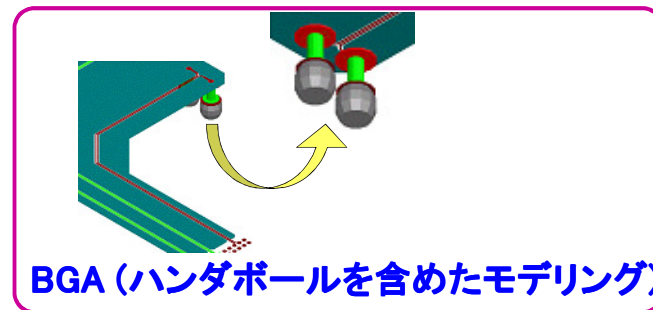
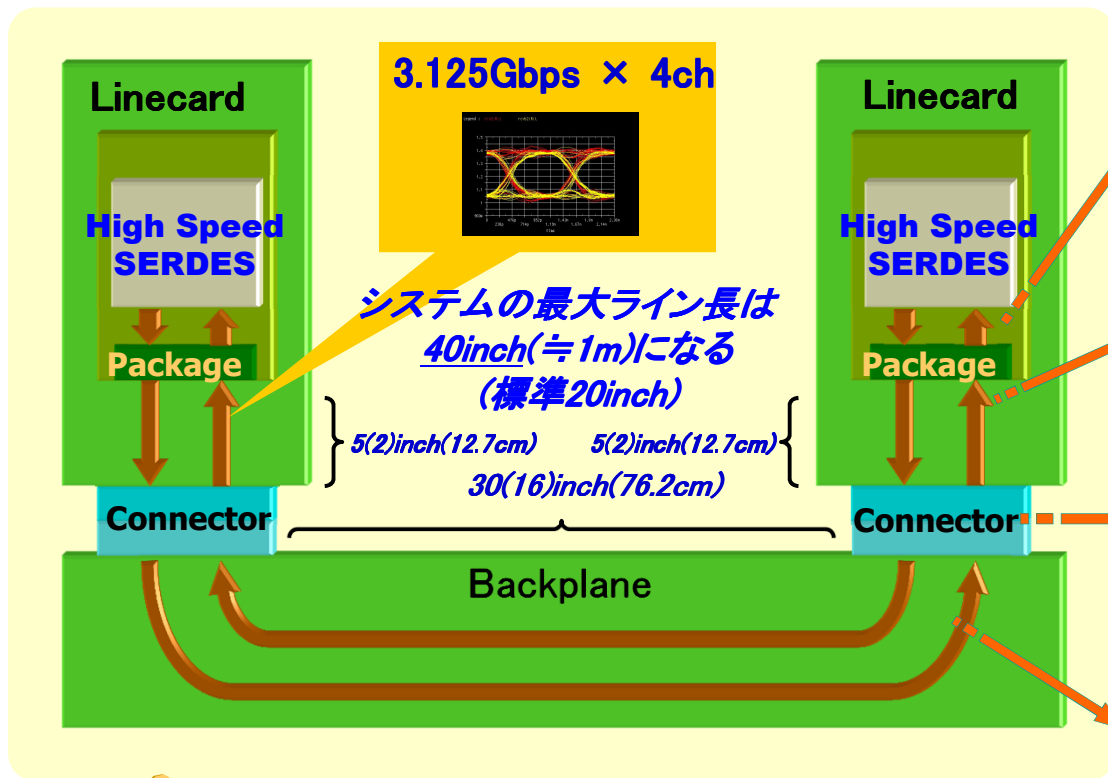
(SIM:2層板-4層板)



- ・高周波帯では2,4層板の差がなくなっていることから、DCや低周波帯に注意する必要がある。

4. 高速シリアル I/F設計・解析事例

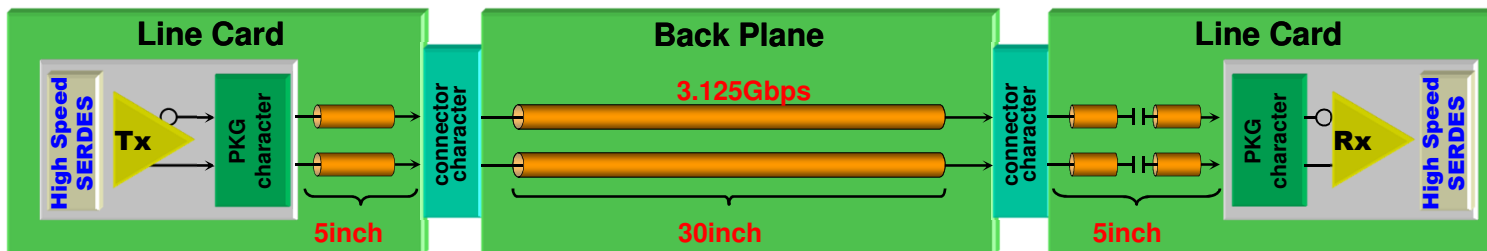
シミュレーション解析事例 (XAUI インターフェース例)



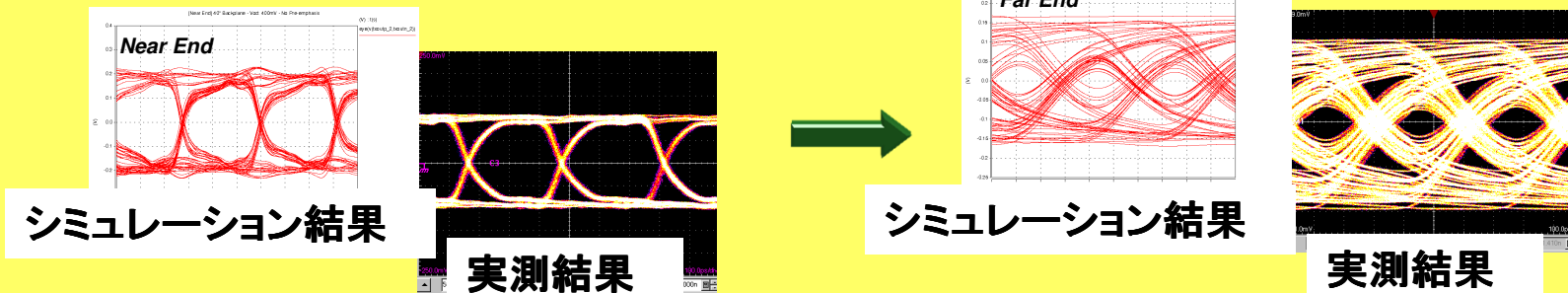
各コンポーネントの最適化がキー

4. 高速シリアル I/F設計・解析事例

シミュレーション結果と実測結果比較

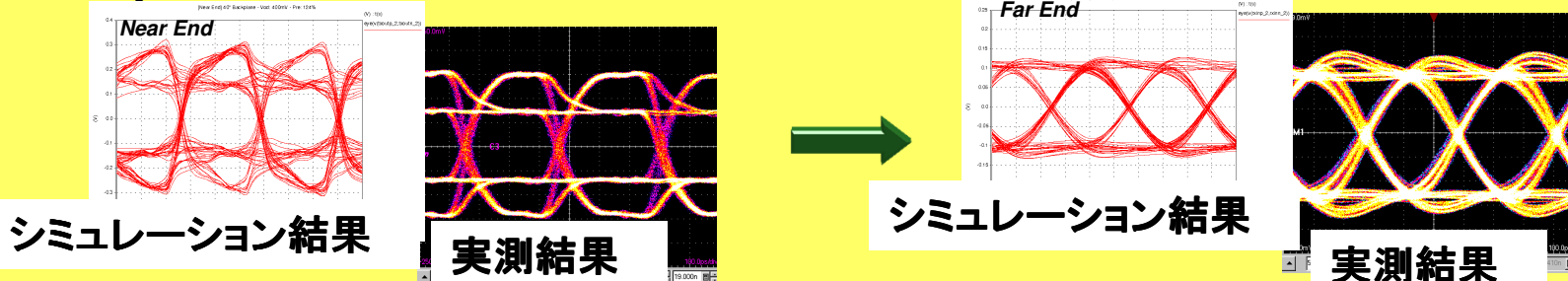


◆ Pre-emphasis = 0%



FR-4 (約1m) 伝送線路の損失が大きくレシーバで Eye がつぶれてしまう

◆ Pre-emphasis = 124%



プリエンファシスにより送信波形の出力を大きくするとレシーバで Eye が開く

4. 高速シリアル I/F設計・解析事例

超高多層基板 (高アスペクト比)

特長：最大層数50層
板厚6.5mmまで対応可能

多重積層基板 (貼り合せ基板)

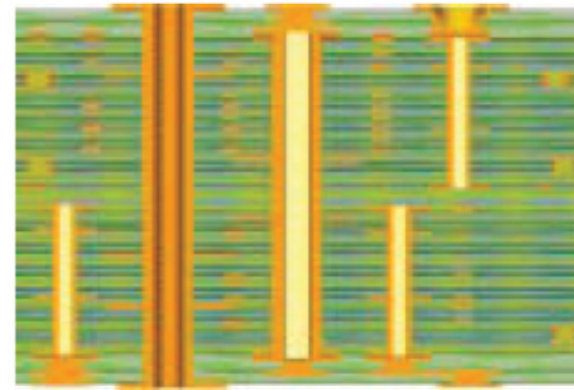
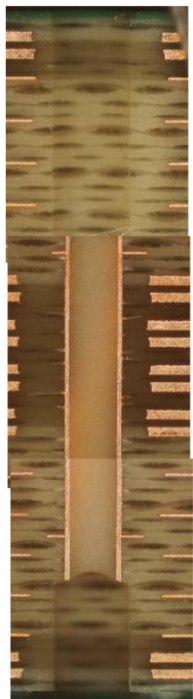
特長：最大層数28層
インピーダンスコントロール可能

14層
14層

高多層コンデンサ機能内蔵基板

効果：ノイズ発生低減
コンデンサ実装面積低減

コンデンサ機能材
0.06mm



バックドリル技術

効果：信号伝播速度の均一化
伝送線路の反射・減衰量低減

Back-drilled via

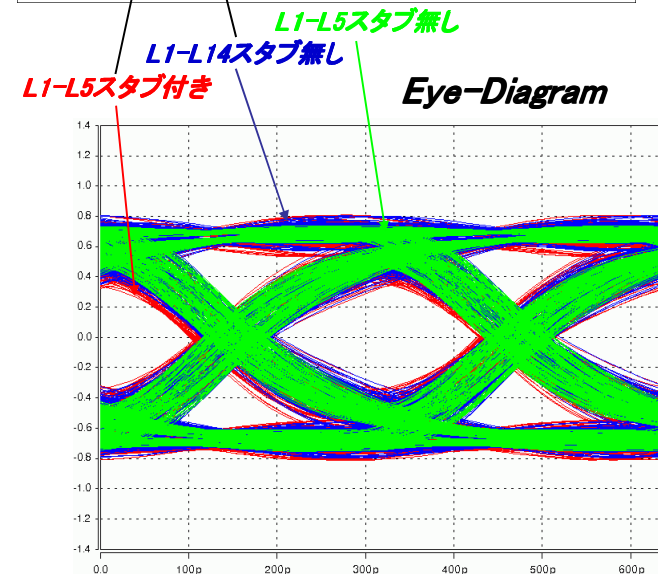
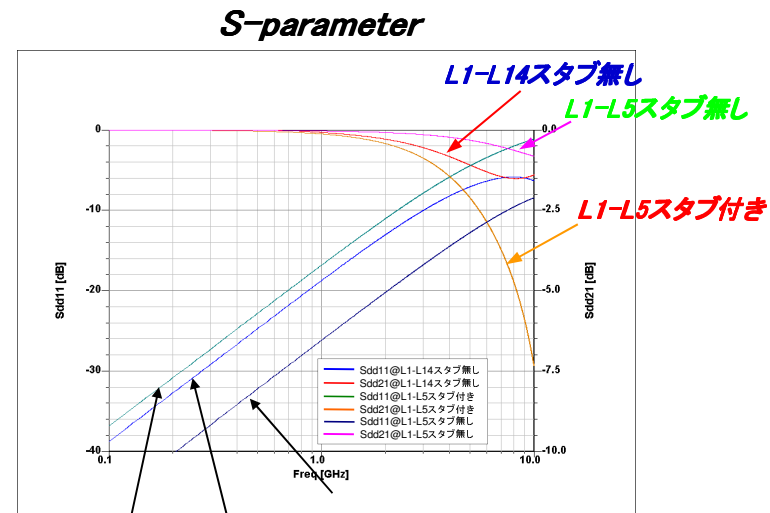
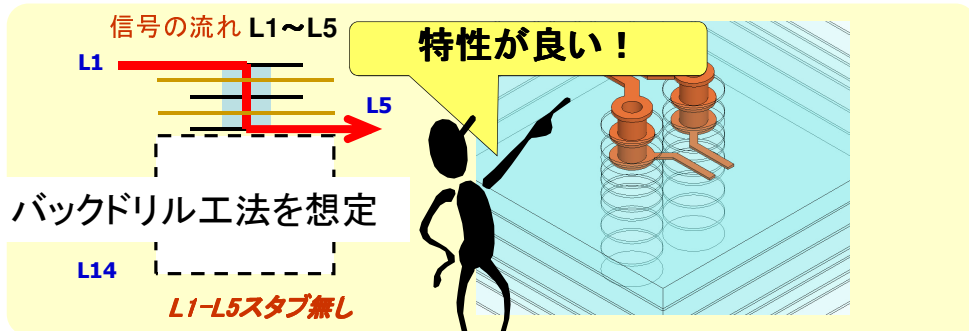
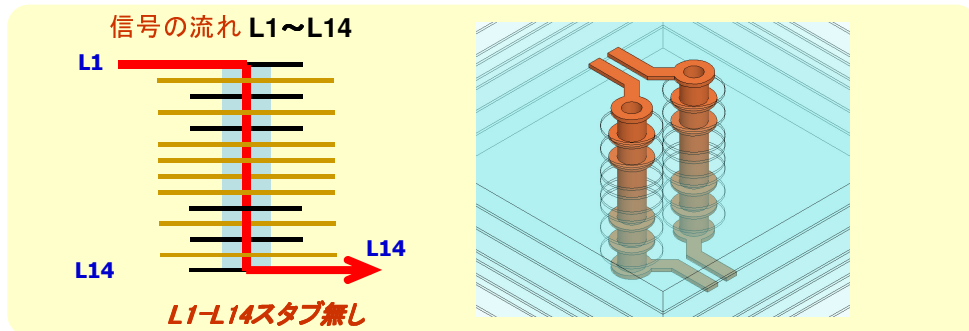
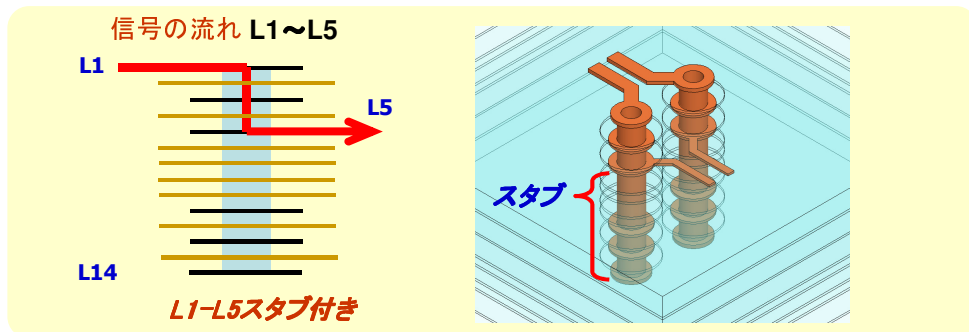
高多層ビルドアップ技術 (Via on Via、Skip Via)

特長：Filled Via対応可能、2段ビルドアップ対応可能
インピーダンスコントロール対応可能

Via on Via

Skip Via

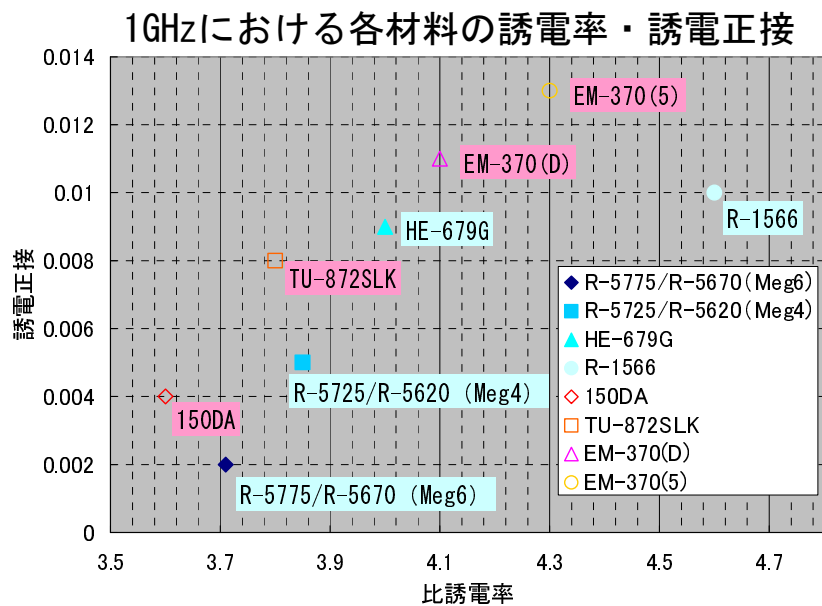
スルーホールによるスタブ解析事例



4. 高速シリアル I/F設計・解析事例

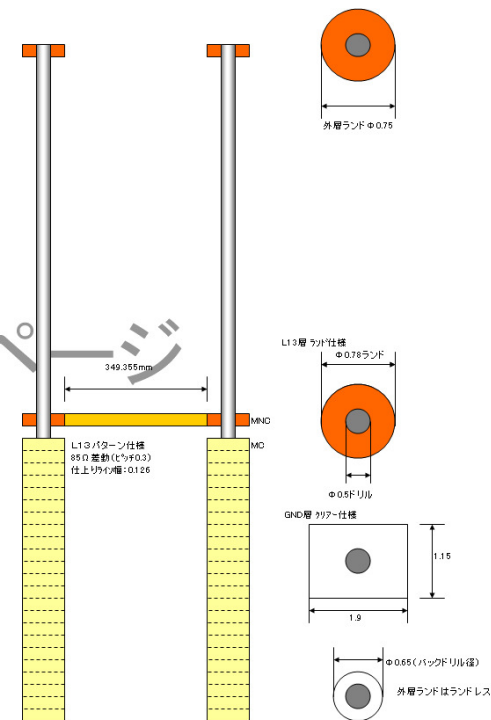
✚ ビア構造の3次元電磁界解析 (HFSS) による比較 ～材料特性と層構成～

項番	材質	比誘電率								誘電正接									
		1MHz	1GHz	2GHz	3GHz	4GHz	5GHz	6GHz	8GHz	10GHz	1MHz	1GHz	2GHz	3GHz	4GHz	5GHz	6GHz	8GHz	10GHz
1	R-5775(core)																		
	R-5670(pre)		3.71	3.64		3.63		3.63	3.62	3.61		0.002	0.002		0.003		0.003	0.004	0.004
2	R-5725(meg4 core)		3.84			3.80		3.79		3.77		0.005			0.006		0.006		0.007
	R-5620(meg4 pre)		3.86			3.85		3.84		3.83									
3	HE-679G		4.00		4.00							0.009		0.010					
4	R-1566	5.20	4.60								0.010	0.010							
5	150DA		3.60	3.60	3.60	3.60	3.60	3.60	3.60	3.60		0.004	0.005	0.005	0.005	0.005	0.005	0.005	0.005
6	TU-872SLK		3.80				3.80			3.70		0.008				0.008			0.009
7	EM-370(D)		4.10									0.011							
8	EM-370(5)	4.50	4.30								0.009	0.013							



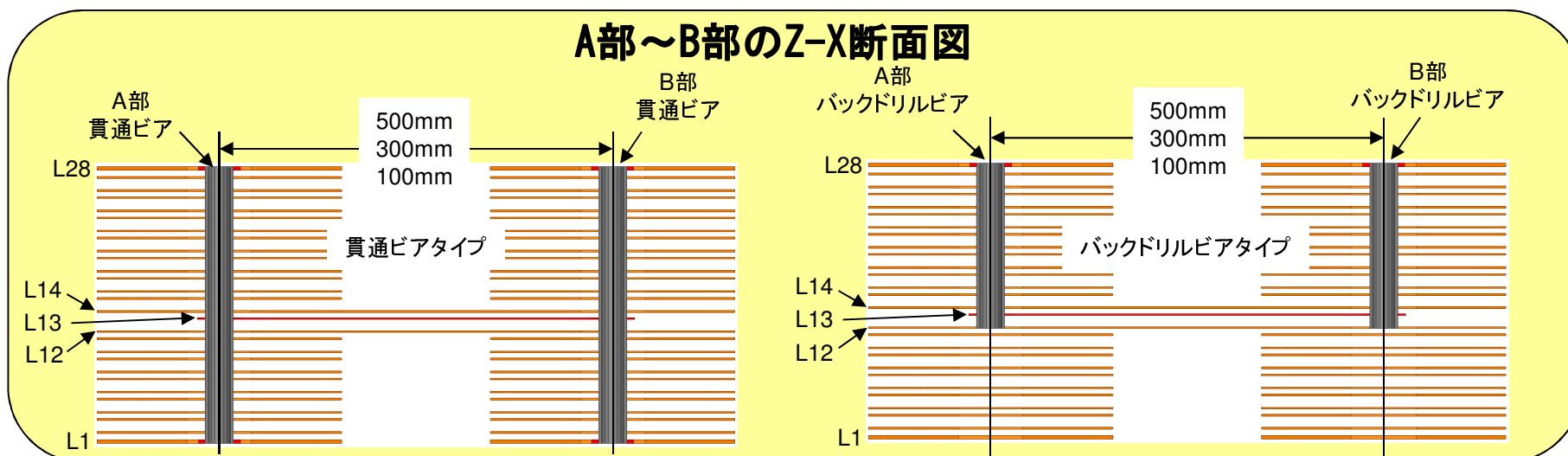
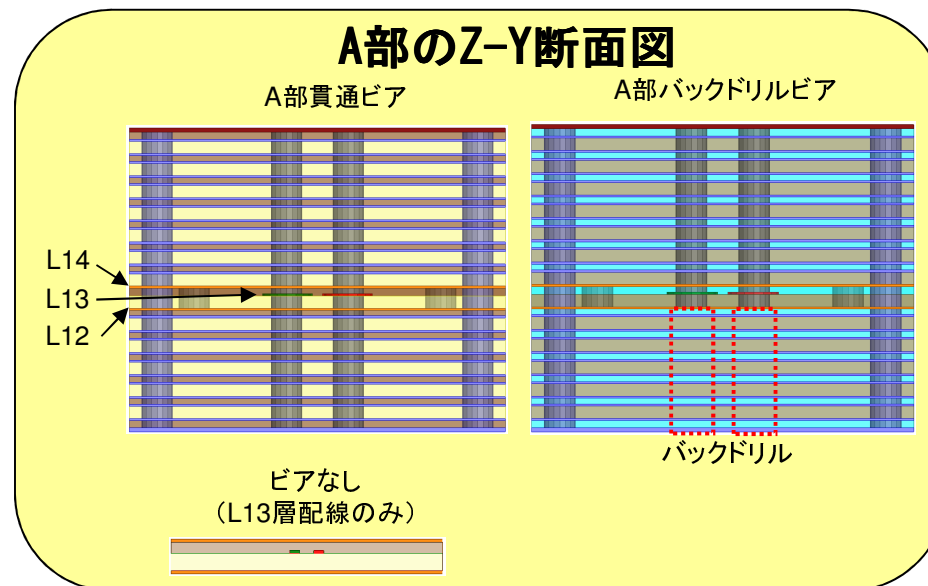
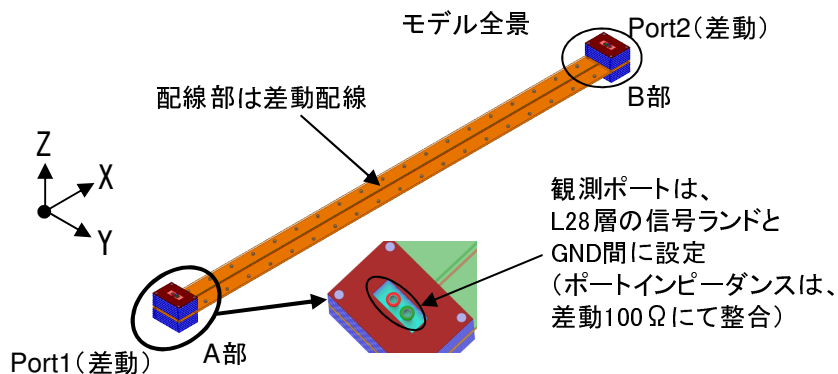
RAID00 (Logic-PL) 層構成案 <R-1566> (Lowコスト)

Lay	層別記述	26層実装 (80ピン) 板厚: 1.5以下	材料: R-1566/R-1551	仕上り状態
L28	AD_CAP(0)	0.5oz*Plating		0.065
L27	AD_V	0.1PPX1		0.115
L26	AB_GND	0.2B 1.0/1.0oz		0.092
L25	AA_S/G	0.1PPX1		0.093
L24	Z_GND	0.2B 1.0/1.0oz		0.092
L23	Y_S/G	0.1PPX1		0.093
L22	X_GND	0.2B 1.0/1.0oz		0.092
L21	W_S/G	0.1PPX1		0.093
L20	V_GND	0.2B 1.0/1.0oz		0.092
L19	U_S/G	0.1PPX1		0.093
L18	T_GND	0.2B 1.0/1.0oz		0.092
L17	S_S/G	0.1PPX1		0.093
L16	R_GND	0.2B 1.0/1.0oz		0.092
L15	Q_S/G	0.1PPX1		0.093
L14	P_GND	0.2B 1.0/1.0oz		0.092
L13	N_S/G	0.1PPX1		0.093
L12	M_GND	0.2B 1.0/1.0oz		0.092
L11	L_S/G	0.1PPX1		0.093
L10	K_GND	0.2B 1.0/1.0oz		0.092
L9	J_S/G	0.1PPX1		0.093
L8	H_GND	0.2B 1.0/1.0oz		0.092
L7	G_S/G	0.1PPX1		0.093
L6	F_GND	0.2B 1.0/1.0oz		0.092
L5	E_S/G	0.1PPX1		0.093
L4	D_GND	0.2B 1.0/1.0oz		0.092
L3	C_S/G	0.1PPX1		0.093
L2	B_GND	0.2B 1.0/1.0oz		0.092
L1	A_CAP(0)	0.5oz*Plating		0.065
		板厚(のう)含む		4.009



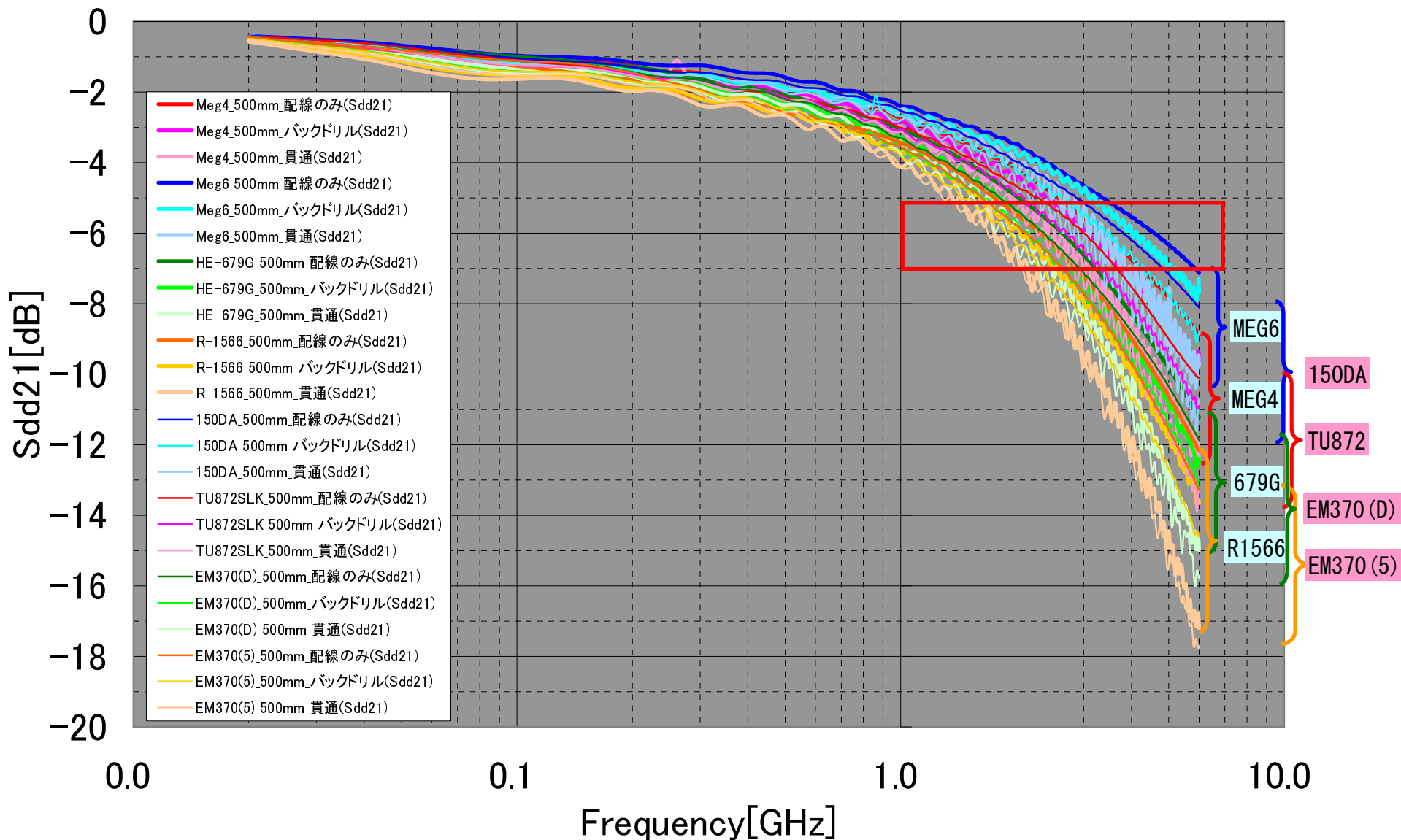
4. 高速シリアル I/F設計・解析事例

✚ ビア構造の3次元電磁界解析(HFSS)による比較 ～配線構造～



4. 高速シリアル I/F設計・解析事例

材料特性とビア構造(バックドリル)比較(Sdd21:透過特性)



4. 高速シリアル I/F設計・解析事例

⑧ 材料特性とビア構造(バックドリル)比較:Sdd21(通過特性)

国内材料 500mm配線長 Sdd21到達時の周波数[GHz]

Sdd21	R-5775/R-5670(Meg6)			R-5725/R-5620(Meg4)			HE-679G			R-1566		
	配線のみ	バックドリル	貫通 TH	配線のみ	バックドリル	貫通 TH	配線のみ	バックドリル	貫通 TH	配線のみ	バックドリル	貫通 TH
-6dB	4.58	3.96	3.08	3.36	3.02	2.38	2.64	2.28	1.98	2.31	2.01	1.66

同等の結果

同等の結果

同等の結果

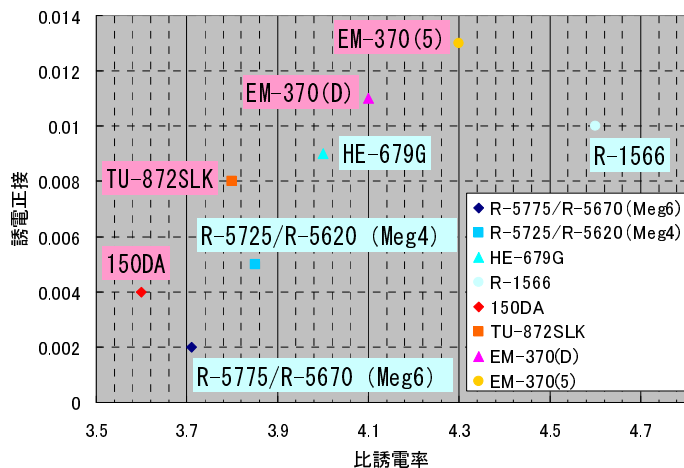
海外材料 500mm配線長 Sdd21到達時の周波数[GHz]

Sdd21	150DA			TU872SLK			EM370(D)			EM370(5)		
	配線のみ	バックドリル	貫通 TH	配線のみ	バックドリル	貫通 TH	配線のみ	バックドリル	貫通 TH	配線のみ	バックドリル	貫通 TH
-6dB	3.81	3.37	2.65	3.00	2.61	2.26	2.37	2.11	1.78	2.12	1.86	1.66

同等の結果

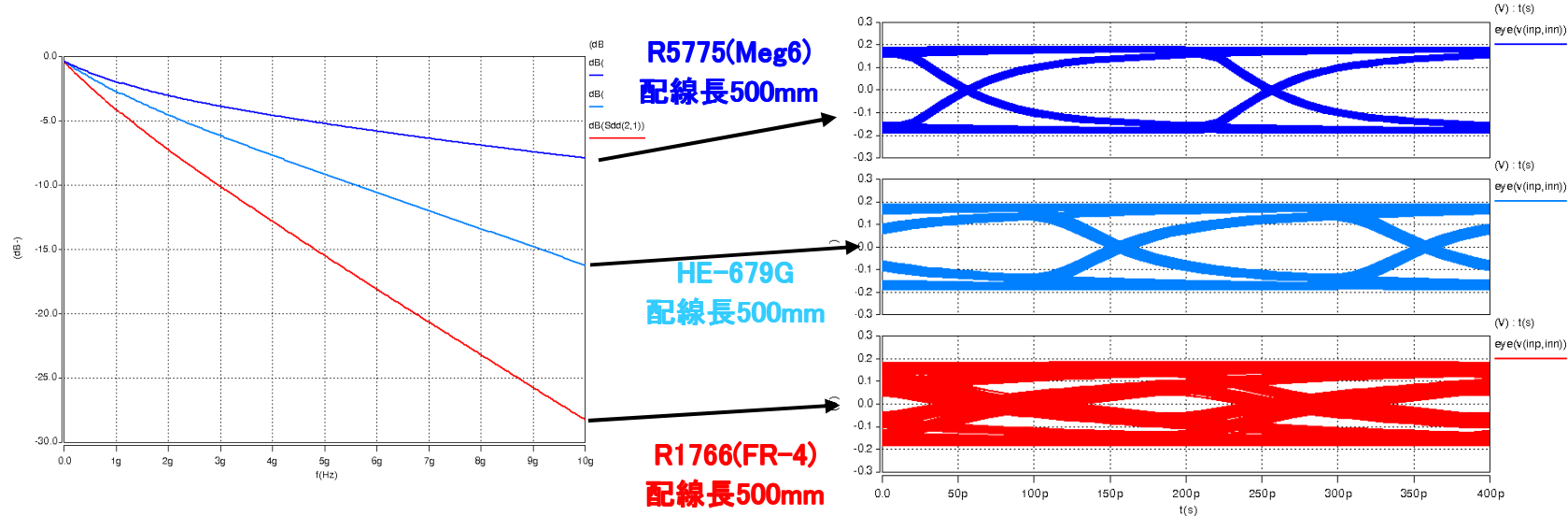
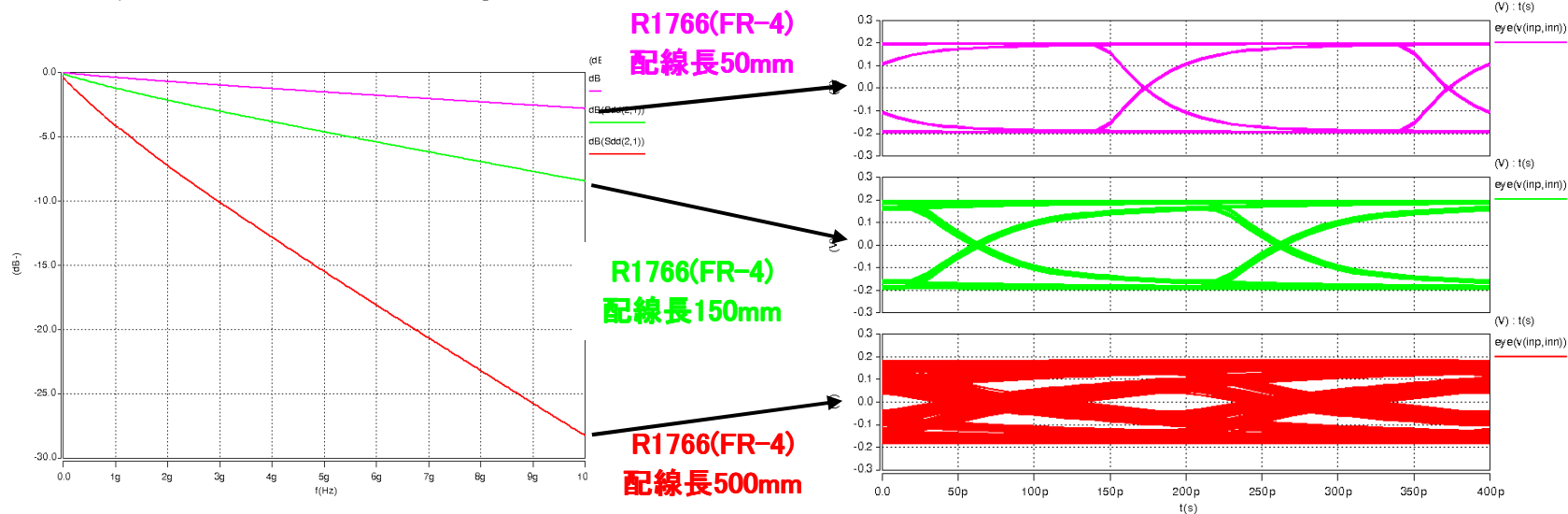
同等の結果

同等の結果



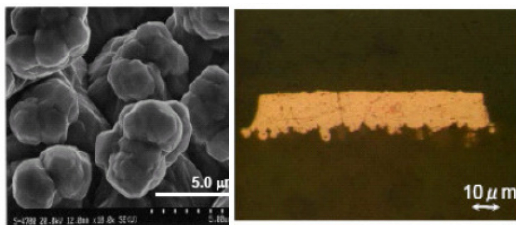
4. 高速シリアル I/F設計・解析事例

✚ 配線長・材料による影響

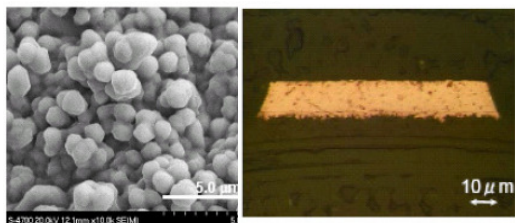


材料・工法

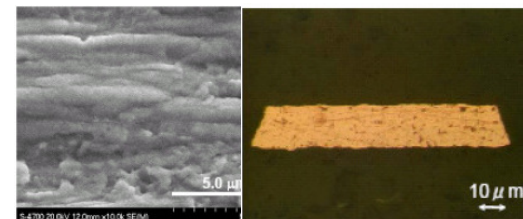
特に高周波帯では表皮効果の関係から、銅箔部の仕上がりが重要となります。



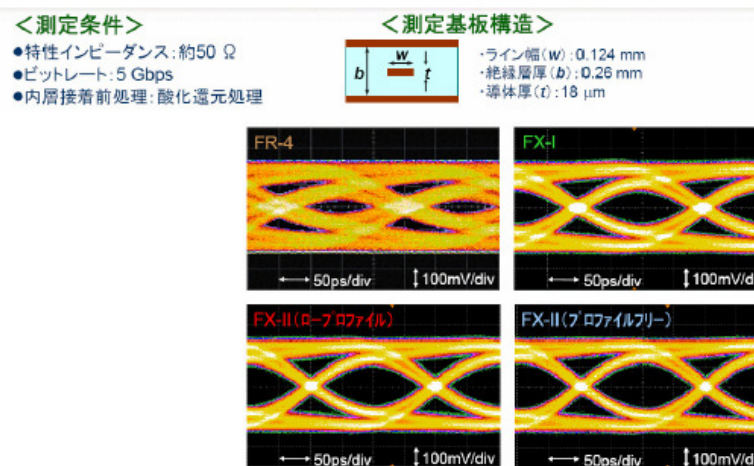
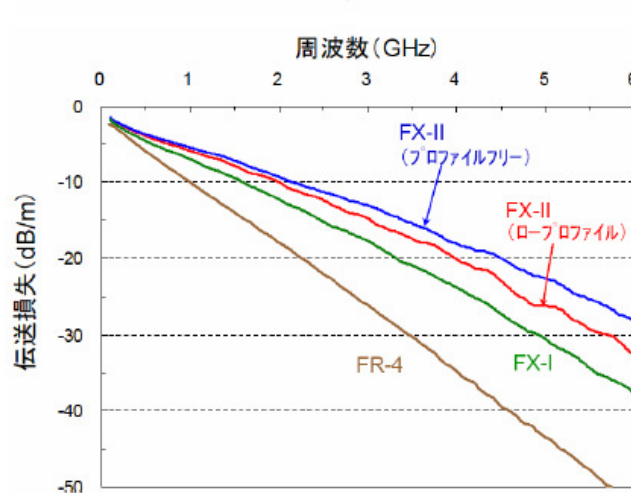
一般銅箔
(Rz: 6~8um)



ロープロファイル銅箔
(Rz: 3~4um)

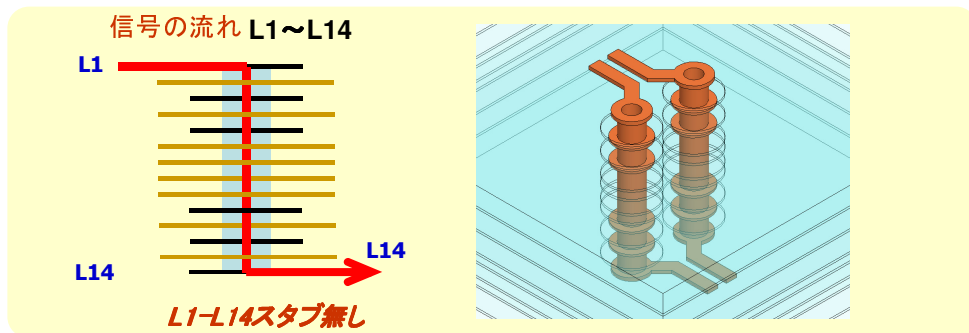
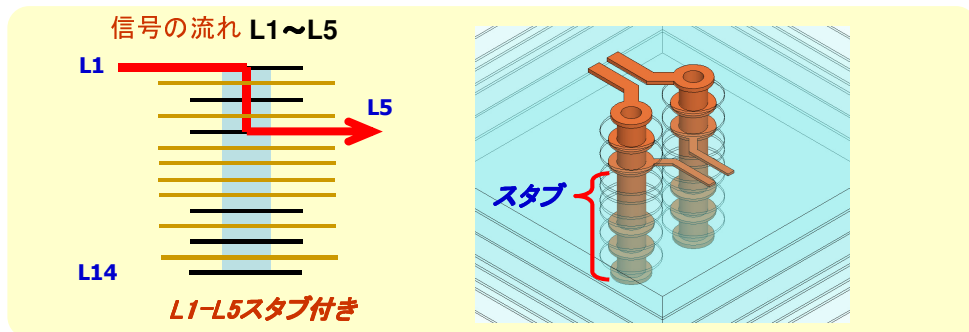


プロファイルフリー銅箔
(Rz: 0.5~1.5um)

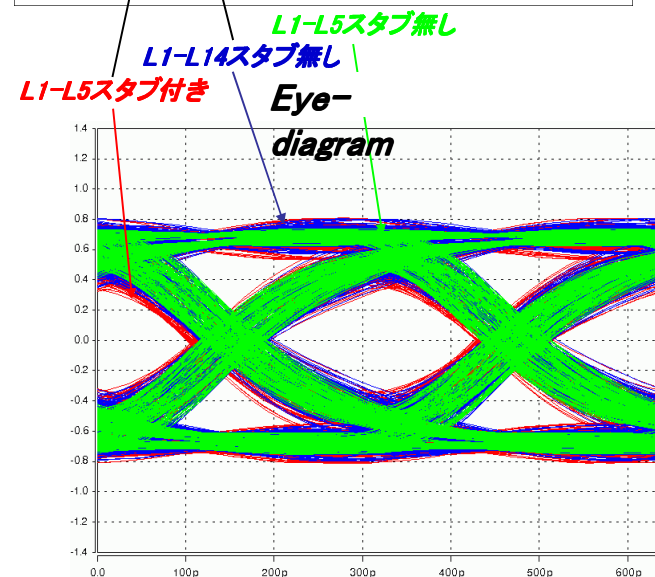
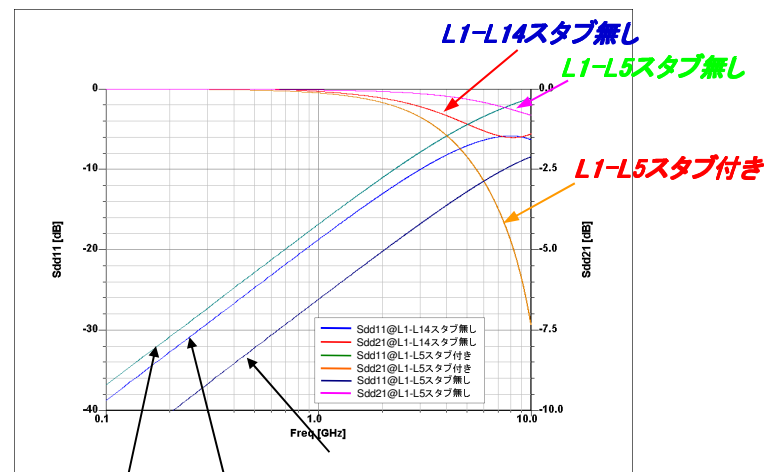


スルーホールによるスタブ解析事例

伝送線路(スルーホール)の解析 (insertion loss & return loss)



S-parameter



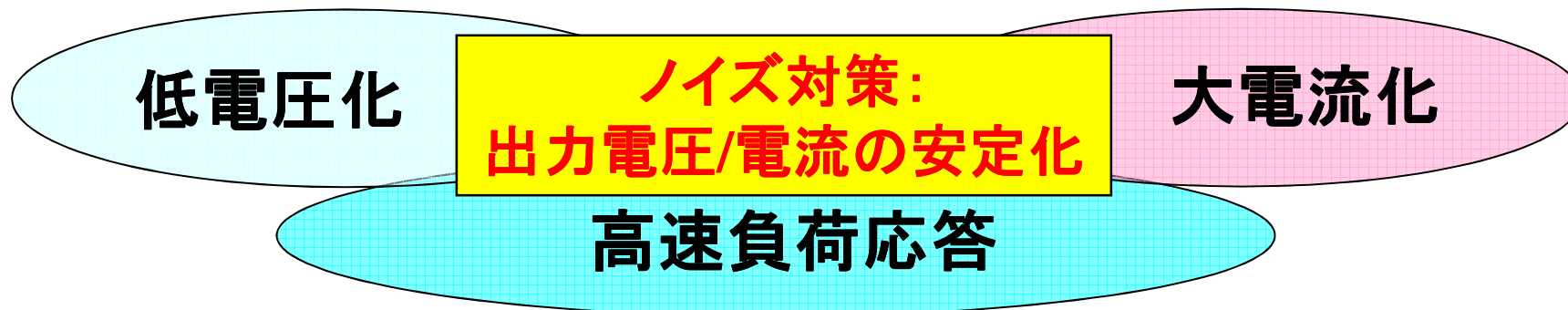
DDR・高速シリアルI/Fを安定動作させるためには

- ・SI/PI/EMCの相互結合を考慮したシステムの電気特性の最適化
- ・開発初期段階からのチップ/パッケージ/基板の協調設計体制
- ・電気特性と基板や製品全体の諸要因(コスト)とのトレードオフの判断
- ・トレードオフ判断のための設計・シミュレーション技術

といった製品の全体最適化・協力体制が必要となります。

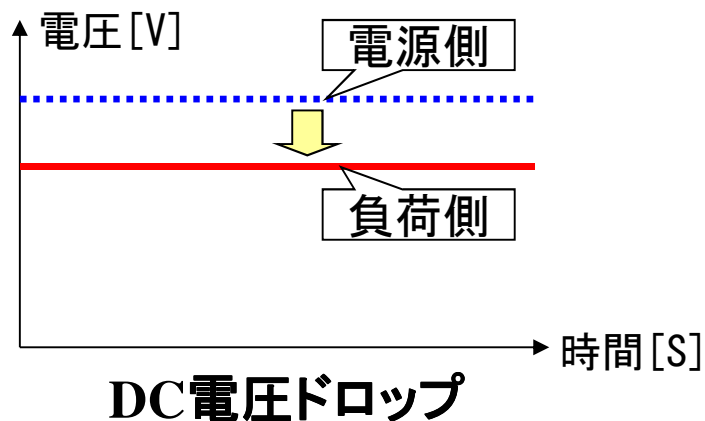
トッパンNECサーキットソリューションズでは日々、様々な基板に関する問題に取り組み、お客様のお困りごとを解決するソリューションをご提供しています。

✦ 電源への要求

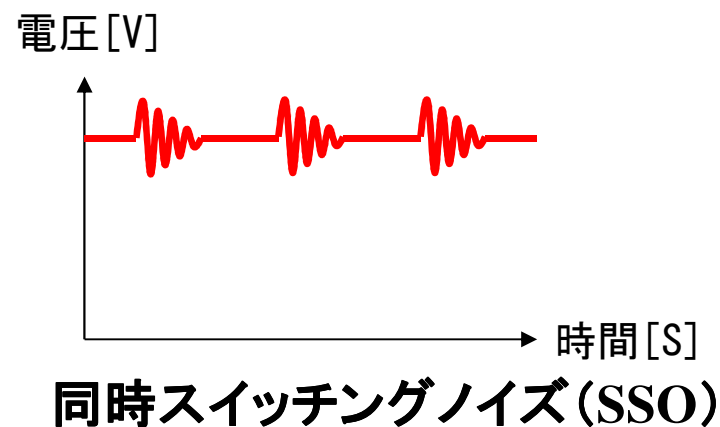


✦ 電源で問題となるノイズ現象

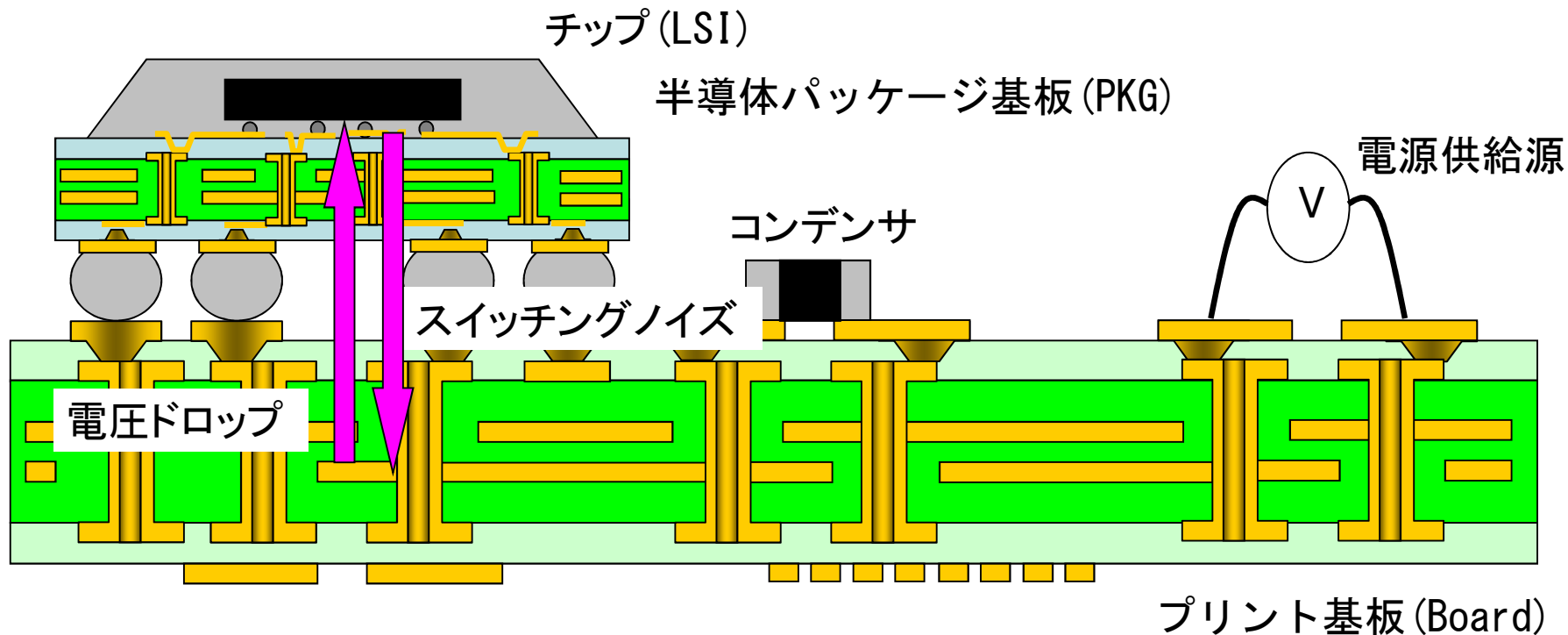
負荷側で電圧が低下してしまう



電圧が安定しない



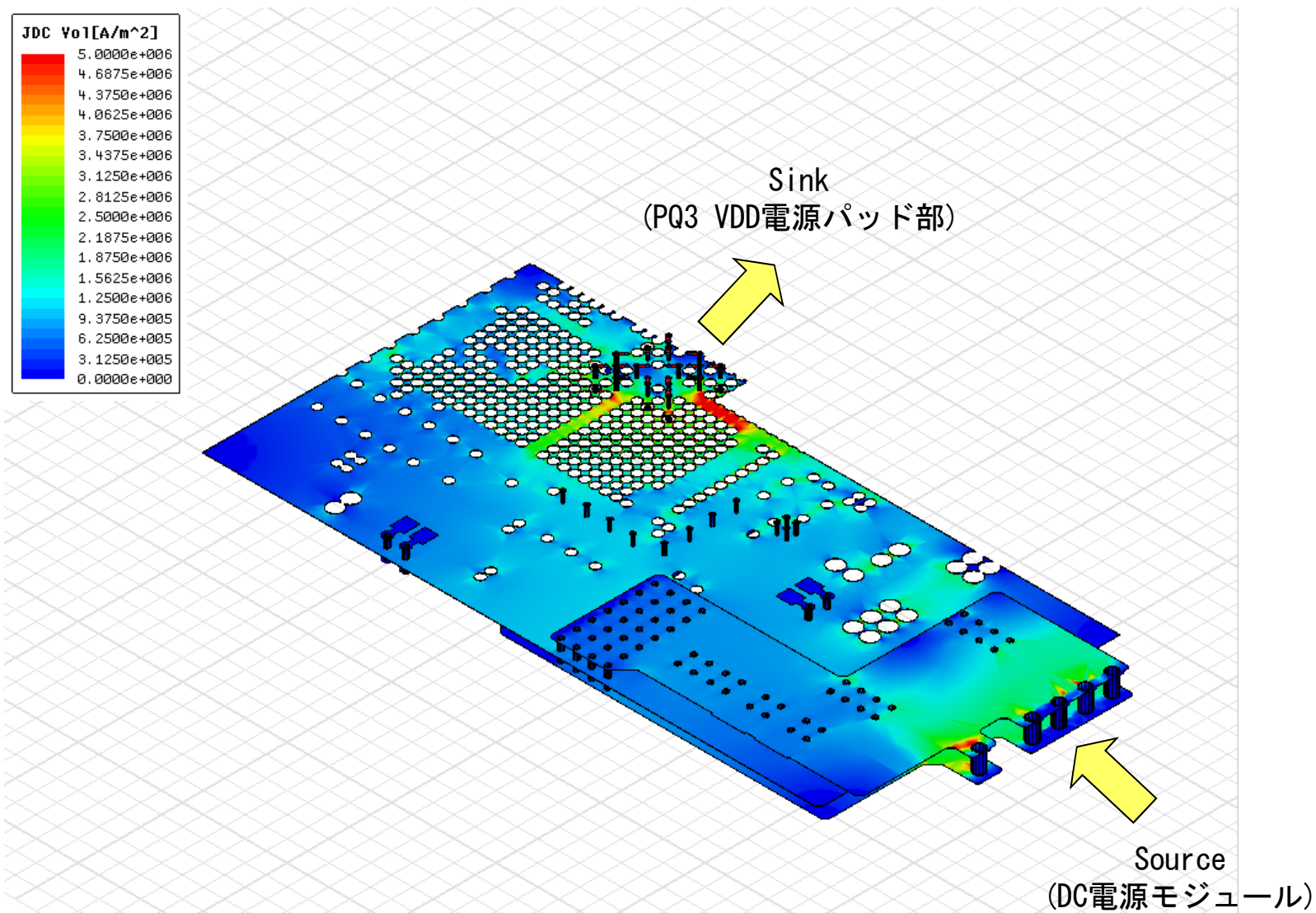
電源ノイズについて



電源ノイズ	ノイズ現象	協調設計による対策
DC電圧ドロップ	チップ端子で電圧が降下	電源経路の最適化 (DC的に低インピーダンスにする)
スイッチングノイズ	チップの動作にあわせて電圧変動が発生	キャパシタンスの最適化による電圧変動の低減 (電源インピーダンスの低減と安定化)

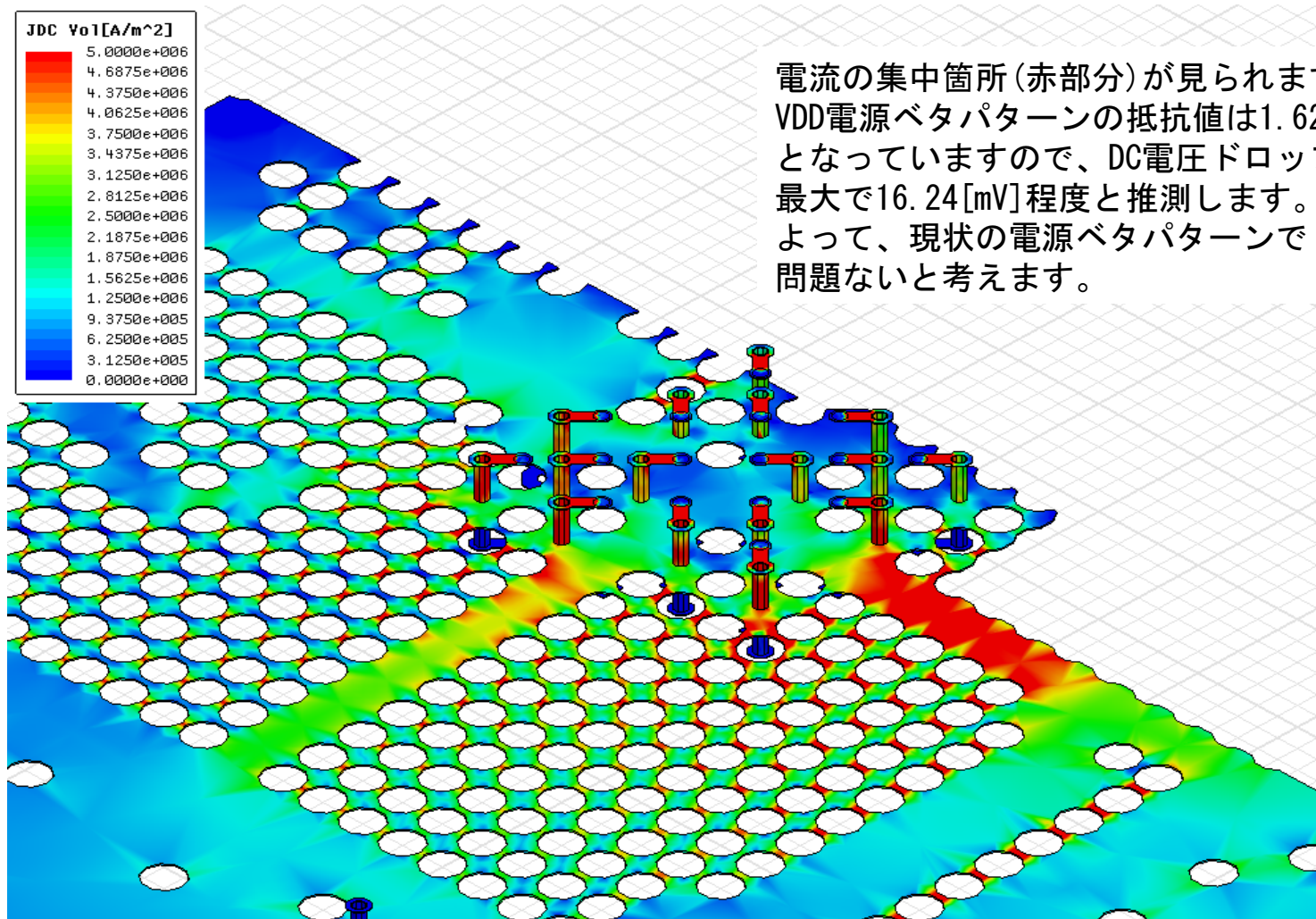


フルグリッドBGAのDC電圧ドロップ解析事例





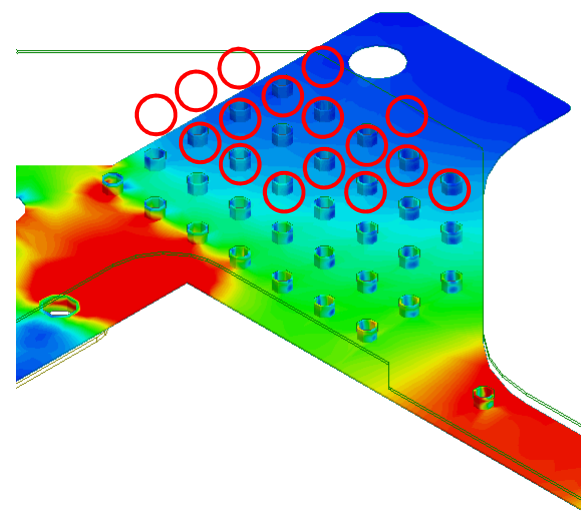
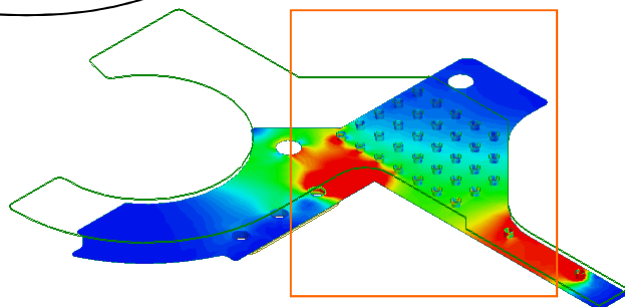
✦ フルグリッドBGAのDC電圧ドロップ解析事例



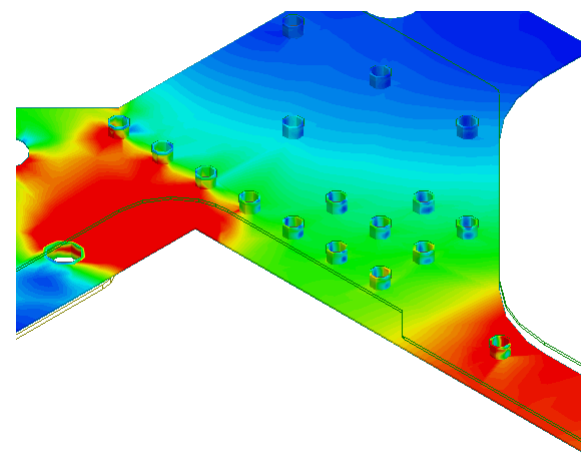
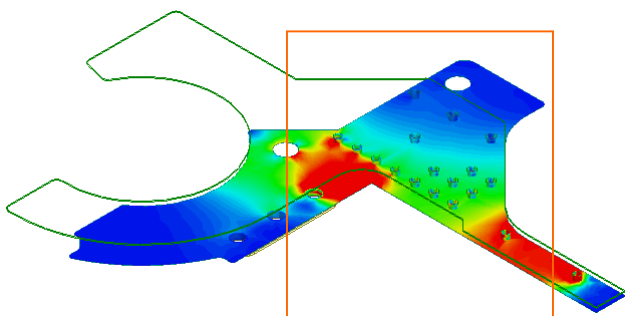


✦ DC電流分布を考慮したGNDビアの最適化事例

GNDビア削減前

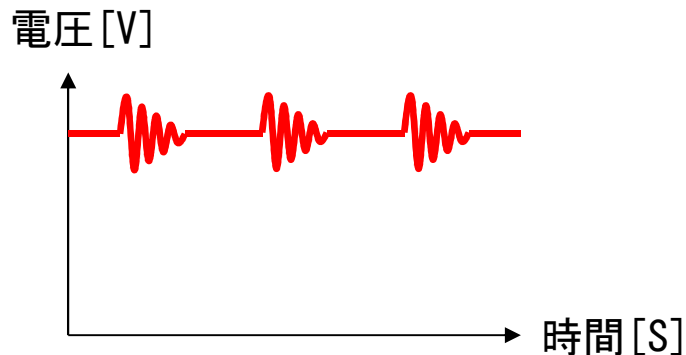


GNDビア削減後

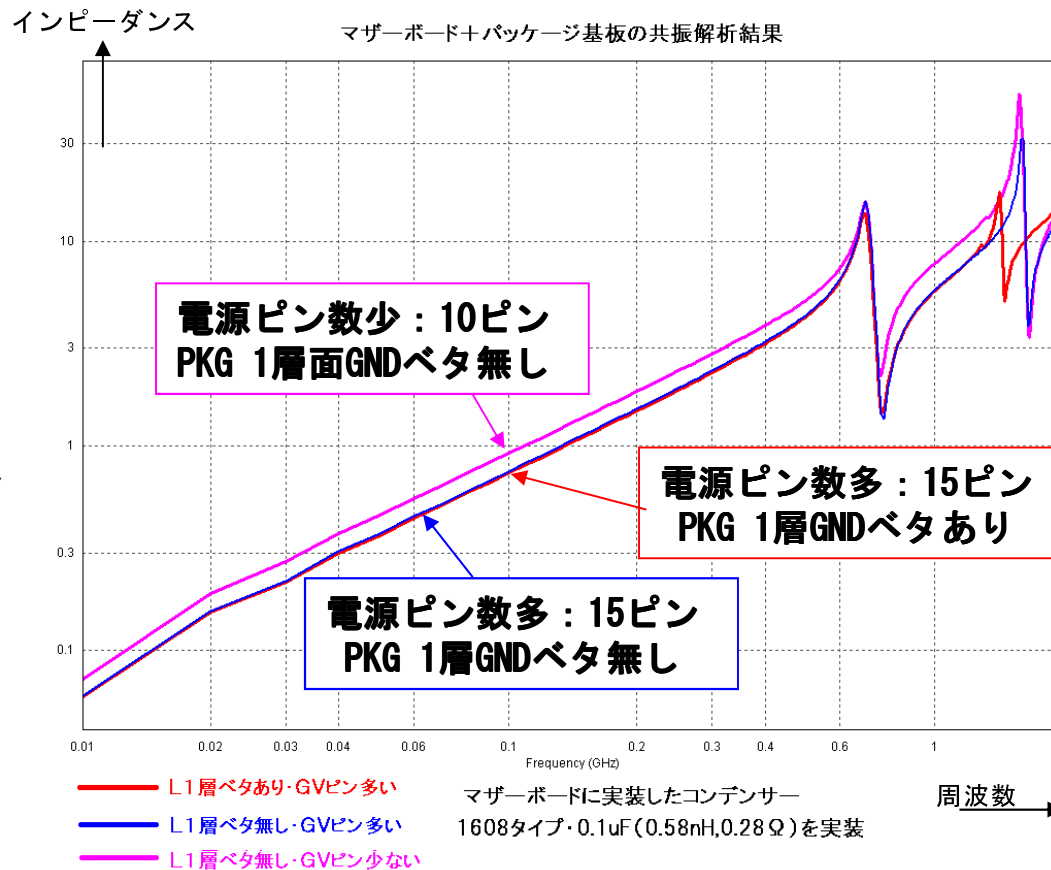
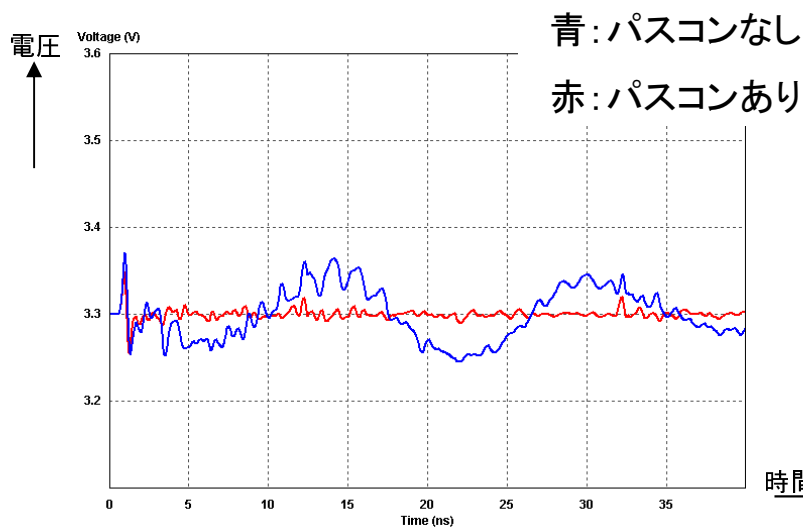


GNDビア数を削減し、基板製造工数／基板コストダウン提案

スイッチングノイズの解析



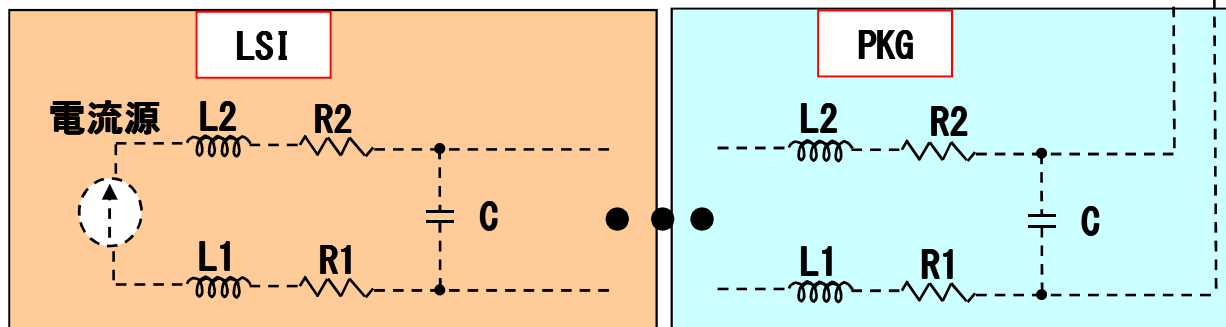
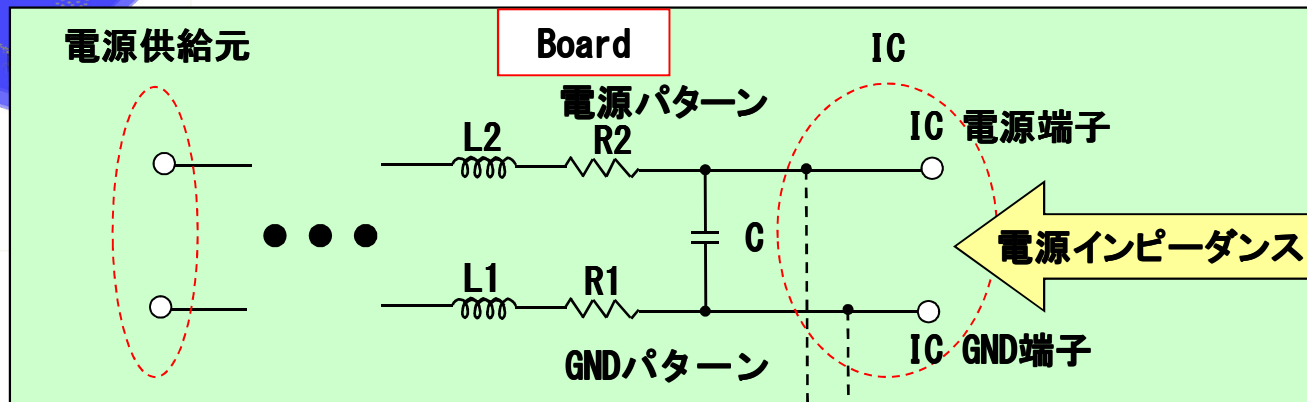
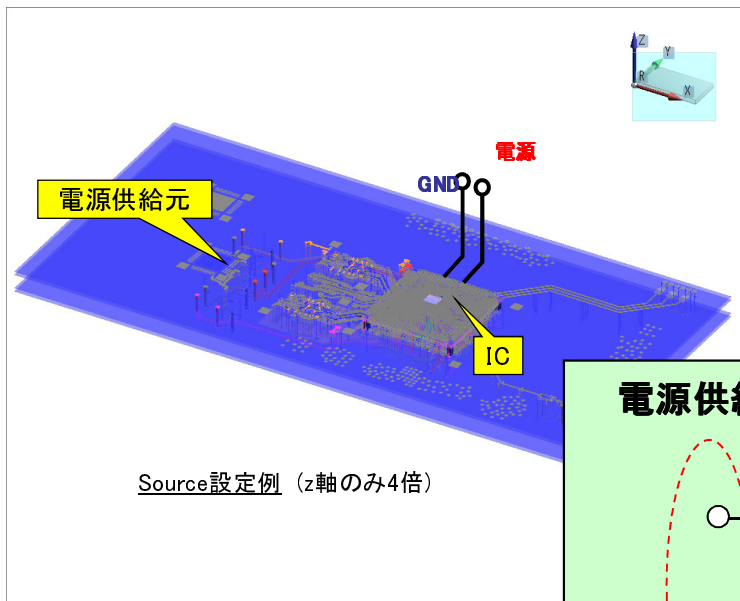
同時スイッチングノイズ (SSO)



周波数軸でPKG、PWBの特性把握

時間軸で電源ノイズの絶対量として解析

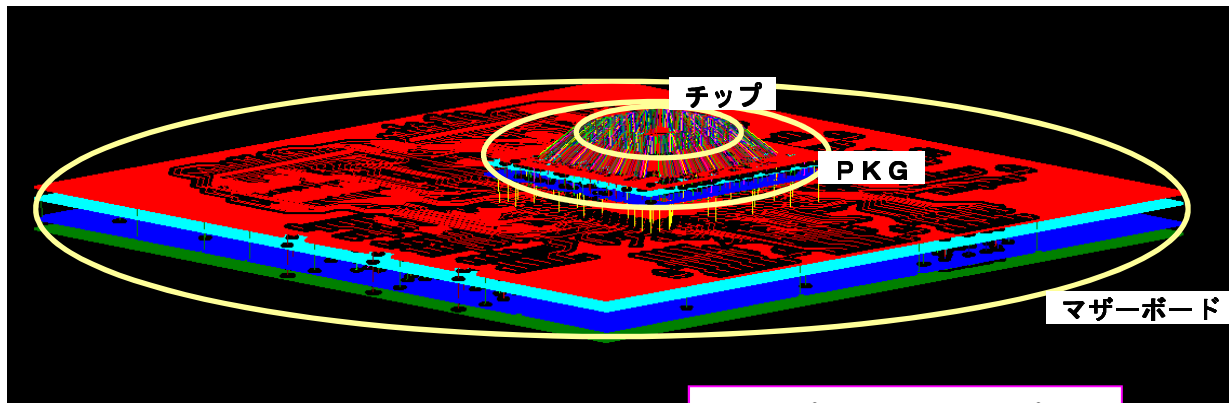
電源インピーダンスの考え方



5-2. AC電源ノイズの解析

電源インピーダンス解析事例(チップ+PKG+ボードの共振)

マザーボード+パッケージ基板の共振解析結果

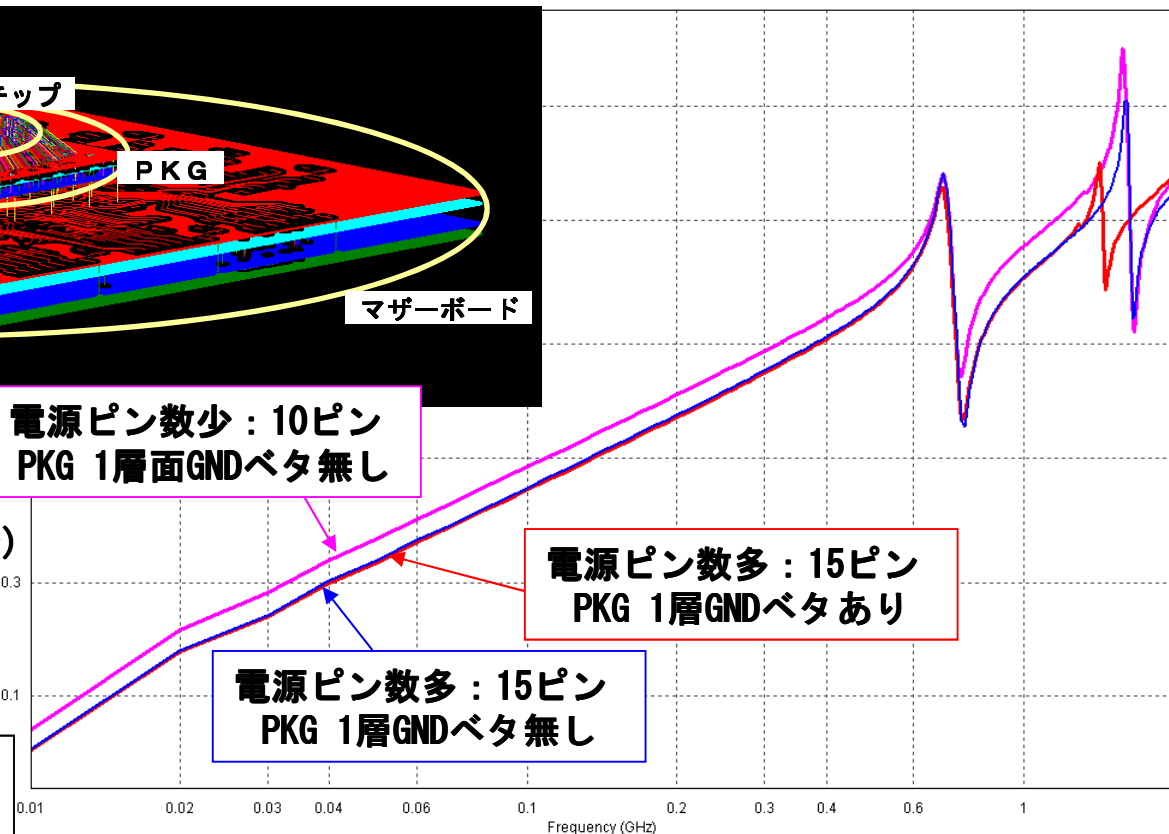


マザーボード：共振対策前
 PKG：1層面のGNDベタ有・無
 電源ピン数少(10ピン)・多(15ピン)

電源ピン数少：10ピン
 PKG 1層面GNDベタ無し

電源ピン数多：15ピン
 PKG 1層GNDベタあり

電源ピン数多：15ピン
 PKG 1層GNDベタ無し



— L1層ベタあり・GVピン多い
 — L1層ベタ無し・GVピン多い
 — L1層ベタ無し・GVピン少ない

マザーボードに実装したコンデンサー
 1608タイプ・0.1uF (0.58nH, 0.28Ω) を実装

- ・ PKGとマザーボードの接続ピン数は多い方が電源インピーダンス小さい
- ・ PKGの信号層(1層面)にGNDベタを追加してもチップ+PKG+マザーボードの電源インピーダンスに対しての影響は小さい



✦ まとめ

1. DC電圧ドロップ対策
 - ・導体幅、導体厚、ビア数、ビア形状、ビア位置の最適化を実施する。
 - ・ビアによるクリアランスの発生に注意する。
 - ・ビア数が多くなりすぎると、基板製造の工数、コストUP要因になる。
2. 同時スイッチングノイズ対策
 - ・電源の電圧変動を小さくすることで信号波形の改善が期待できる。
 - ・スイッチングノイズは、LSIがノイズ源となって、基板上を伝播し、特に、基板上の電源インピーダンスに共振、反共振点があると変動が大きくなる。
 - ・LSIのノイズ源は、動作周波数が速くなり、立ち上がり時間が早くなると電流値が大きくなる。また、同時動作するビット数が多くなると電流値が大きくなる。
3. 電源インピーダンスの最適化
 - ・電源インピーダンスを検討する場合には、チップ、PKGの等価回路も検討する。
 - ・容量の異なるコンデンサによる反共振、プレーン固有の共振に注意する。
 - ・できるだけインダクタンスを小さくするように、LSIの電源端子そばにコンデンサを配置する。



今後とも
トッパンNECサーキットソリューションズを
お引き立て頂けます様
よろしくお願い申し上げます。