

H-4

複雑なメモリ測定を簡単に！ 最新DDRメモリのコンプライアンス試験



高橋 誠

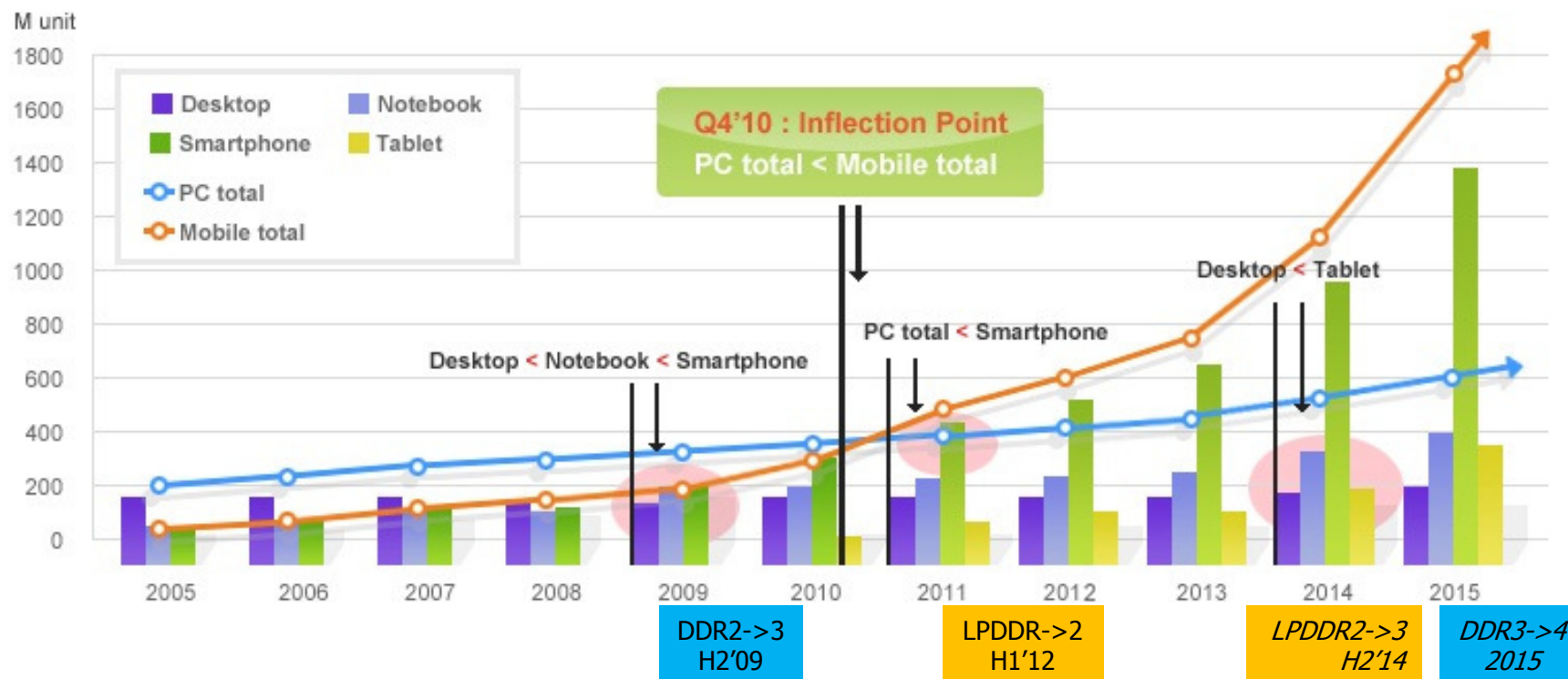
Tektronix®

KEITHLEY
A Tektronix Company

はじめに DDRメモリの動向



- コンピューティング・デバイスの主役がPCからスマートフォンとタブレットに交代
 - DDR4・・・Server
 - DDR3/DDR3L・・・Disktop/Notebook
 - LPDDR3・・・高級機能のSmartphone/Tablet/Ultrabook
 - LPDDR2・・・低価格のSmartphone/Tablet/Ultrabook



はじめに 測定の本質

■ 測定とは

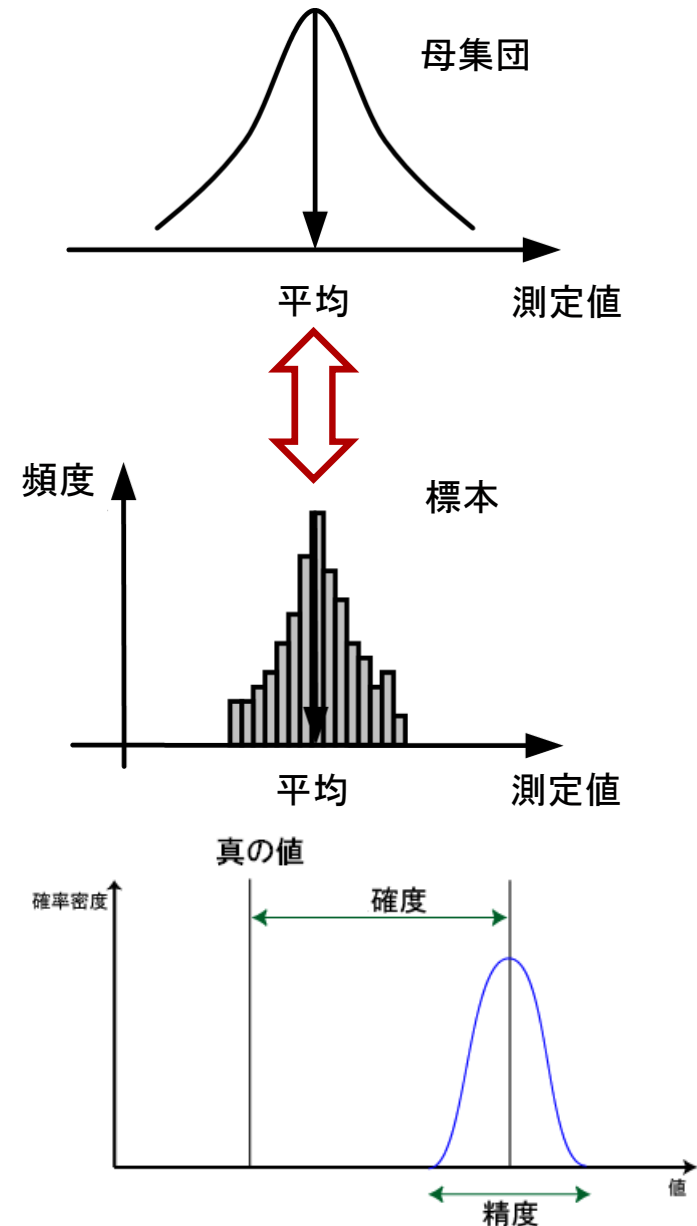
- 母集団からのサンプリング
 - 母集団: 無限回の測定
 - サンプリング: 有限の測定
 - サンプリングで母集団の特性を知る

■ 統計とは

- サンプリングから母集団を推定
 - サンプル数が多いほど良質の推定
 - 平均、最大値、最小値、標準偏差...

■ 精度、確度、不確かさ

- 精度
 - いつ測っても近い数値がとれる
 - 再現性がよい
- 確度
 - 真の値に近い
- 不確かさ
 - 数値としてとらえられない未知の誤差



はじめに テクトロニクスDDRメモリ検証ソリューション





内容

第1章 物理層の測定ソリューション

- 1.1 プロービング
- 1.2 マニュアル測定
- 1.3 物理層のコンプライアンス試験
- 1.4 ロジック機能によるプロトコル解析
- 1.5 SDLA Visualizerによる波形補正
- 1.6 補足

第2章 プロトコル層の測定ソリューション

- 2.1 プロトコル検証
- 2.2 ロジック・アナライザとプロトコル・アナライザ
- 2.3 インタポーザ
- 2.4 プロトコル層のコンプライアンス試験
- 2.5 補足

1.1 プロービング プロービング・ポイント

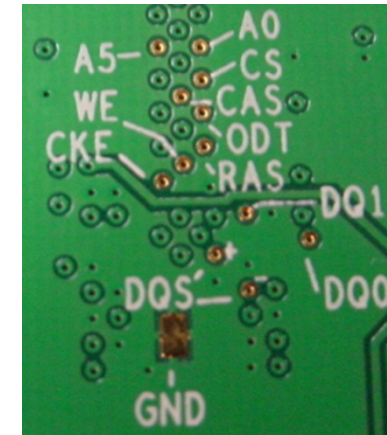
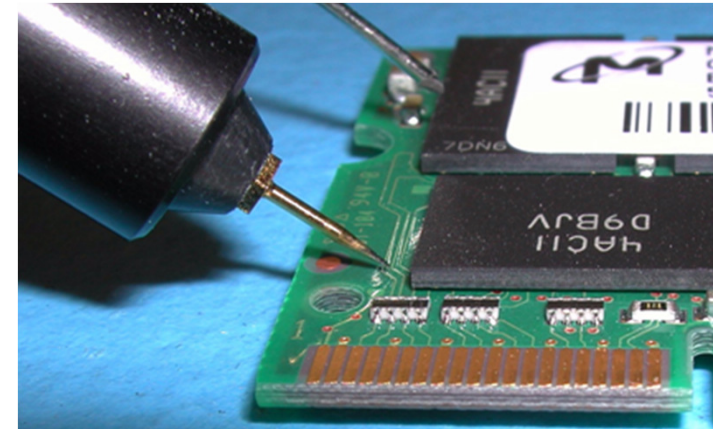
■ FBGA (Fine Ball Grid Array)

－ 問題点

- 直接、端子に当たれない
- 信号は高速化、低電圧化
- パターンの途中にプローブすると、反射による段差が発生

－ 解決方法

- 端子直下にビアが可能な場合
 - ソルダーイン・アクセサリで安定したプロービング
 - ビアのレジストは抜いておく
 - スタブ(分岐配線)を最小に
 - 全てを設けることが困難なので、代表を見積もる・・・ギャップが厳しく、影響を受けやすい等
- 端子直下にビアが可能な場合
 - インタポーザの活用



1.1 プロービング プローブのソルダーイン・アクセサリ

020-2954-00 ソケットケーブル (10.4cm)

020-2958-00 TriMode耐温度チップ (175Ω 10個入)

020-2955-00 TriModeマイクロ同軸チップ (175Ω 10個入)

020-2960-00 ソケットケーブルXL (1.5m)

020-2959-00 ダンピング・ワイヤ・チップ (175Ω 25本入)

020-2936-00 TriMode抵抗ソルダ・チップ (175Ω)

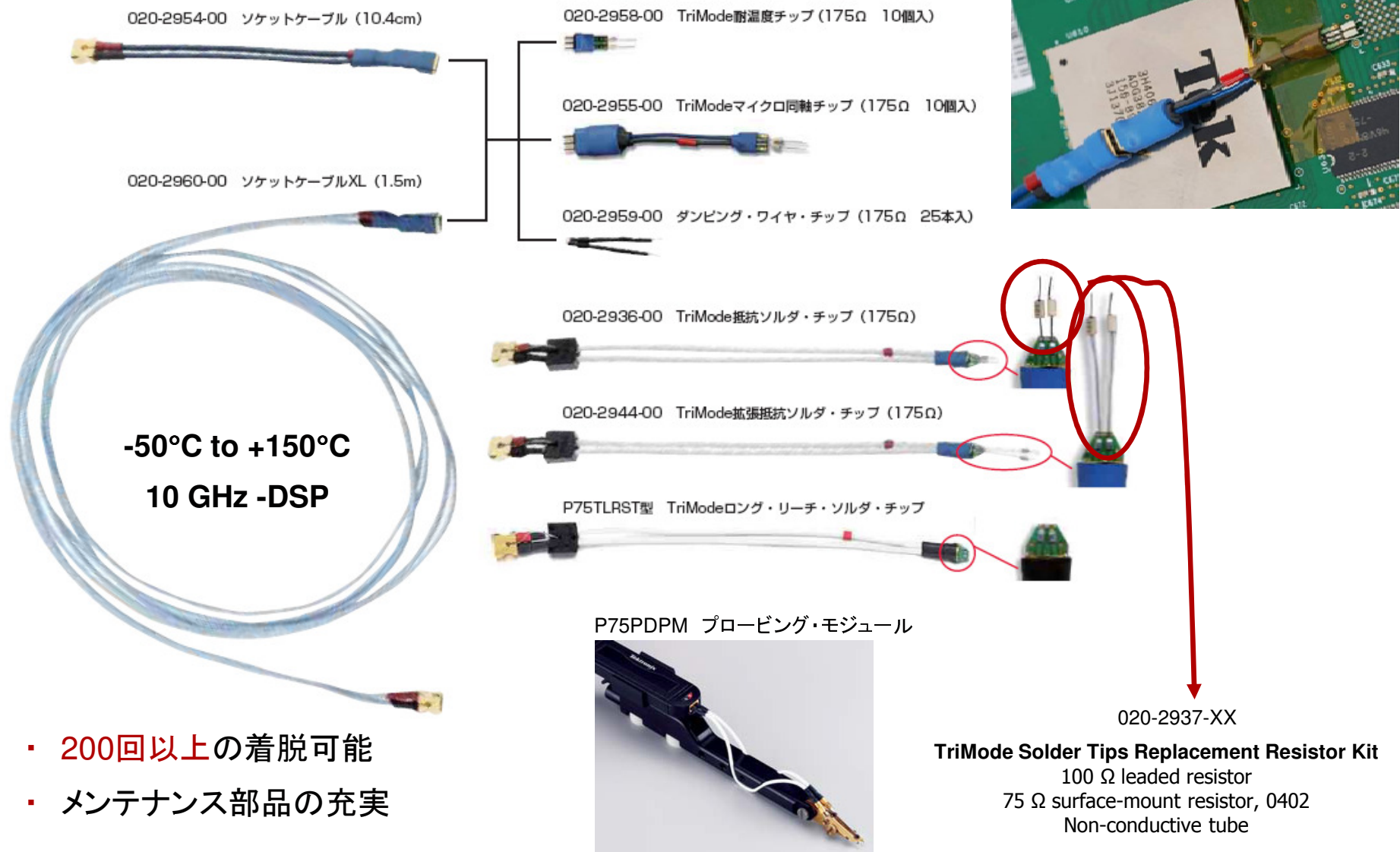
020-2944-00 TriMode拡張抵抗ソルダ・チップ (175Ω)

P75TLRST型 TriModeロング・リーチ・ソルダ・チップ

P75PDPM プロービング・モジュール

-50°C to +150°C
10 GHz -DSP

020-2937-XX
TriMode Solder Tips Replacement Resistor Kit
100 Ω leaded resistor
75 Ω surface-mount resistor, 0402
Non-conductive tube



- 200回以上の着脱可能
- メンテナンス部品の充実

1.1 プロービング

ATEサービス株式会社様のご紹介とインタポーザ

ATEサービス株式会社

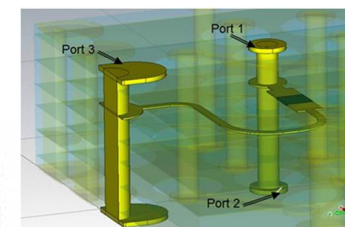
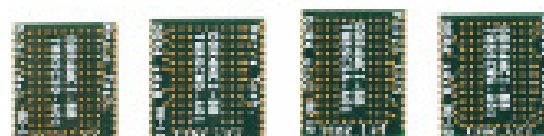
<http://www.ate.co.jp/fmhpx/index.php>



- 半導体の試験・検査に強みで、最適な機器とソフトウェアとユニークなサポートを提供
- 取扱い製品に、NEXUS Technology社のインタポーザ

■ ダイレクト・アーキテクチャ

- DDR4(NEX-DDR4MCIシリーズ)
- DDR3(NEX-DDR4MCIシリーズ)
- DDR2(NEX-DDR2MCIシリーズ)
- GDDR5(NEX-GDDR5MCIシリーズ)



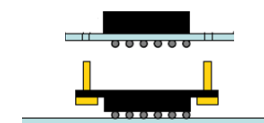
ダイレクト・タイプの
DDR3/4インタポーザ

■ ソケット・アーキテクチャ

- DDR4(NEX-DDR4MPシリーズ)
- DDR3(NEX-DDR3MPシリーズ)
- DDR2(NEX-DDR2MPシリーズ)
- LPDDR3(NEX-LPDDR3PoPシリーズ)
- LPDDR2(NEX-LPDDR2PoPシリーズ)
- LPDDR(NEX-LPDDR1MPシリーズ)
- GDDR5(NEX-GDDR5MPシリーズ)



ソケット・タイプの
DDR4インタポーザ



■ MSO用DIMMアーキテクチャ

- DDR4(NEX-DDR4INTR-MSO)
- DDR3(NEX-DDR3INTR-MSO/NEX-SODDDR3INTR-MSO)



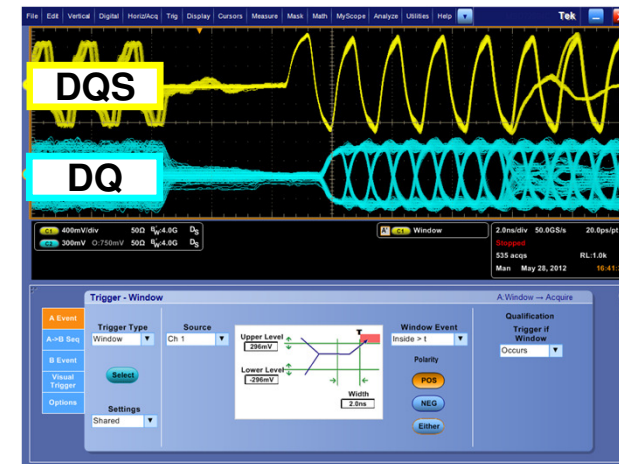
ソケット・タイプの
LPDDR3インタポーザ

NEXUS
TECHNOLOGY

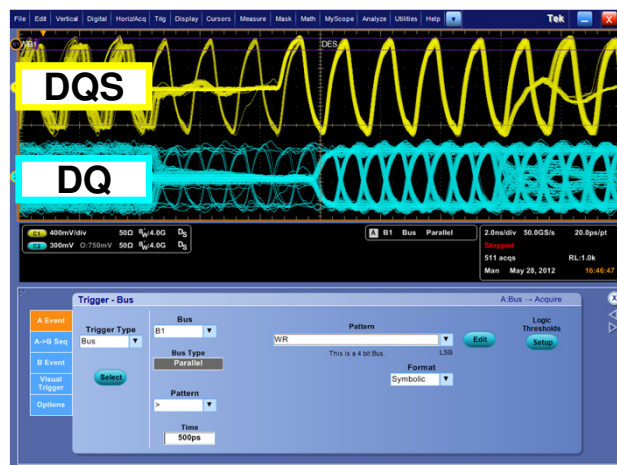
1.2 マニュアル測定 トリガーによるメモリ・サイクルの切り分け

- Pinpointトリガー
 - 強力で多彩なハード・トリガー
 - 高速取込みのDPX可能
- コマンド・トリガー
 - MSO70000C / MSO5000シリーズ
 - CS/RAS/CAS/WEのパターンをコマンドで設定
 - 高速取込みのDPX可能
- Visualトリガー
 - 管面に直感操作のソフト・トリガー

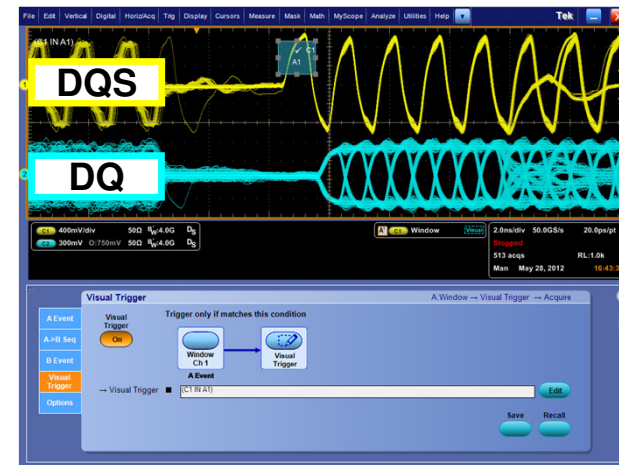
Pinpointトリガーによるライトの切り分け



ライト・コマンドによるライトの切り分け

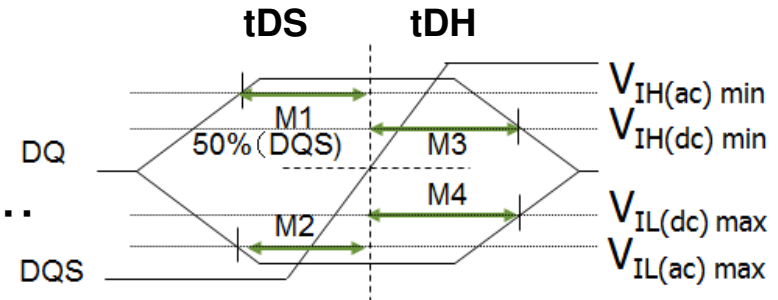


Visualトリガーによるライトの切り分け

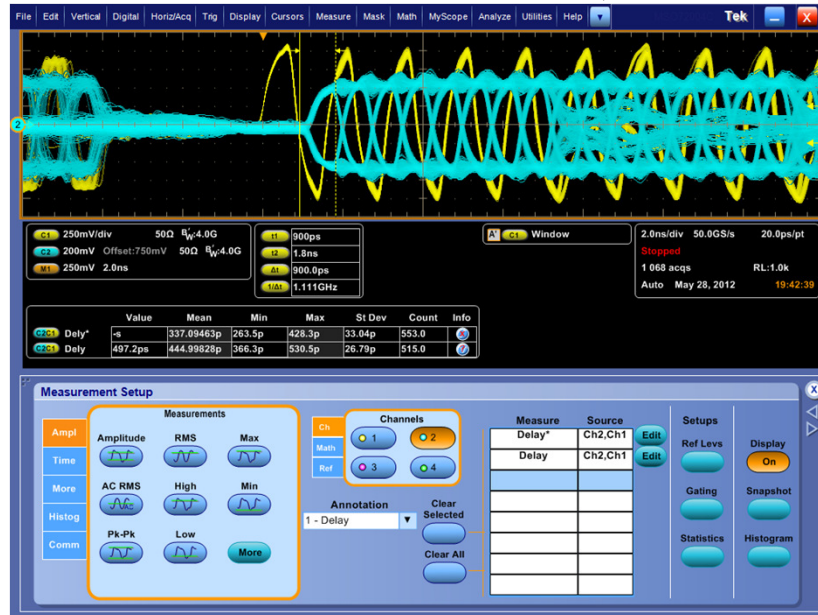


1.2 マニュアル測定 マニュアル測定の限界

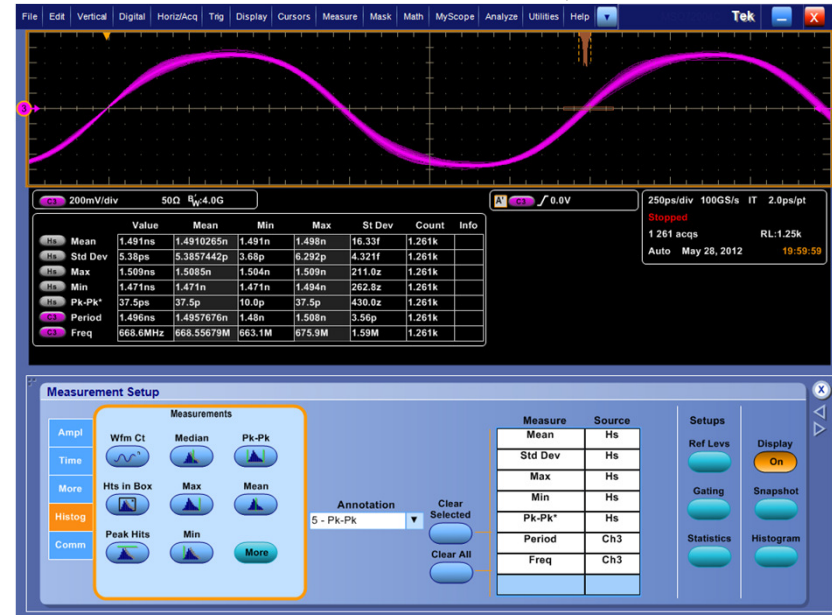
- メリット
 - 見た目に判りやすい
- デメリット
 - 多大な工数
 - トリガー設定、測定ポイント設定、データ整理...
 - 連続するデータを同時に測定できない
 - サイクル間の依存状況が不明
 - トリガ間のデッドタイム



ライトのセットアップ測定例



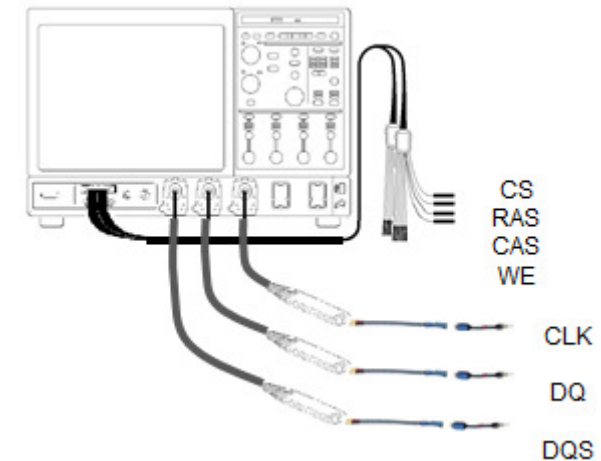
クロックのジッタ測定例



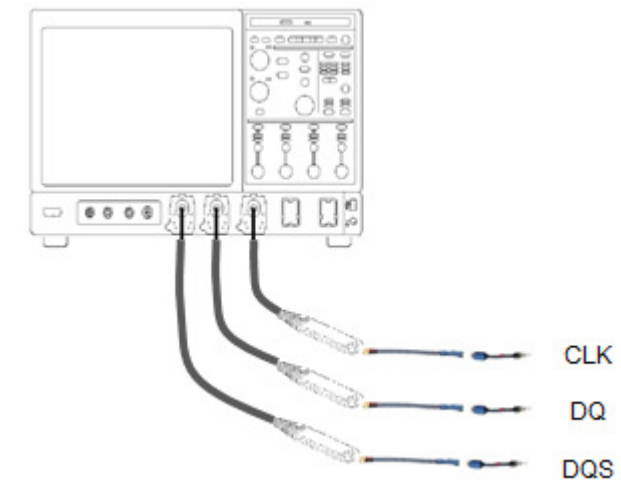
1.3 物理層のコンプライアンス試験 DDRAの特長

- 簡単な接続
- 簡単操作のコンフィグレーション・ウィザード
- DDR4、LPDDR3サポート(さまざまなDDRに対応)
 - DDR/2/3/4、DDR3L、LPDDR/2/3、GDDR3/5
- 取り込んだすべてのリード／ライト・バーストを解析
- アイ・ダイアグラム表示
 - リード／ライトのDQSおよびDQ
 - マスク・テスト可能
- JEDECに準拠したパス／フェイル・テスト
 - カスタマイズ要求も柔軟に対応
- 簡単にデバッグ・ツール(DPOJET)に切り替え可能
- パス／フェイル結果、統計測定値、テスト・セットアップ情報などのレポートを自動生成
- ロング・メモリに最適で効果的な測定を実現

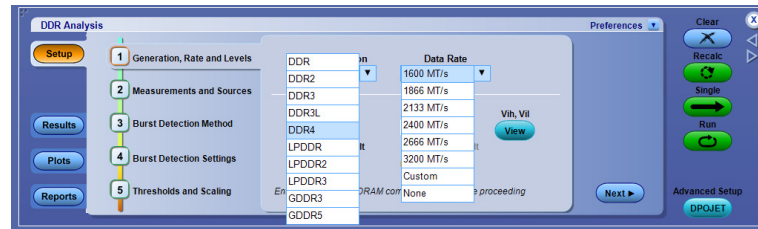
アナログとロジック接続の場合



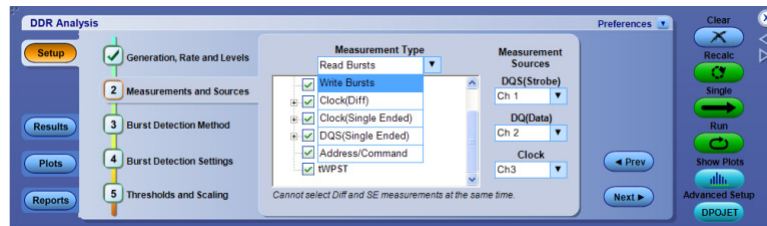
アナログのみの場合



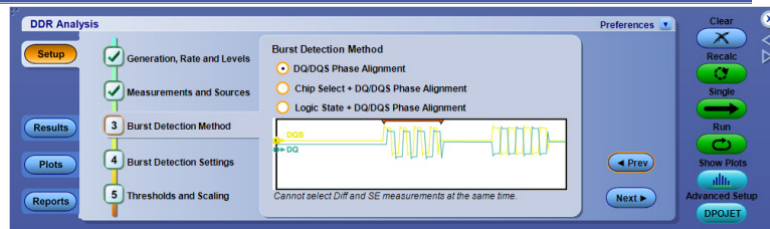
1.3 物理層のコンプライアンス試験 簡単操作のコンフィグレーション・ウィンドウ



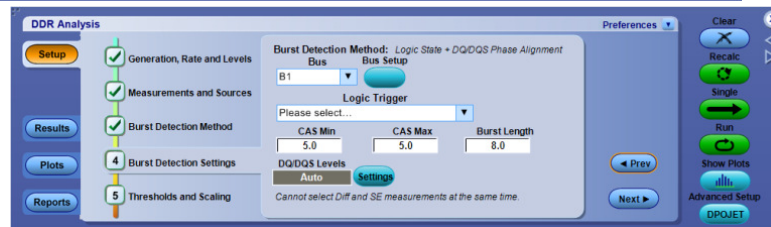
メモリとデータ・レートの設定
DDR/2/3/4
DDR3L
LPDDR/2/3
GDDR3/5



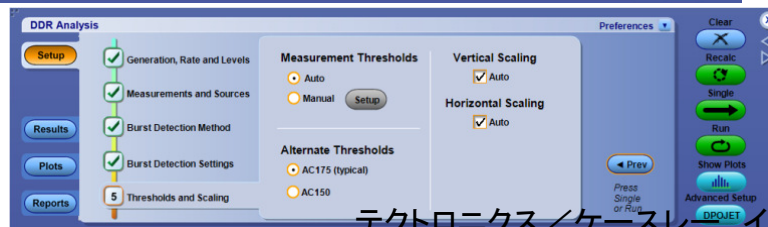
測定項目の設定
ソースの設定
CH1/2/3/4
Ref1/2/3/4
Math1/2/3/4



バースト識別設定
DQSとDQの位相差
CSを利用し、マルチランク対応
コマンド対応



コマンドによるバースト設定例
Busとコマンド指定
レイテンシー指定
バースト長を指定



自動スケーリングなどの設定

1.3 物理層のコンプライアンス試験 高速で高品質

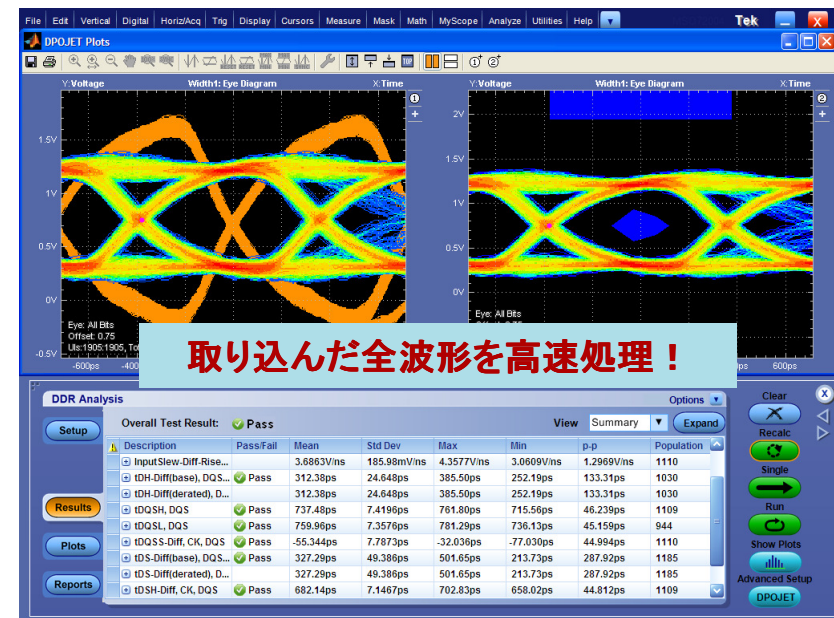
メモリ・サイクル切り分け

- ポスト・プロセッシング
 - トリガ設定不要
 - 自動スケールリング対応
- 接続するだけ
 - リードとライトの自動分離
 - DQSとDQの位相差
 - CSを利用し、マルチランク対応
 - コマンド対応



高速・高品質の測定

- アイ・ダイアグラム
 - DQとDQSの表示、MASKテスト可能
- JEDEC規格のPass/Fail判定
- 統計処理
 - 平均、Min、Max
 - 十数秒で計測
 - 最悪値やFailの拡大表示
 - 連続する全てのデータを測定



1.3 物理層のコンプライアンス試験 レポート機能

測定結果をMHTMLでレポートを自動生成

Measurement Results

Description	Mean	Std Dev	Max	Min	p-p	Population	Max-cc	Min-cc
Data Eye Height, DQ, DQS	784.55mV	0.0000V	784.55mV	784.55mV	0.0000V	1	0.0000V	0.0000V
Current Acquisition	784.55mV	0.0000V	784.55mV	784.55mV	0.0000V	1	0.0000V	0.0000V
Data Eye Width, DQ, DQS	830.20ps	0.0000s	830.20ps	830.20ps	0.0000s	1	0.0000s	0.0000s
Current Acquisition	830.20ps	0.0000s	830.20ps	830.20ps	0.0000s	1	0.0000s	0.0000s
tDH-Diff(base), DQS, DQ	317.52ps	23.758ps	378.89ps	288.84ps	110.05ps	150	81.318ps	-89.498ps
Current Acquisition	317.52ps	23.758ps	378.89ps	288.84ps	110.05ps	150	81.318ps	-89.498ps
tDS-Diff(base), DQS, DQ	328.21ps	38.888ps	441.93ps	258.81ps	185.12ps	171	104.08ps	-100.28ps
Current Acquisition	328.21ps	38.888ps	441.93ps	258.81ps	185.12ps	171	104.08ps	-100.28ps

Pass/Fail Summary

Limits Information

Location C:\TekApplications\DDR3\Limits
File Name DDR3_1333MHz_Limits.xml
Description

Pass/Fail Information

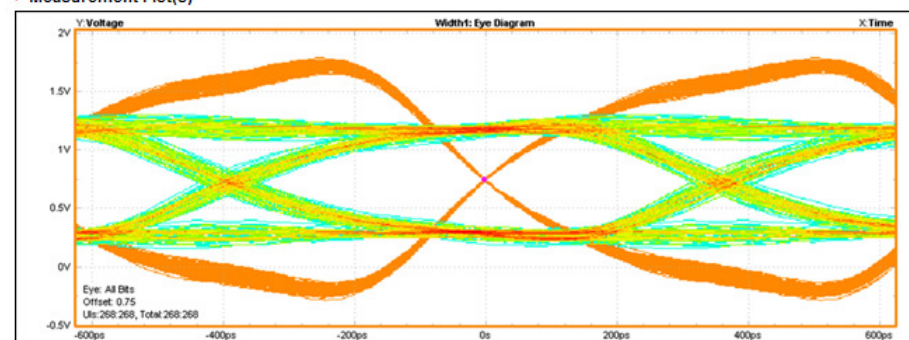
Measurement	tDH-Diff(base)			
Source1	DQS(Ch1)			
Source2	DQ(Ch2)			
	Value	High Limit	Low Limit	Pass Fail
Min	288.64ps		85.000ps	Pass

Pass/Fail Information

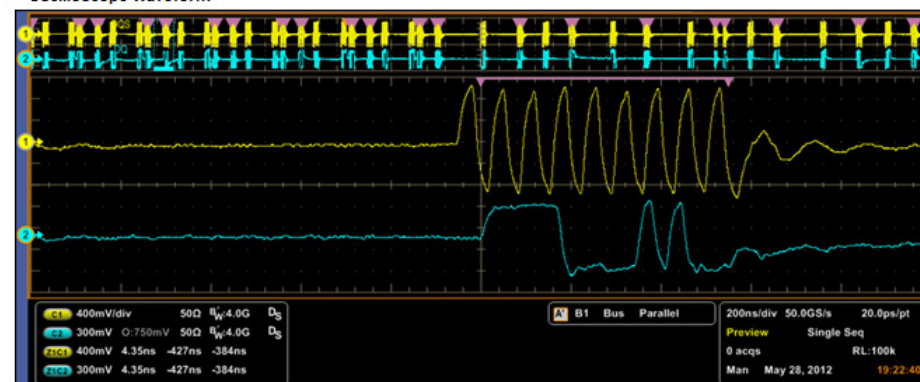
Measurement	tDS-Diff(base)			
Source1	DQS(Ch1)			
Source2	DQ(Ch2)			
	Value	High Limit	Low Limit	Pass Fail
Min	258.81ps		30.000ps	Pass

Plot Images

Measurement Plot(s)



Oscilloscope Waveform



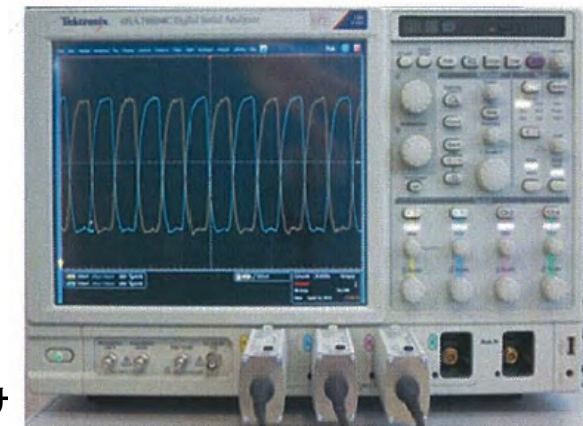
1.3 物理層のコンプライアンス試験 アイチップス・テクノロジー株式会社様のご紹介

アイチップス・テクノロジー株式会社

<http://www.i-chips.co.jp/>

- 映像・画像分野向けLSIを中心にLSIの開発・製造・販売
- DDR SDRAM JEDEC規格コンプライアンスの測定受託
- 受託測定範囲
 - DDR/DDR2/DDR3メモリについて、JEDECに定められた規格の測定
 - アイチップス・テクノロジーが関わるASIC搭載基板で多くの実績
- 受託優位性
 - DDRのJEDEC規格の測定は、高額なオシロスコープが必要です。本サービスは、オシロスコープのレンタルや測定の準備／実施を総合的に考慮して、コストパフォーマンスの高いサービスです。
- 使用機材
 - オシロスコープ DSA70804C
 - プローブ P7360A
- その他
 - 電源、温度、測定時のデータ状況、測定ポイント数等の各種測定条件は、別途打ち合わせにて協議し、合意の上で決定致します。

i-Chips

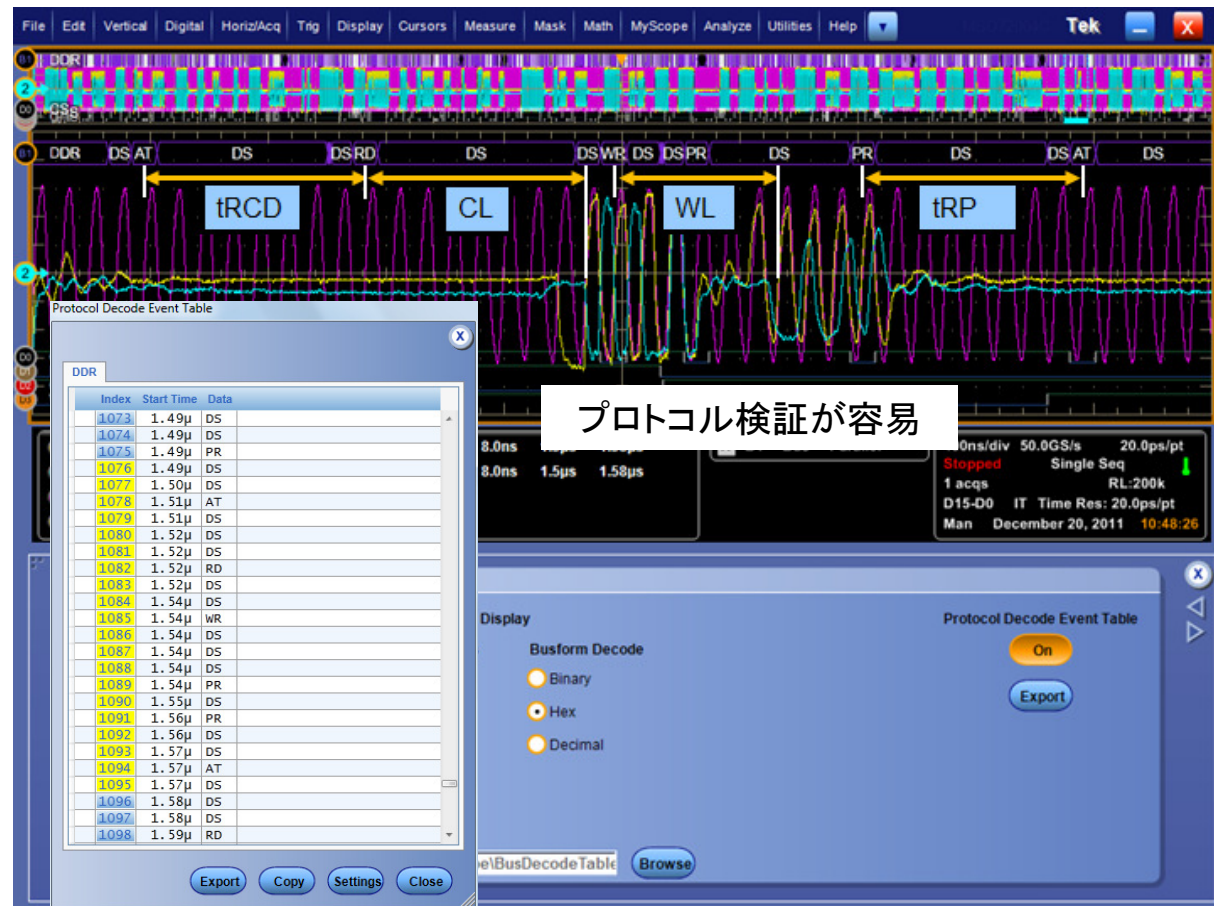


1.4 ロジック機能によるプロトコル解析 コマンド・プロトコルの検証

- MSO70000Cシリーズ
 - 自在にシンボル定義可能
 - 信号パタンのシンボル及びリスト表示
 - クロック同期のステート表示も可能

シンボル定義

#Command	CS	RAS	CAS	WE
#Symbol Name	Pattern			
PATTERN	BIN			
MD	0000			
RF	0001			
PR	0010			
AT	0011			
WR	0100			
RD	0101			
NP	0111			
DS	1XXX			



1.4 ロジック機能によるプロトコル解析 コマンド・プロトコルの自動測定 -1

- リフレッシュ・サイクル
 - tREFI : リフレッシュ・コマンドの平均周期

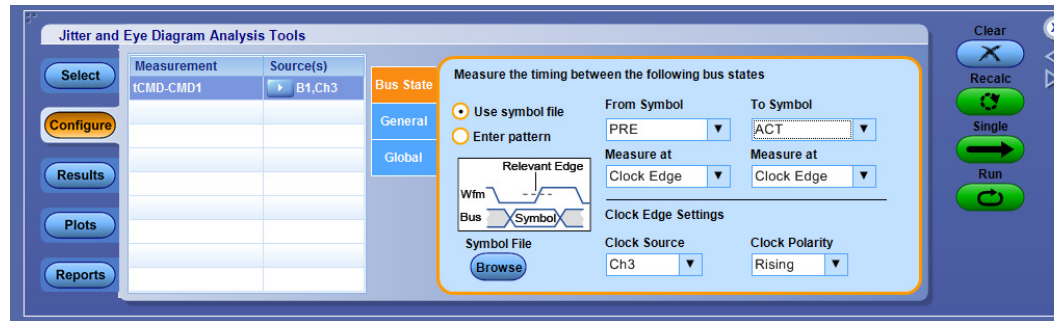
Parameter	Symbol	2Gb	4Gb	8Gb	16Gb	Units
Average periodic refresh interval	0°C ≤ TCASE ≤ 85°C	7.8	7.8	7.8	TBD	μs
	85°C < TCASE ≤ 95°C	3.9	3.9	3.9	TBD	μs

- コマンドとコマンドのタイミングを選択

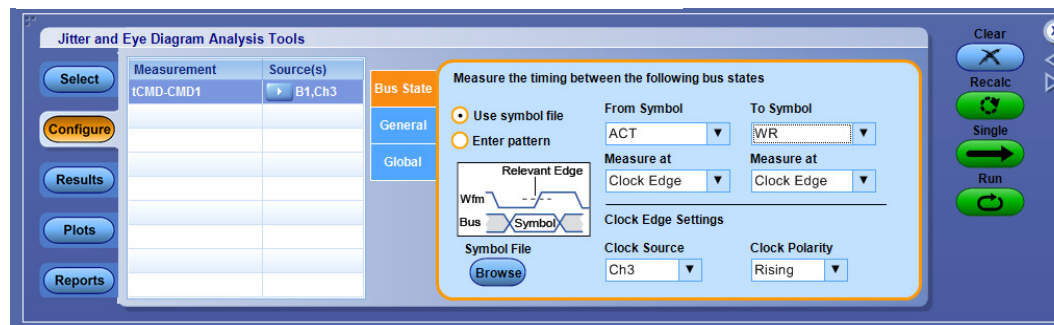


1.4 ロジック機能によるプロトコル解析 コマンド・プロトコルの自動測定 -2

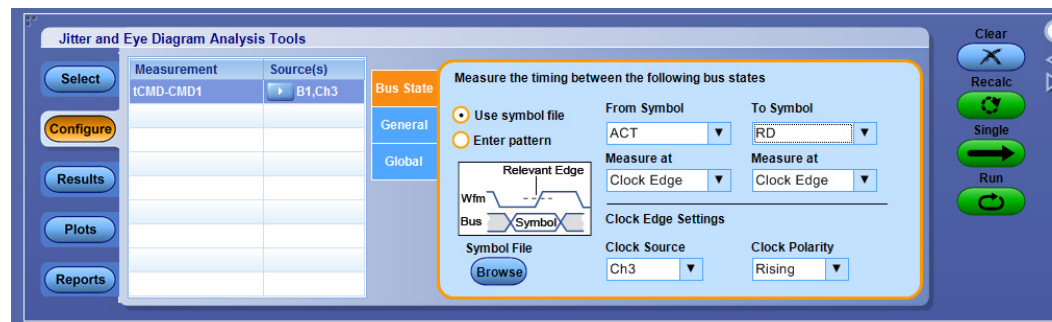
■ プリチャージ時間の設定



■ ActiveからWrite時間の設定

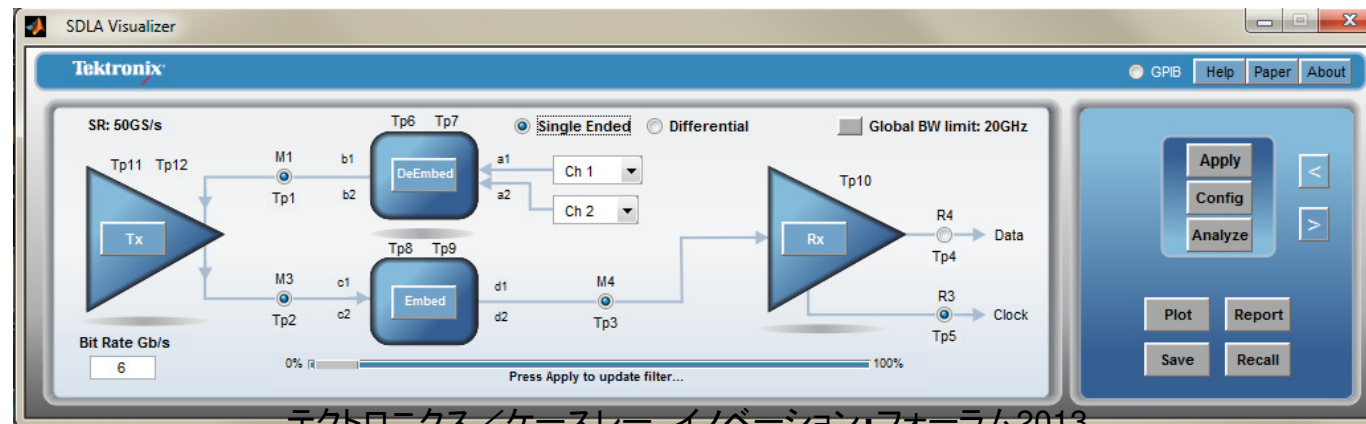


■ ActiveからRead時間の設定



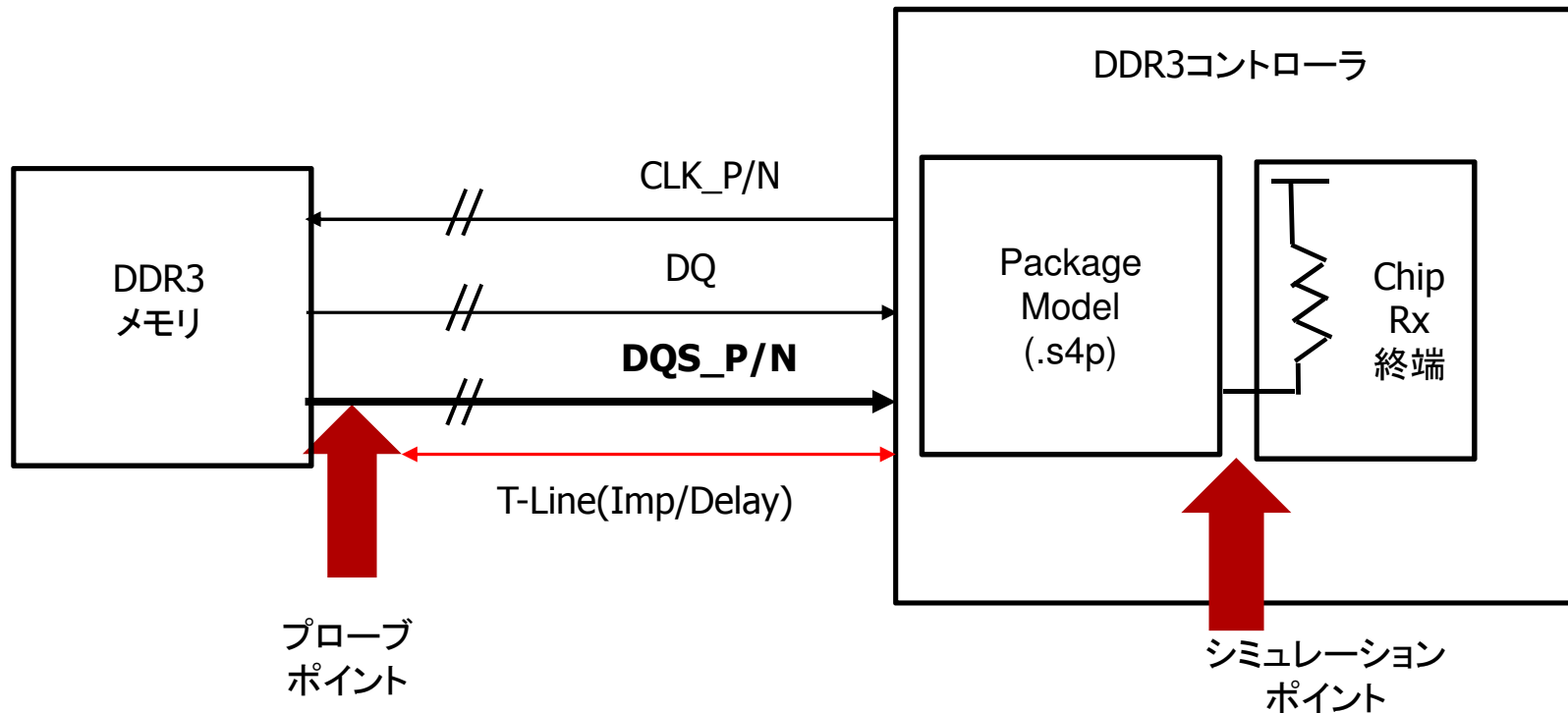
1.5 SDLA Visualizerによる波形補正 特長

- ディエンベッド、ディエンベデッド、イコライゼーションをサポート
- 信号線路の任意の箇所の波形を表示
- フル4ポートSパラメータ・モデル・サポート
 - TX および RX インピーダンス・モデル
 - SMAプローブ・モデル(2ポートSパラメータ)
 - ハイ・インピーダンス・プローブの負荷除去
- 反射除去
- Sパラメータ、Tモデル(無損失)、RLCモデルの使用可能
- モデル検証のためのプロット・ツール
 - 16 Sパラメータ・プロット、時間領域プロット、スミス・チャート
- Sパラメータを含むモデルのカスケード接続(最大8段)
- 従来からのCTLE、FFE/DFEに加え、EDA業界標準の IBIS-AMIモデルによるRxイコライゼーション／クロック・データ・リカバリをサポート
- DPOJETとシームレスに動作可能



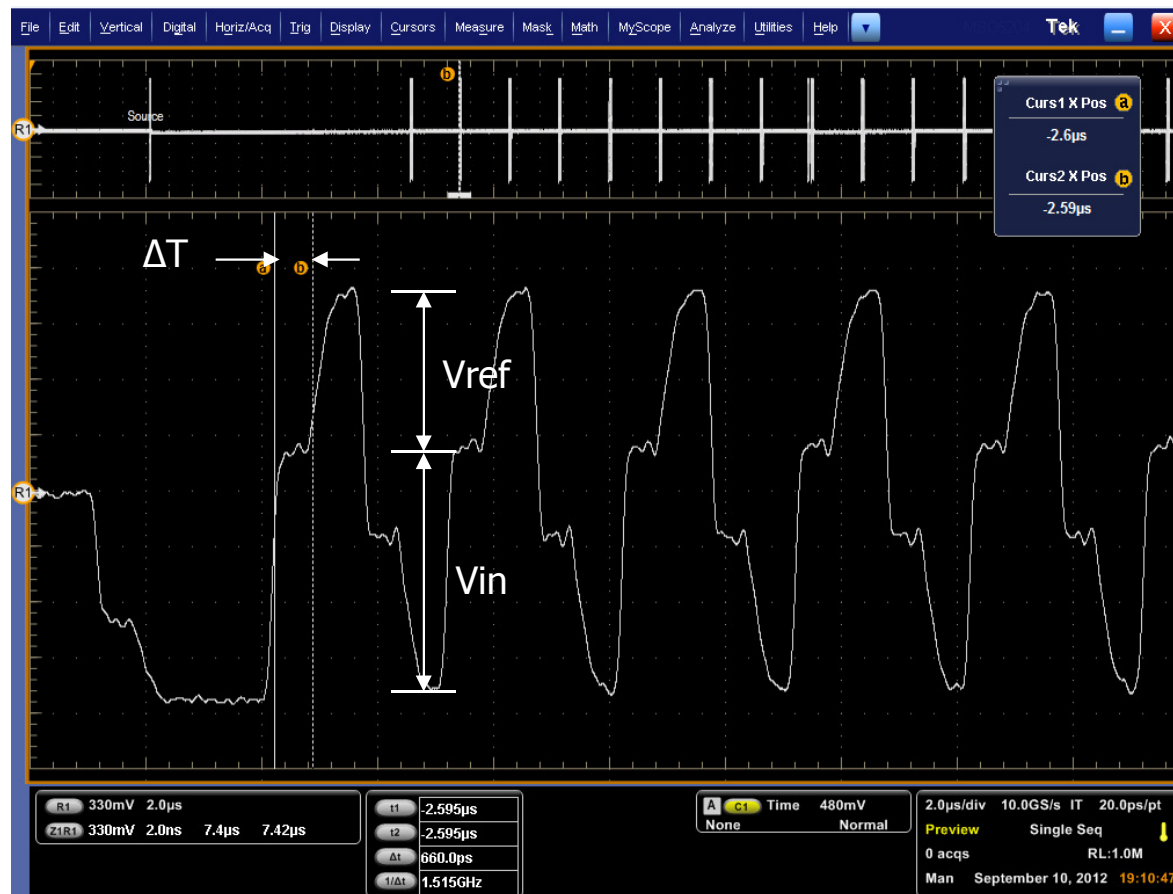
1.5 SDLA Visualizerによる波形補正 DDR3のシミュレーション例

- Rxから離れた場所でプローブしてメモリ・リード波形取得
- Rxチップ入力におけるメモリ・リード波形をシミュレーション



1.5 SDLA Visualizerによる波形補正 プローブで観測される反射波形

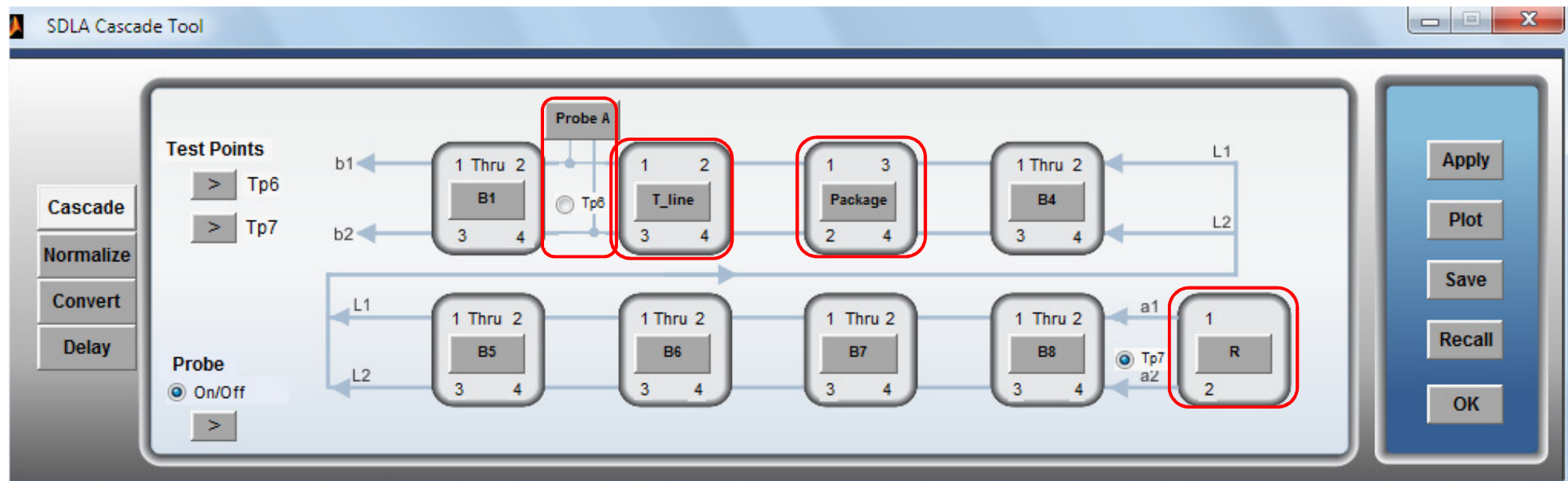
- メモリからの波形がコントローラの高い終端インピーダンスにより反射
- プローブ・ポイントからRx終端までの電気長(Tdelay) x 2が反射のステップ時間間隔(ΔT)
- 反射係数 ρ = 反射振幅 (Vref) / 信号振幅(Vin)



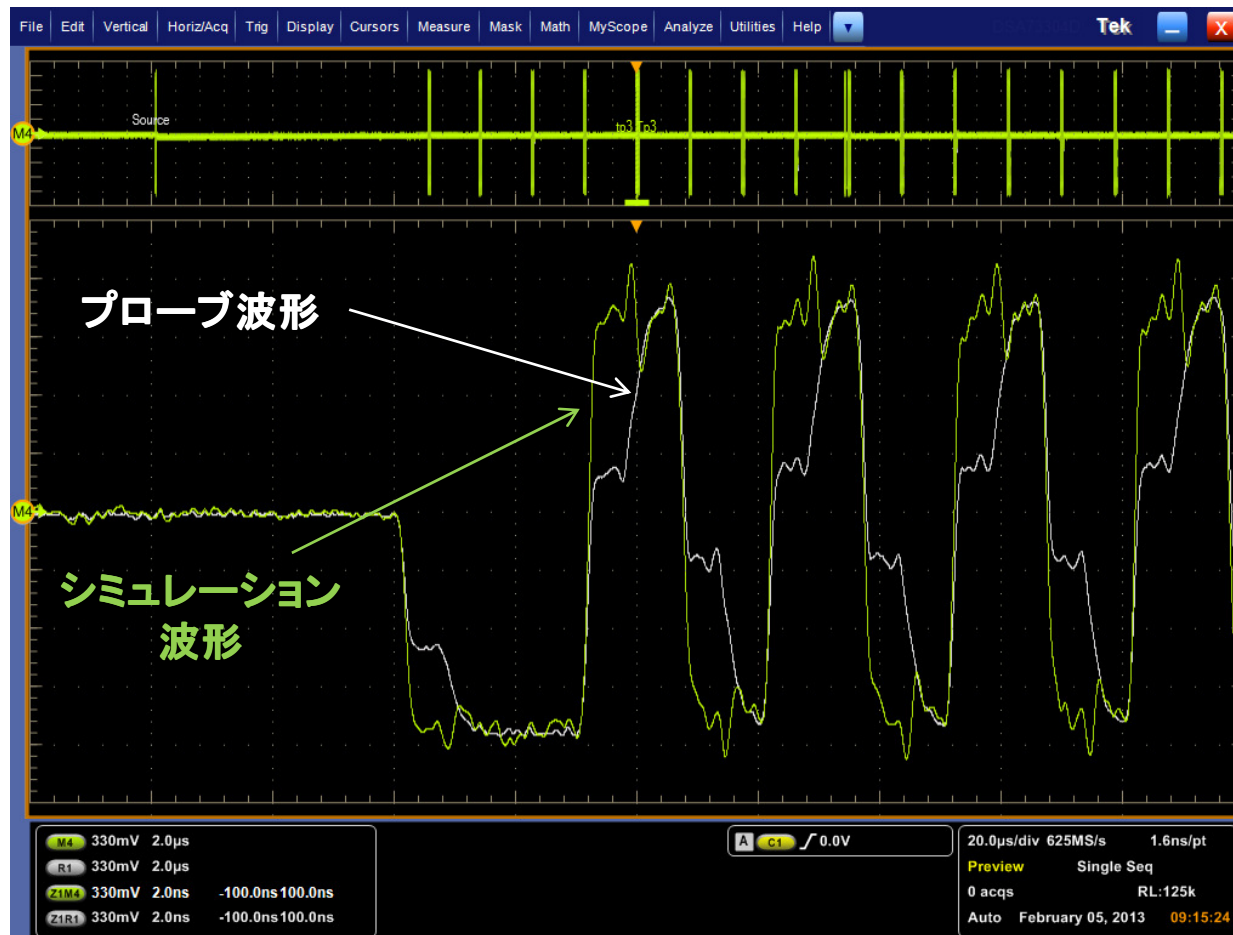
$T_{delay} * 2 = \Delta T$
 $Z_{term} = Z_0 * (1 + \rho) / (1 - \rho)$
Zterm : Rx終端インピーダンス
Z0 : トレースインピーダンス

1.5 SDLA Visualizerによる波形補正 シミュレーション・モデル

- プロブ・ポイントとパッケージ・モデル間のトレースはTx-Line
 - 無損失ライン (ディレイ/特性インピーダンス)
- パッケージ・モデルは s4p Sパラメータ・ファイル
- Rx負荷インピーダンス >> T-Line 特性インピーダンス



1.5 SDLA Visualizerによる波形補正 シミュレーション結果



ATEサービス株式会社と販売、サポート開始

- DSA.DPO/MSO70000シリーズとSDLAの販売
- 各種モデル生成のサービスと取扱いサポート



1.6 補足

オシロスコープの帯域/立上り時間とDDRのデータ・レート

- 帯域の目安は5次高調

メモリとデータ・レート[MT/s]				基本周波数 [MHz]	5次高調波 [MHz]	オシロスコープとプローブ		
DDR	DDR2	DDR3	DDR4			MSO70000C DSA70000C	DPO7000C	MSO5000 DPO5000
			3200	1600	8000	8G,P7508/P7308A	-	-
			2666	1333	6665	8G,P7508/P7308A	-	-
			2400	1200	6000	6G,P7506/P7360A	-	-
		2133	2133	1066	5330	6G,P7506/P7360A	-	-
		1867	1867	933	4665	6G,P7506/P7360A	-	-
		1600	1600	800	4000	4G,P7504/P7340A	-	-
		1333		667	3335	4G,P7504/P7340A	3.5G,TDP3500/TAP3500	-
	1066	1066		533	2665	4G,P7504/P7340A	3.5G,TDP3500/TAP3500	-
	800	800		400	2000	4G,P7504/P7340A	2.5G,TDP3500/TAP2500	2G,TDP3500/TAP2500
	667			333	1665	4G,P7504/P7340A	2.5G,TDP3500/TAP2500	2G,TDP3500/TAP2500
	533			266	1330	4G,P7504/P7340A	2.5G,TDP1500/TAP1500	2G,TDP1500/TAP1500
400	400			200	1000	4G,P7504/P7340A	1G,TDP1500/TAP1500	1G,TDP1500/TAP1500
333				166	830	4G,P7504/P7340A	1G,TDP1500/TAP1500	1G,TDP1500/TAP1500
266				133	665	4G,P7504/P7340A	1G,TDP1500/TAP1500	1G,TDP1500/TAP1500
200				100	500	4G,P7504/P7340A	1G,TDP1500/TAP1500	1G,TDP1500/TAP1500

MT/s: Mega Transfer Per Second

- 立上り時間の目安は、2倍

メモリ	最大SEスルーレート	信号スウィング	測定対象の立上り時間	高精度測定のための オシロスコープの立上り時間	推奨オシロスコープとプローブ
DDR-400	5 V/ns	1.5 V	240 ps	120 ps	MSO/DSA70404C,P7340A
DDR2-800	5 V/ns	1.1 V	176 ps	88 ps	MSO/DSA70604C,P7506
DDR3-1600	6 V/ns	0.9 V	120 ps	60 ps	MSO/DSA70804C,P7508
DDR4-2400	9 V/ns	0.7 V	62 ps	31 ps	MSO/DSA71254C,P7513A
LODDR-400	2.5 V/ns	1.1 V	352 ps	171 ps	MSO/DSA70404C,P7340A
LPDDR2-800	3.5 V/ns	0.6 V	137 ps	68 ps	MSO/DSA70604C,P7360A
LPDDR3-1600	4 V/ns	0.6 V	120 ps	60 ps	MSO/DSA70804C,P7380A

1.6 補足 推奨機器構成

■ DDR

- MSO70404C型 (4GHz)
- オプション: Opt.DDRA *
- プローブ : P7340A型 × 3本～4本
- アクセサリ: 020-2600-xx、020-2602-xx、020-2604-xx 必要分

■ DDR2

- MSO70604C型 (6GHz)
- オプション: Opt.DDRA *
- プローブ : P7506型 × 3本～4本
- アクセサリ: 020-2954-xx、020-2955-xx、020-2958-xx 必要分

■ DDR3

- MSO7080C型 (8GHz)
- オプション: Opt.DDRA *
- プローブ : P7508 × 3本～4本
- アクセサリ: 020-2954-xx、020-2955-xx、020-2958-xx、020-2959-xxまたは
020-2936-xx、020-2944-xx 必要分

■ DDR4

- MSO7125C型 (12.5GHz)
- オプション: Opt.DDRA *
- プローブ : P7513A × 3本～4本
- アクセサリ: 020-2936-xx、020-2944-xx 必要分

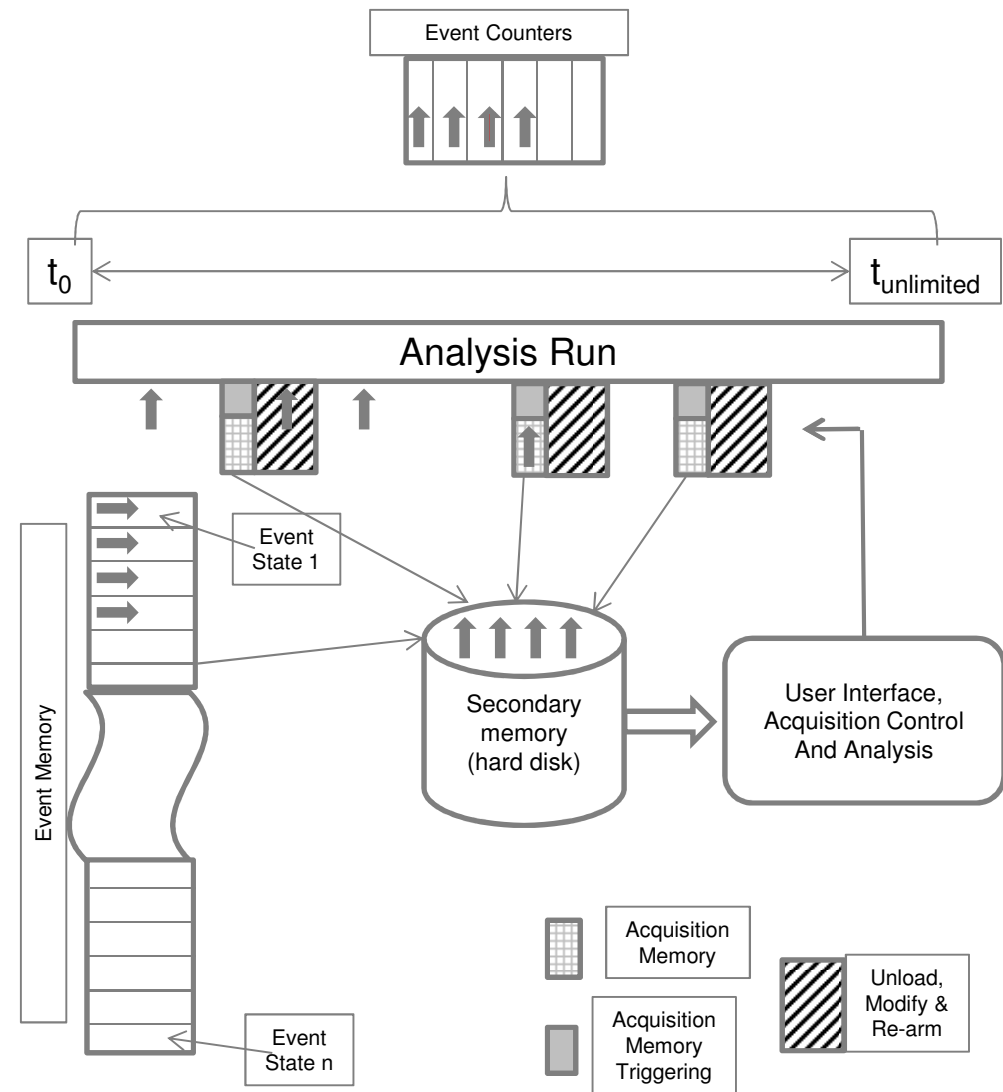
*: 新規にMSO70000CシリーズとOpt.DDRAを導入すると、Opt.SDLA64とOpt.VTがバンドルされます
2013年12月まで！

2.1 プロトコル検証 膨大な項目

Num.	Name	Description
1	CMD w/sSREF Rank	Sequential check. A non-NOP/DES command can not occur on a self-refreshing rank.
2	SRE w/sACT Rank	Sequential check. A Self-Refresh Entry (SRE) command can not occur on an active rank.
3	MRS w/sACT Rank	Sequential check. An Mode Register Set (MRS) command can not occur on an active rank.
4	RD(A)/wR(A) during MRS	Sequential check. A read (RD or RDA) or write (wR or wRA) command can not occur during rank MRS cycle.
5	CMD w/sPD Rank	Sequential check. A non-NOP/DES command can not occur on a powered-down rank.
6	RD(A)/wR(A) w/sSREF Bank	Sequential check. A read (RD(A)) or write (wR(A)) command can not occur during bank refresh.
7	ACT/REF w/sACT Bank	Sequential check. A activate (ACT) or refresh (REF) command can not occur on an active bank.
8	REF w/sACT Bank	Sequential check. A refresh (REF) command can not occur on an active bank that is reading or writing.
9	RD(A)/wR(A) to sPRE Bank	Sequential check. A read (RD(A)) or write (wR(A)) command can not occur during on an inactive (precharged) bank.
10	d4ACT	The minimum time between any four activate (ACT) commands to the same rank must meet tFAW.
11	PDX Fast Exit	Power-Down Exit (PDX/PRX) to any valid command (PRE(A)/REF/ACT/MRS) must meet tXP.
12	SRX Exit	Self-Refresh Exit (SRX/PRX) to any command not requiring a locked DLL (PRE(A)/REF/ACT/MRS/SRE) must meet tXS.
13	dACT	The minimum time between two activate (ACT) commands must meet tRRD.
14	PRE(A) Rank Settle	Minimum time from a PRE(A) command to any valid command on the same rank (MRS/SRE) must meet tRP.
15	REF Before SRE	Sequential check. At least one refresh (REF) command is required between self refreshed (SRX to SRE).
16	SRE Separation from PRE(A)	If the last valid command received before a self-refresh entry (SRE) was any precharge PRE(A), then the separation between these two commands must meet tPREPDEN.
17	SRE Separation from REF	If the last valid command received before a self-refresh entry (SRE) was a refresh (REF), then the separation between these two commands must meet tREFPDEN.
18	SRE Separation from ACT	If the last valid command received before a self-refresh entry (SRE) was a activate (ACT), then the separation between these two commands must meet tACTPDEN.
19	SRE Separation from MRS	If the last valid command received before a self-refresh entry (SRE) was a mode register set(MRS), then the separation between these two commands must meet tMRSPDEN.
20	SRE Separation from wR	If the last valid command received before a self-refresh entry (SRE) was a write (wR), then the separation between these two commands must meet twRPDEN.
21	SRE Separation from wRA	If the last valid command received before a self-refresh entry (SRE) was a write w/auto-precharge (wRA), then the separation between these two commands must meet twRAPDEN.
22	SRE Separation from RD(A)	If the last valid command received before a self-refresh entry (SRE) was a read (RD(A)), then the separation between these two commands must meet tRDPDEN.
23	MRS Settle	Minimum time from an mode register set (MRS) command to any other valid command that is not an MRS must meet tMOD.
24	MRS Burst	Minimum from the first to the next and subsequent mode register set (MRS) commands must meet tMRD.
25	sSREF Time	The minimum amount of time in self-refresh must meet tCKESR.
26	wR Burst	The minimum amount of time between write (wR(A)) commands must meet tCCD.
27	RD to wR(A) Separation	The minimum amount of time between read (RD) and write (wR(A)) commands must meet tNRTW/.
28	PDX Slow Exit	Power-Down Exit (PDX/PRX) Slow Exit (MRS_A12 bit low) to read (RD(A) command must meet tXPDLL.
29	Rank DLL Reset to RD(A)	Read (RD(A)) must wait tDLLK after reset.
30	wR to RD(A) Separation	The minimum amount of time between write (wR) and read (RD(A)) commands must meet tNwTR.
31	RD Burst	The minimum amount of time between read (RD(A)) commands must meet tCCD.
32	sPD Time Min.	The minimum amount of time a rank must stay in power-down (PDE to PDX) must meet tPDmin.
33	sPD Time Max.	The maximum amount of time a rank can stay in power-down (PDE to PDX) must meet tPDmax.
34	PRE(A) Bank Settle	Minimum time from a PRE(A) command to any valid command on the same bank must meet tRP.
35	sREF Time	The minimum amount of time in refresh must meet tRFC.
36	sACT Time Min.	The minimum amount of time a bank must stay active (ACT to PRE(A)) must meet tRASmin.
37	sACT Time Max.	The maximum amount of time a bank can stay active (ACT to PRE(A)) must meet tRASmax.
38	ACT to RD(A)/wR(A)	The minimum amount of time from a activate (ACT) command to a read (RD(A)) or write (wR(A)) command must meet tNARW/.
39	RD to PRE(A)	The minimum amount of time from a read (RD) command to a precharge (PRE(A)) command must meet tNRP.
40	RD to ACT	The minimum amount of time from a read (RD) command to a activate (ACT) command must meet tNRA.
41	wR to PRE(A)	The minimum amount of time from a write (wR) command to a precharge (PRE(A)) command must meet tNWP.
42	wR to ACT	The minimum amount of time from a write (wR) command to a activate (ACT) command must meet tNwA.
43	CKEx Signal After DLL Reset	Rank CKEx must remain high tDLLK time after a DLL Reset.

2.1 プロトコル検証 検証方法

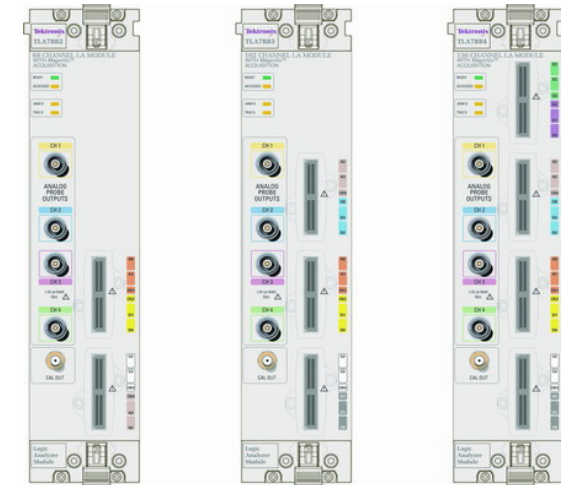
- 方法
 - ポスト・プロセッシング
 - リアルタイム
- 選択肢
 - ロジック・アナライザ
 - プロトコル・アナライザ



2.2 ロジック・アナライザとプロトコル・アナライザ 概要

ロジック・アナライザ(TLA7Bxモジュール)

DIGITAL CHARACTERISTICS	TLA7BB2	TLA7BB3	TLA7BB4
チャンネル数	68	102	136
サンプリング (MagniVu)	50GS/s (20ps)		
ディープ・タイミング	Up to 6.4GS/s		
ステート・スピード	Up to 1.4GHz/3.0Gbps		
メモリ長	Standard 2Mb, Maximum 64Mb		
プローブ	P68xx and P69xx		
iCapture (Analog Mux)	3 GHz		

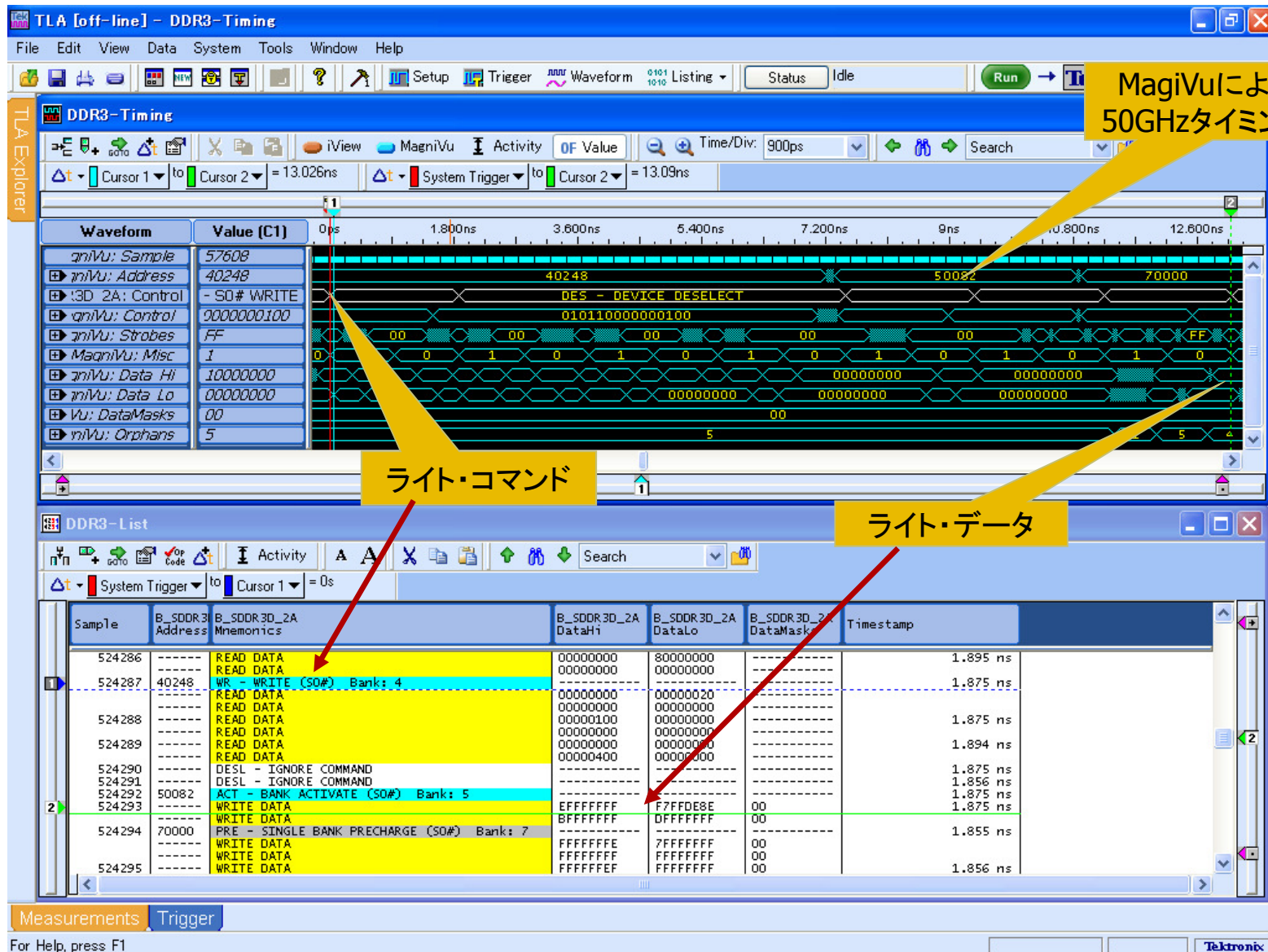


プロトコル・アナライザ(MCA4000)

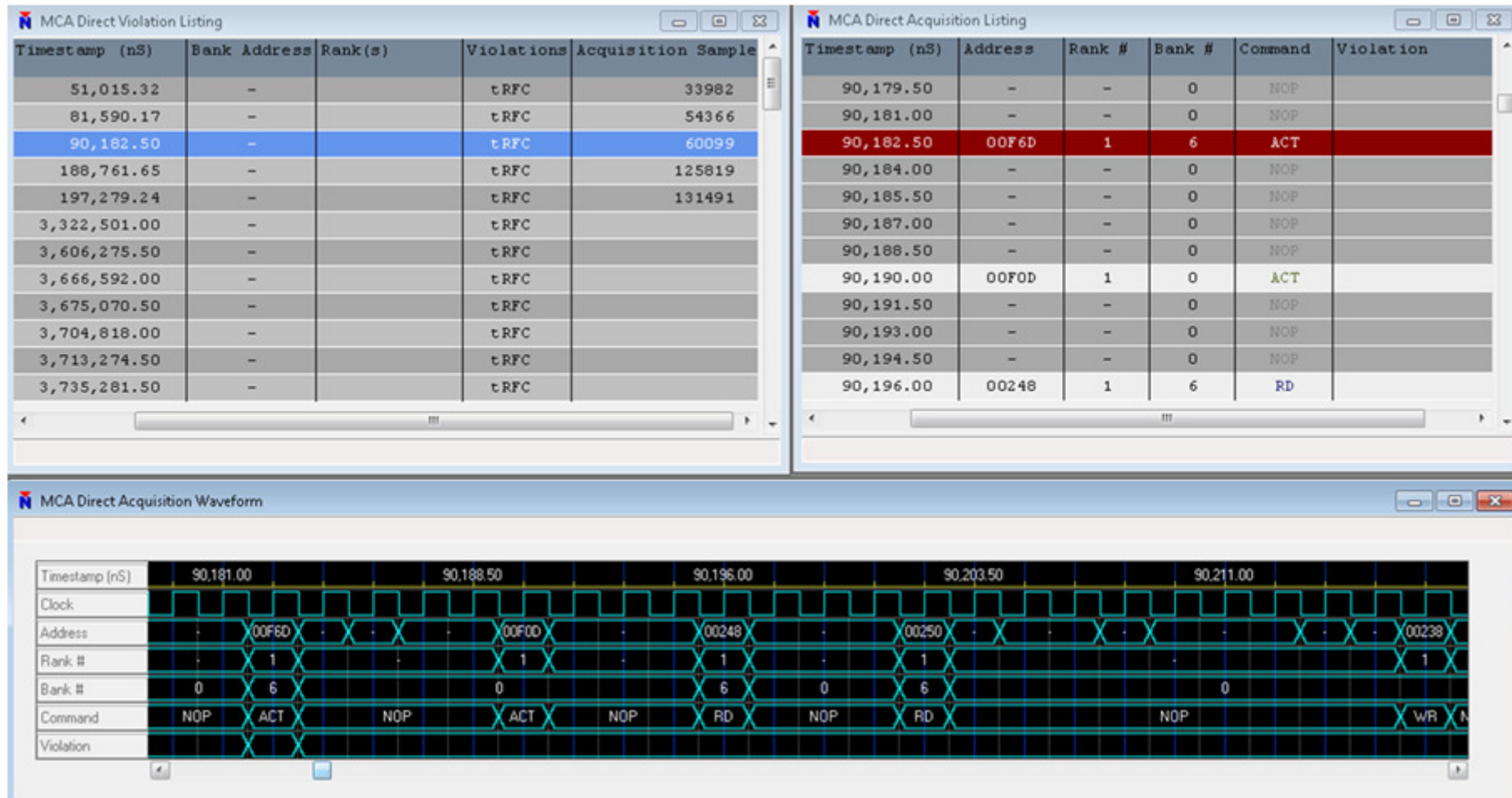
- デュアル・インスルメント
 - － リアルタイム・プロトコル・アナライザ
 - － 1Gメモリ長のステート・マシン・アナライザ
- 長時間に渡り、コンプライアンス違反を捕捉
- 独立したトリガ機能
 - － 条件、カウンター
- PC制御動作とスタンドアロン動作が可能



2.2 ロジック・アナライザとプロトコル・アナライザ TLAによるタイミング及びステート解析



2.2 ロジック・アナライザとプロトコル・アナライザ MCA4000によるタイミング及び状態解析



2.2 ロジック・アナライザとプロトコル・アナライザ 利点

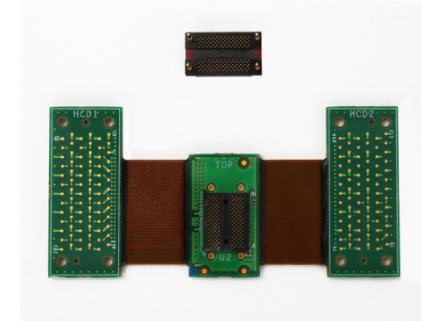
	ACC (Address/Command/Control)	ACC+DQ (Address/Command/Control/Data)
リアルタイム処理	MCA	MCA+TLA
ポスト処理		LA

MCA の利点	TLAの利点
1Gポイントのメモリ長	全DDRの信号処理
コスト	MagniVu(20ps分解能のタイミング解析)
リアルタイム + ポスト処理	iCapture(Analog Mux)
	複数のメモリ・バス対応

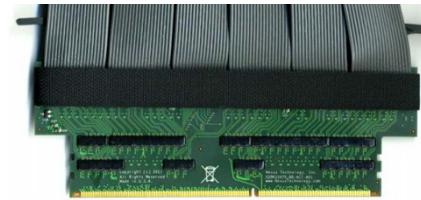
2.3 インタポーザ DDR4

- コンポーネント
 - NEX-DDR4MP78BLASK(x4/x8)
 - NEX-DDR4MP96BLASK(x16)
- DIMM
 - NEX-DDR4INTR-XL(2400対応)
 - NEX-DDR4INTR-HS(1867対応)
 - NEX-DDR4INTR-CMPL(2133対応)
- SO-DIMM
 - NEX-SODDR4INTR-XL(2400対応)
 - NEX-SODDR4INTR-HS(1867対応)
 - NEX-SODDR4INTR-CMPL(1867対応)

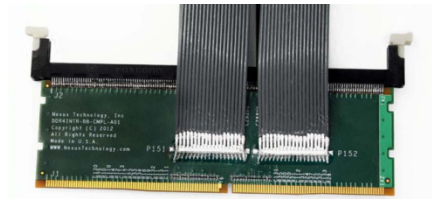
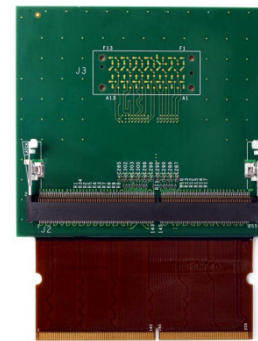
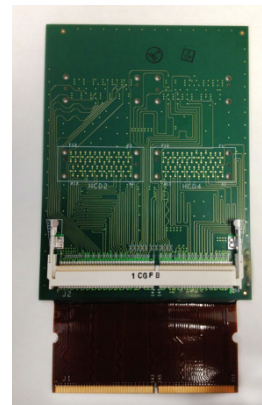
コンポーネント用DDR4インタポーザ



DIMM用DDR4インタポーザ



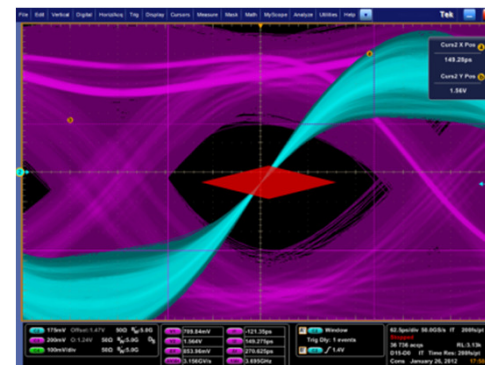
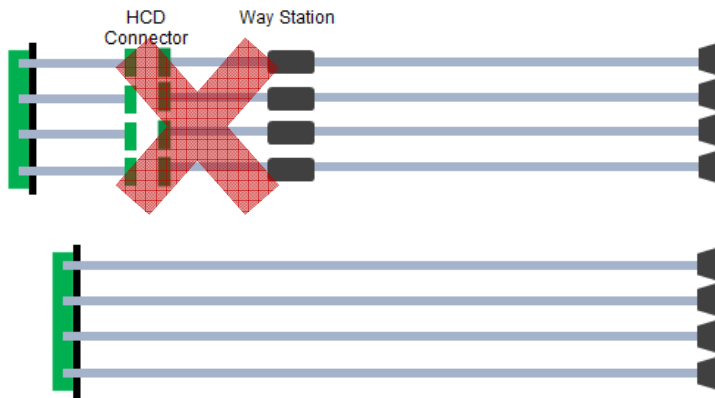
SO-DIMM用DDR4インタポーザ



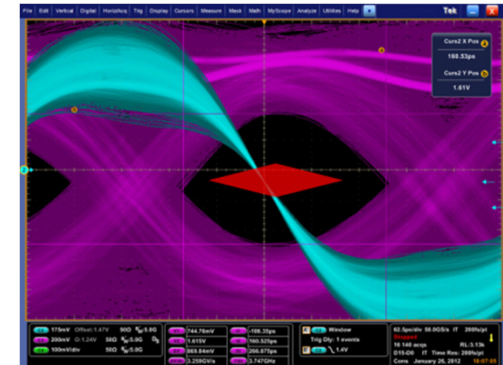

NEXUS
TECHNOLOGY

100

- 大幅なパフォーマンス向上
 - 超高性能SiGeハイブリッドASICテクノロジーの採用
 - ライト動作時に懸念されるプラットフォーム・トレースの損失補償
 - インタポーザとプローブを一体化してシグナル・インテグリティを向上
- 改良されたインタポーザの入力インピーダンス
 - バスへの影響を最小限に抑えながらターゲットの負荷を軽減
 - ターゲット上の信号の正確な捕捉
- 2400のデータレートに対応



ライト動作のアイダイアグラム
立上リエッジ 853mv x 270ps



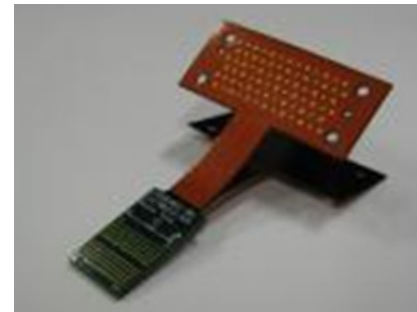
ライト動作のアイダイアグラム
立下リエッジ 869mv x 266ps

TLA化必要な捕捉要件(180ps x 200mV)を満足

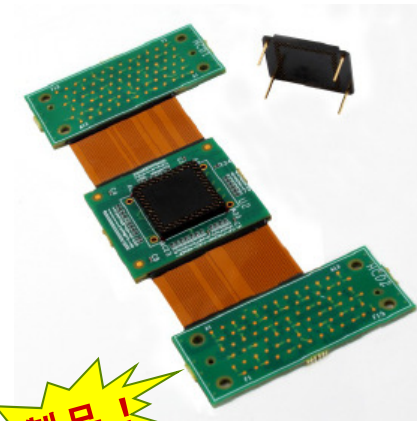
2.3 インタポーザ LPDDR2/3

- LPDDR3
 - NEX-LPDDR3PoP216BLASK (216Pin PoP)
 - NEX-LP3MCP178BLASK (178Pin Upper/Lower x16)
- LPDDR2
 - NEX-LPDDR2PoP168BLASK (168Pin PoP)
 - NEX-LPDDR2PoP216BLASK (268Pin PoP)

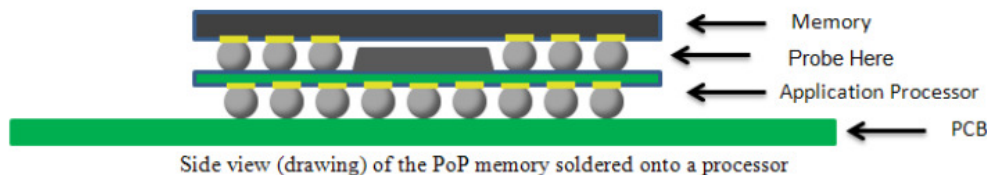
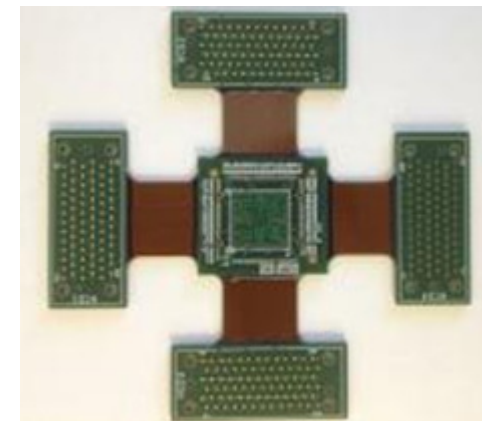
178 BallのBGA



168 BallのPoP



216 BallのPoP



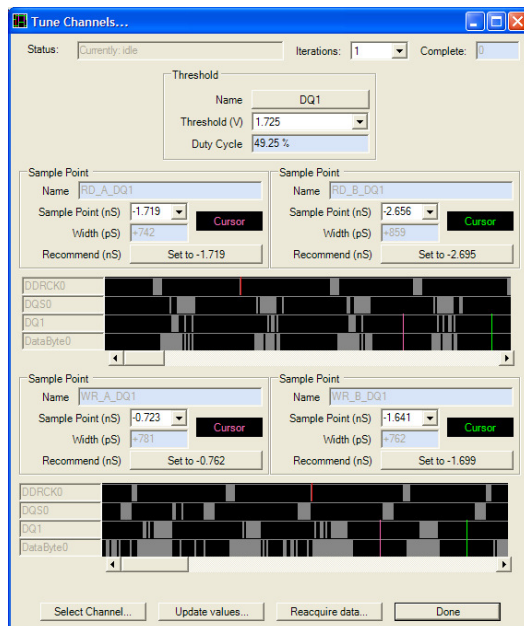
ATEサービス株式会社でも扱ってます！



2.4 プロトコル層のコンプライアンス試験 簡単なセットアップ

- コマンドやアドレスのキャリブレーション不要
- SPA
 - ストローブとデータの閾値を最適化
 - データのサンプル・ポイントの最適化
- iCiS
 - 全てのデータをアイ・ダイアグラム表示

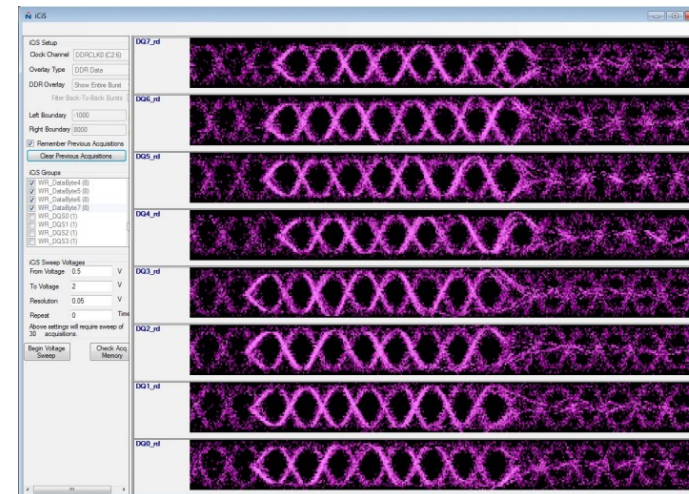
SPAによる最適化



コマンド・プロトコル表示

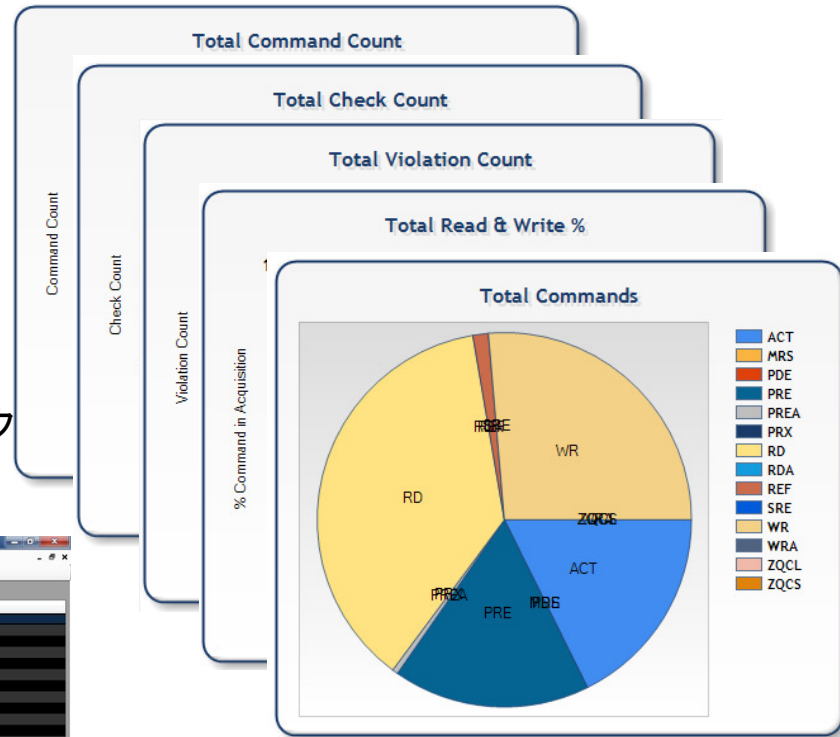
Sample	Timestamp	NewFilter_NEX_COMM	NewFilter_NEX	NewFilter_NEX_COM	NewFilter_NEX
3545	9.004 ns	RANK 1	RD	Bank 5	03C0
3546	54.024 ns	RANK 1	PRE	Bank 5	0000
3547	4.472 ns	RANK 1	ACT	Bank 7	3010
3548	13.536 ns	RANK 1	WR	Bank 7	03B8
3549	6.015 ns	RANK 1	WR	Bank 7	03C0
3550	2.969 ns	RANK 0	PREA	Bank 0	0400
3551	15.000 ns	RANK 0	PRE	Bank 0	0000
3552	37.500 ns	RANK 1	ACT	Bank 5	3090
3553	10.508 ns	RANK 1	PRE	Bank 7	0000
3554	3.008 ns	RANK 1	RD	Bank 5	03C8
3555	9.023 ns	RANK 1	RD	Bank 5	03D0
3556	55.469 ns	RANK 1	PRE	Bank 5	0000
3557	3.008 ns	RANK 1	ACT	Bank 7	3010
3558	13.535 ns	RANK 1	WR	Bank 7	03C8
3559	5.996 ns	RANK 1	WR	Bank 7	03D0
3560	56.992 ns	RANK 1	ACT	Bank 5	3090
3561	10.488 ns	RANK 1	PRE	Bank 7	0000
3562	3.008 ns	RANK 1	RD	Bank 5	03D8
3563	9.004 ns	RANK 1	RD	Bank 5	03E0
3564	55.508 ns	RANK 1	PRE	Bank 5	0000
3565	3.008 ns	RANK 1	ACT	Bank 7	3010
3566	13.515 ns	RANK 1	WR	Bank 7	03D8
3567	5.996 ns	RANK 1	WR	Bank 7	03E0
3568	56.993 ns	RANK 1	ACT	Bank 5	3090
3569	10.488 ns	RANK 1	PRE	Bank 7	0000
3570	3.027 ns	RANK 1	RD	Bank 5	03E8
3571	8.985 ns	RANK 1	RD	Bank 5	03F0
3572	55.488 ns	RANK 1	PRE	Bank 5	0000

iCiSによるアイ・ダイアグラム表示



2.4 プロトコル層のコンプライアンス試験 コンプライアンス・ソフトウェアの特長

- 広範なJEDECパラメータを判定(DDR3/4、LPDDR2/3)
- JEDEC及びカスタムのパラメータを簡単に設定
- 自動にデータを取り込み、間欠または希な現象を解析
- 統計処理
- 複数のメモリ・インタフェースの解析可能(TLA)
- 強力なグラフィカル表示で解析容易
- コンプライアンス違反のリスト表示および波形表示のリンク
- HTMLレポート生成



DDR Compliance Analyzer - Connected TLA 3.0.0.0 - All Checks & Violations

File View Tools Window Help

Compliance Setup Start Run Check Acq. Memory

Compliance Parameters

Stat.	Num.	Name	Occurrences	Violations	Status	Min.(ps)	Max.(ps)	Average(ps)	Margin(%)	Spec. Value(ps)	Description
1	0	CDX vs REF Rank	0	0	OK	NA	NA	NA	NA	0	Sequential check. A non-NOP/DE command can not occur on a self-refreshing rank.
2	0	SRE vs ACT Rank	0	0	OK	NA	NA	NA	NA	0	Sequential check. A Self Refresh Entry (SRE) command can not occur on an active rank.
3	0	MRS vs ACT Rank	0	0	OK	NA	NA	NA	NA	0	Sequential check. A Mode Register Set (MRS) command can not occur on an active rank.
4	0	RD/A/VR/A during MRS	0	0	OK	NA	NA	NA	NA	0	Sequential check. A read (RD) or write (WR) or VR/A command can not occur during rank MRS cycle.
5	0	CDX vs PD Rank	0	0	OK	NA	NA	NA	NA	0	Sequential check. A non-NOP/DE command can not occur on a powered-down rank.
6	0	RD/A/VR/A vs REF Rank	0	0	OK	NA	NA	NA	NA	0	Sequential check. A read (RD) or write (WR) or VR/A command can not occur during bank refresh.
7	0	ACT/REF vs ACT Rank	32	32	OK	NA	NA	NA	NA	0	Sequential check. A activate (ACT) or refresh (REF) command can not occur on an active rank.
8	0	REF vs ACT Rank	32	32	OK	NA	NA	NA	NA	0	Sequential check. A refresh (REF) command can not occur on an active bank that is reading or writing.
9	0	RD/A/VR/A vs aPRE Bank	56	56	OK	NA	NA	NA	NA	0	Sequential check. A read (RD) or write (WR) or VR/A command can not occur during an inactive (precharged) bank.
10	17	ACT	0	0	OK	6,679	14,628,077	196,733	33.6	5,000	The minimum time between any first activate (ACT) commands to the same rank must meet tRRD.
11	0	PD vs Exit	0	0	OK	NA	NA	NA	NA	0	Power Down Exit (PD/XP) to any valid command (PRE/A/REF/ACT/MRS/SRE) must meet tDP.
12	0	SRX Exit	0	0	OK	NA	NA	NA	NA	0	Self Refresh Exit (SRX/XP) to any command not requiring a locked DLL (PRE/A/REF/ACT/MRS/SRE) must meet tDS.
13	1,031	ACT	0	0	OK	6,679	14,628,002	196,733	33.6	5,000	The minimum time between two activate (ACT) commands must meet tRRD.
14	0	PRE/A Rank Settle	0	0	OK	NA	NA	NA	NA	0	Minimum time from a PRE/A command to any valid command on the same rank.
15	0	REF before SRE	0	0	OK	NA	NA	NA	NA	0	Sequential check. At least one refresh (REF) command is required between self-refreshed (SRX) to SRE.
16	0	SRE Separation from PRE/A	0	0	OK	NA	NA	NA	NA	1,918	If the last valid command received before a self-refresh entry (SRE) was any precharge (PRE/A), then the separation between these two commands must meet tSREPRE.
17	0	SRE Separation from REF	0	0	OK	NA	NA	NA	NA	1,918	If the last valid command received before a self-refresh entry (SRE) was a refresh (REF), then the separation between these two commands must meet tSREREF.
18	0	SRE Separation from ACT	0	0	OK	NA	NA	NA	NA	1,918	If the last valid command received before a self-refresh entry (SRE) was a activate (ACT), then the separation between these two commands must meet tSREACT.
19	0	SRE Separation from MRS	0	0	OK	NA	NA	NA	NA	15,000	If the last valid command received before a self-refresh entry (SRE) was a mode register set (MRS), then the separation between these two commands must meet tSREMRS.
20	0	SRE Separation from VR	0	0	OK	NA	NA	NA	NA	27,486	If the last valid command received before a self-refresh entry (SRE) was a write (VR), then the separation between these two commands must meet tSREVR.
21	0	SRE Separation from RDA	0	0	OK	NA	NA	NA	NA	28,460	If the last valid command received before a self-refresh entry (SRE) was a read (RDA), then the separation between these two commands must meet tSREDA.
22	0	SRE Separation from RD	0	0	OK	NA	NA	NA	NA	14,252	If the last valid command received before a self-refresh entry (SRE) was a read (RD), then the separation between these two commands must meet tSRED.
23	0	MRS Settle	0	0	OK	NA	NA	NA	NA	15,000	Minimum time from a mode register set (MRS) command to any other valid command that is not an MRS must meet tMOD.
24	0	MRS Burst	0	0	OK	NA	NA	NA	NA	15,000	Minimum time from the first to the next and subsequent mode register set (MRS) commands must meet tMRD.
25	0	SRX Time	0	0	OK	NA	NA	NA	NA	6,079	The minimum amount of time to self-refresh must meet tCDR.
26	1,936	VR Burst	211	0	OK	4,624	2,338,002	27,753	-1.2	4,671	The minimum amount of time between write (VR/A) commands must meet tCCD.
27	0	RD vs VR/A Separation	1,936	0	OK	13,156	127,549	11,225	42.9	5,126	The minimum amount of time between read (RD) and write (VR/A) commands must meet tNRTV.
28	0	SRX Exit	0	0	OK	NA	NA	NA	NA	24,000	Power Down Exit (PD/XP) to any valid command (PRE/A/REF/ACT/MRS/SRE) must meet tPDLL.
29	0	Rank DLL Reset to RD/A	0	0	OK	NA	NA	NA	NA	521,072	Read (RD/A) must wait DLLK after reset.
30	0	VR vs RD/A Separation	2,336	43	OK	18,388	14,693,711	470,106	-2.4	19,342	The minimum amount of time between write (VR) and read (RD/A) commands must meet tNVRT.
31	0	RD Burst	2,336	43	OK	4,623	14,624,316	132,376	-1.2	4,671	The minimum amount of time between read (RD) commands must meet tCCD.
32	0	aPD Time Min.	0	0	OK	NA	NA	NA	NA	5,000	The minimum amount of time a rank can stay in power-down (PDE) to PDI must meet tDmin.
33	0	aPD Time Max.	0	0	OK	NA	NA	NA	NA	70,200,000	The maximum amount of time a rank can stay in power-down (PDE) to PDI must meet tDmax.
34	0	PRE/A Rank Settle	1,936	0	OK	9,910	20,155,044	401,680	-26.0	10,000	Minimum time from a PRE/A command to any valid command on the same bank must meet tRP.
35	0	aREF Time	0	0	OK	NA	NA	NA	NA	90,000	The minimum amount of time to self-refresh must meet tRFC.
36	0	aACT Time Min.	21,624	273	OK	24,375	22,086,533	100,060	-26.1	34,000	The minimum amount of time a bank must stay active (ACT) to PRE/A must meet tRAGmin.
37	0	aACT Time Max.	21,624	0	OK	24,375	22,086,533	100,060	-100.0	70,200,000	The maximum amount of time a bank can stay active (ACT) to PRE/A must meet tRAGmax.
38	0	ACT vs RD/A/VR/A	0	0	OK	9,911	20,155	20,155	-26.0	11,000	The minimum amount of time from an activate (ACT) command to a read (RD/A) or write (VR/A) command must meet tRAPR.
39	0	RD vs PRE/A	0	0	OK	6,679	128,672	10,282	-27.1	9,182	The minimum amount of time from a read (RD) command to a precharge (PRE/A) command must meet tRPA.
40	0	RD vs ACT	0	0	OK	6,679	128,672	10,282	-27.1	9,182	The minimum amount of time from a read (RD) command to an activate (ACT) command must meet tRPA.
41	0	VR vs PRE/A	16,107	0	OK	24,376	22,074,726	11,589	-4.2	27,486	The minimum amount of time from a write (VR) command to a precharge (PRE/A) command must meet tRVP.
42	0	VR vs ACT	0	0	OK	24,376	22,074,726	11,589	-4.2	27,486	The minimum amount of time from a write (VR) command to an activate (ACT) command must meet tRVP.
43	0	CDX Signal After DLL Reset	0	0	OK	NA	NA	NA	NA	521,072	Rank CDX must remain high DLLK time after a DLL Reset.

Individual Acquisition Details

Item	Rank	Time	Occurrences	Violations	Status	Min.(ps)	Max.(ps)	Average(ps)	Margin(%)	De
1	0	12/20/2011 11:12:36 AM	0	0	OK	NA	NA	NA	NA	0
2	0	12/20/2011 11:13:56 AM	0	0	OK	NA	NA	NA	NA	0
3	0	12/20/2011 11:14:17 AM	0	0	OK	NA	NA	NA	NA	0

Work completed.

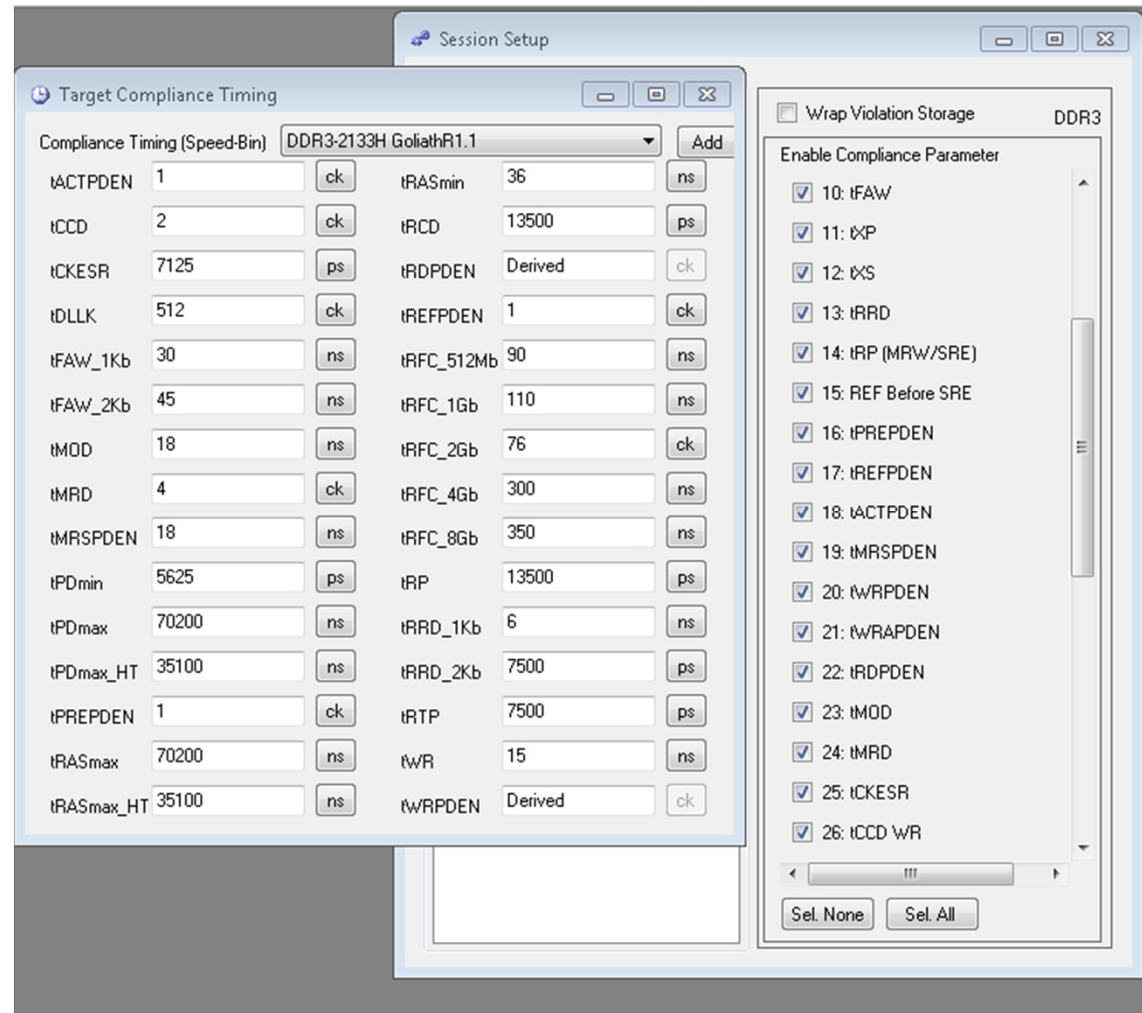
Per Acquisition Violation Details

Sample #	Timestamp	Rank	Bank	Offending Cmd	Value(ps)	Margin(%)
1	12/20/2011 11:12:36 AM	0	0	ACT	6,679	33.6



2.4 プロトコル層のコンプライアンス試験 判定基準の設定

- 判定基準
 - JEDEC
 - カスタム
- 判定の有効・無効
 - 43のカテゴリー
 - 判定したい項目をチェック

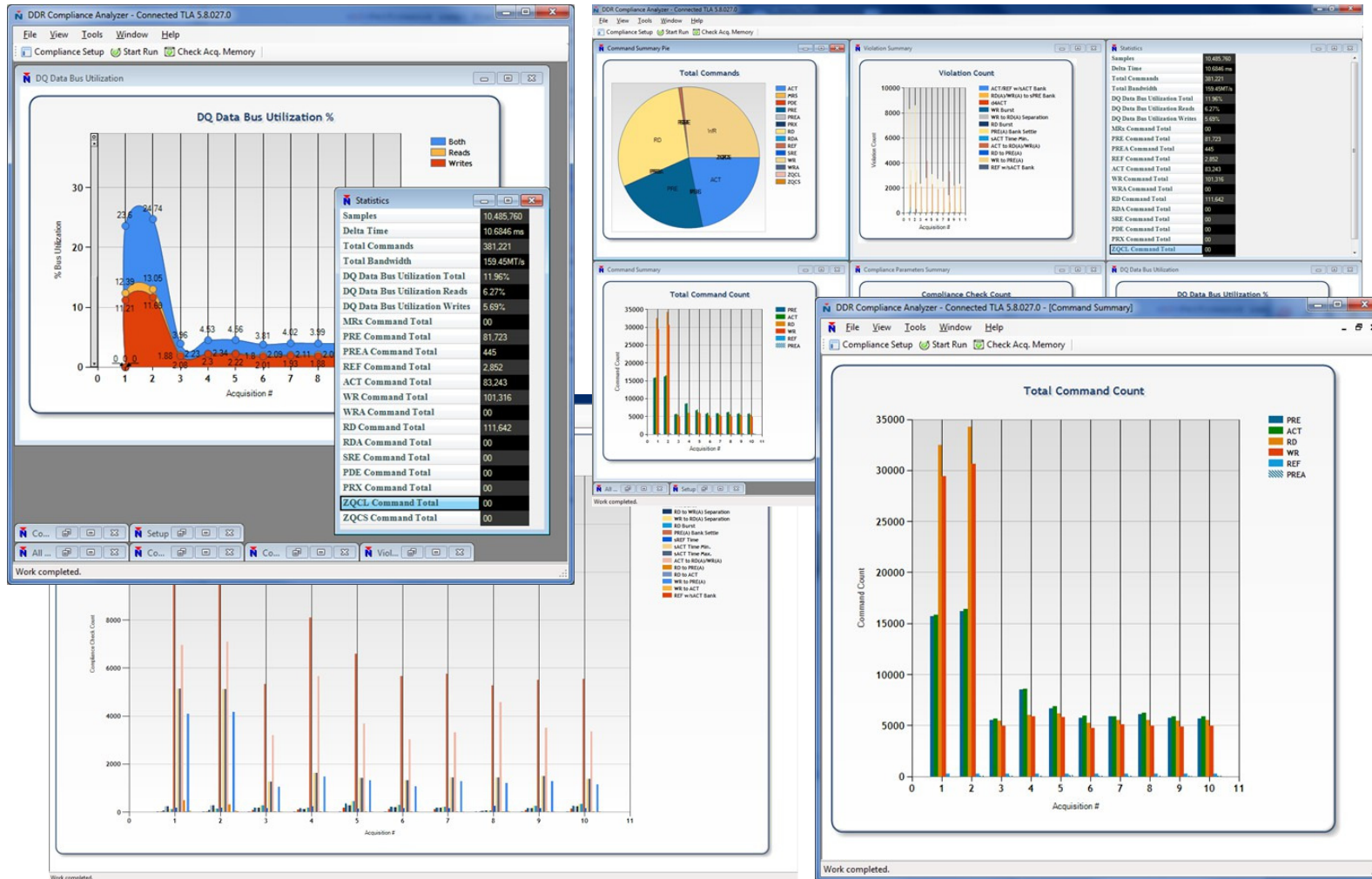


2.4 プロトコル層のコンプライアンス試験 判定結果

Compliance Parameters										
Stat	Num.	Name	Occurrences	Violations	Status	Min.(ps)	Max.(ps)	Average(ps)	Margin(%)	Spec. Value(ps)
?	22	SRE Separation from RD(A)	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	22,488
?	23	MRS Settle	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	22,500
?	24	MRS Burst	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	22,500
?	25	sSREF Time	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	7,500
✓	26	WR Burst	13,386	00	R7 R6 R5 R4 R3 R2 R1 R0	00	00	168,523	128102389400761000.0	7,200
✓	27	RD to WR(A) Separation	13,386	00	R7 R6 R5 R4 R3 R2 R1 R0	00	00	64,028	70310809855578300.0	13,118
?	28	PDX Slow Exit	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	24,000
?	29	Rank DLL Reset to RD(A)	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	959,700
✓	30	WR to RD(A) Separation	22,075	00	R7 R6 R5 R4 R3 R2 R1 R0	00	00	910,959	35155404927789100.0	26,236
✓	31	RD Burst	22,075	00	R7 R6 R5 R4 R3 R2 R1 R0	00	00	164,742	128102389400761000.0	7,200
?	32	sPD Time Min.	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	5,625
?	33	sPD Time Max.	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	70,200,000
✗	34	PRE(A) Bank Settle	26,733	29	R7 R6 R5 R4 R3 R2 R1 R0	00	00	947,528	70273310756988700.0	13,125
✓	35	sREF Time	1,527	00	R7 R6 R5 R4 R3 R2 R1 R0	00	00	5,297,689	8384883669867880.0	110,000
✓	36	sACT Time Min.	19,499	00	R7 R6 R5 R4 R3 R2 R1 R0	00	00	265,733	24595658764946000.0	37,500
✓	37	sACT Time Max.	19,499	00	R7 R6 R5 R4 R3 R2 R1 R0	00	00	265,733	13138706605106.2	70,200,000
✓	38	ACT to RD(A)/WR(A)	19,636	00	R7 R6 R5 R4 R3 R2 R1 R0	00	00	19,999	70273310756988700.0	13,125
✓	39	RD to PRE(A)	15,227	00	R7 R6 R5 R4 R3 R2 R1 R0	00	00	175,659	82029278164841400.0	11,244
?	40	RD to ACT	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	20,614
✓	41	WR to PRE(A)	4,217	00	R7 R6 R5 R4 R3 R2 R1 R0	00	00	164,649	27343092721613700.0	33,732
?	42	WR to ACT	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	20,614
?	43	CKEx Signal After DLL Reset	00	00	R7 R6 R5 R4 R3 R2 R1 R0	NA	NA	NA	NA	959,700

- 判定結果を統計処理
 - － MCA4000はリアルタイムに処理を継続

2.4 プロトコル層のコンプライアンス試験 解析を容易にする表示機能



- 強力なグラフ処理

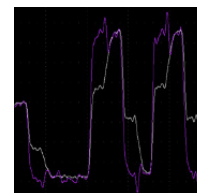
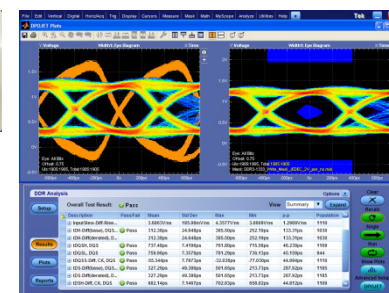
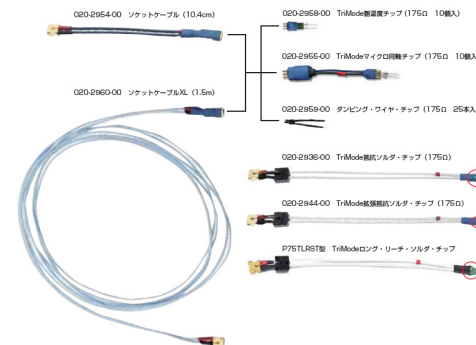
2.5 補足 推奨機器構成

- DDR4-2400 DIMM(全データ)
 - － TLA7012型(本体) 1
 - － TLA7BB4型(モジュール、1.4GHzステート必要) 2
 - － NEX-DDR3INTR-XL(サポート・パッケージ、インターポーザ及びプローブ) 1
 - － NEX-MCATLA-DDR4-SWL(プロトコル検証) 1
- DDR4-2400 DIMM(アドレス、コマンド)
 - － NEX-MCA4-DDR4型(MCA4000、PC制御、プロトコル検証) 1
 - － NEX-DDR3INTR-XL(サポート・パッケージ、インターポーザ及びプローブ) 1
- DDR4-1866 SO-DIMM (全データ)
 - － TLA7012型(本体) 1
 - － TLA7BB4型(モジュール、1.4GHzステート必要) 2
 - － NEX-SODDR4INTR-XL(サポート・パッケージ、インターポーザ及びプローブ) 1
 - － NEX-MCATLA-DDR4-SWL(プロトコル検証) 1
- DDR4-1866 SO-DIMM (アドレス、コマンド)
 - － NEX-MCA4-DDR4型(MCA4000、PC制御、プロトコル検証) 1
 - － NEX-SODDR3INTR-P-PR(サポート・パッケージ、インターポーザ) 1
- DDR4 バス幅16bitの単体DDR4
 - － TLA7012型(本体) 1
 - － TLA7BB4型(モジュール、1.4GHzステート必要) 2
 - － P6962HCD型(プローブ) 1
 - － NEX-DDR3MP96BLASK (サポート・パッケージ、インターポーザ、NEX-PRB2XL) 1
 - － NEX-MCATLA-DDR4-SWL(プロトコル検証) 1

まとめ

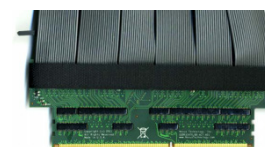
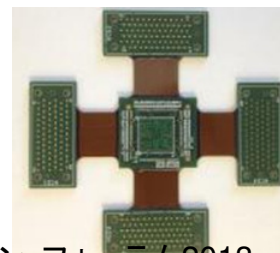
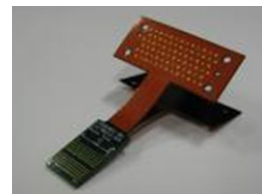
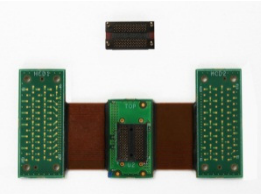
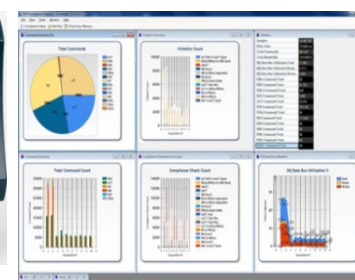
物理層のコンプライアンス

- オシロスコープ (MSO70000Cシリーズ)
 - コマンド・プロトコルの自動測定
 - SDLA Visualizerによる波形補正
- コンプライアンス・ソフトウェア (DDRA)
 - DDR/2/3/4, DDR3L, LPDDR/2/3, GDDR3/5を全てサポート
- 広帯域 Tri-Modeプローブ (P7500シリーズ) とアクセサリ
- BGAインタポーザ
 - チップ部品が回避できるソケット・タイプ、PoPもサポート
 - チップ・サイズと同等のダイレクト・タイプ



プロトコル層のコンプライアンス

- 最強のモジュール (TLA7Bxx) でポスト処理と解析
- リアルタイム処理が可能なアナライザ (MCA4000)
- コンプライアンス・ソフトウェア
 - DDR3/4, LPDDR2/3
- インタポーザ
 - DIMM, SO-DIMM, 単体 (BGA, PoP)





本テキストの無断複製・転載を禁じます。テクトロニクス/ケースレーインストルメンツ
Copyright © Tektronix, Keithley Instruments. All rights reserved.

www.tektronix.com/ja
www.keithley.jp/

 **Twitter** [@tektronix_jp](https://twitter.com/tektronix_jp)
 **Facebook** <http://www.facebook.com/tektronix.jp>

