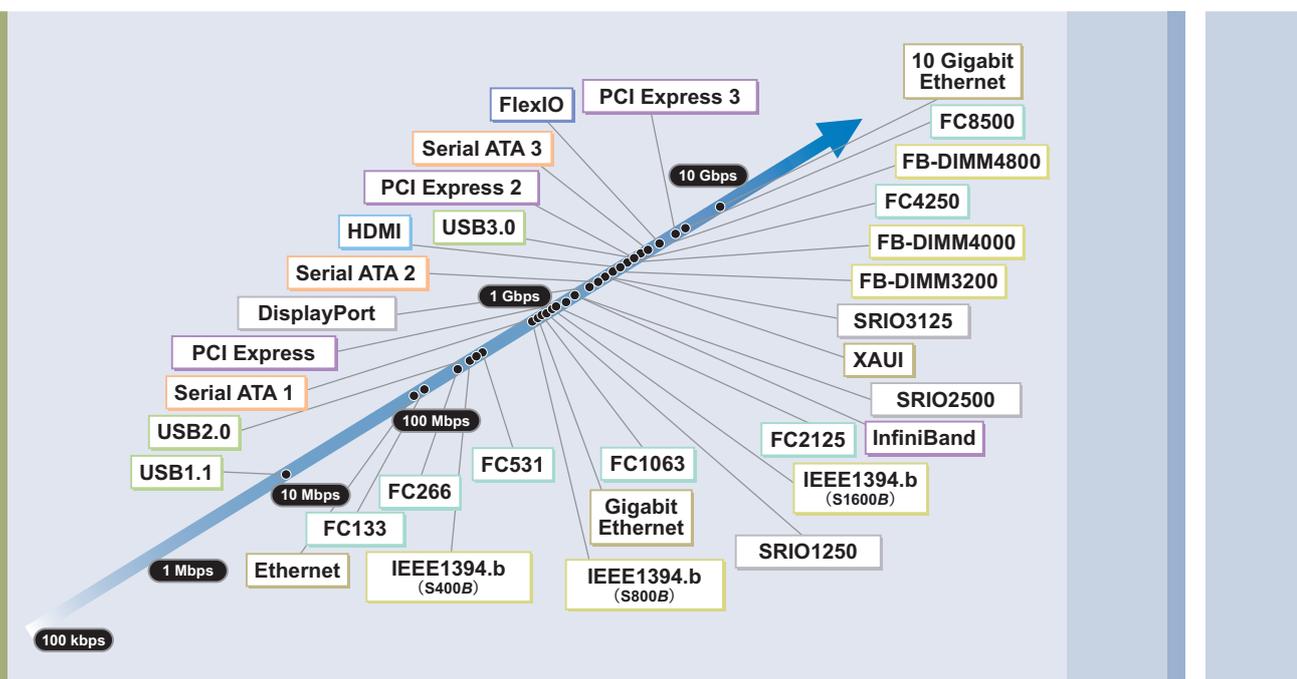


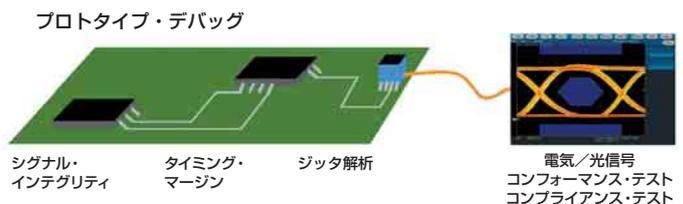
高速シリアル・インタフェース測定のエキスパート



高速シリアル・インタフェース測定のエキスパート

テレコム/データコムのみならず、チップ間やバックプレーンなどの従来ではパラレル伝送方式だった機器内部のインタフェースまでもが高速シリアル化されています。そこでは、オシロスコープの広帯域化・高サンプル・レート化などの基本仕様に加え、アイ・ダイアグラム測定/マスク・テスト、クロック・リカバリ機能、シリアル・トリガやRj/Dj (ランダム・ジッタ/デターミニスティック・ジッタ)測定機能など、シリアル・バス固有の評価方法の充実化、さらに各標準規格に基づいた最新の手法での測定が要求されます。テクトロニクスでは、リアルタイム・オシロスコープとして4チャンネル同時では世界最高帯域20GHzと最高サンプル・レート50GS/sを実現したDSA72004B型デジタル・シリアル・アナライザ、さらにデジタル16チャンネルを備えたMSO72004型ミックスド・シグナル・オシロスコープをはじめ、BERT (ビット・エ

ラー・レート・テスト)、差動TDR、差動プローブ、ロジック・アナライザに至る各種計測器でPhyレイヤからLinkレイヤ、アプリケーション・インタフェースまでの計測、デバッグをサポートします。またPCI-SIG、USB-IF、SATA、HDMI、VESAなど様々な規格標準化団体の作業委員会に参加。実用性と実現可能性を備えた測定規格の策定・提案作業に取組み、いち早く新規格に対するソリューションを提供しております。



ソリューション

波形観測/シグナル・インテグリティ オシロスコープ P.2

- より広い周波数帯域
- 多チャンネル同時高速サンプル・レート
- 高時間分解能・確度

アイ・ダイアグラム、ジッタ計測 オシロスコープ+ジッタ測定ソフトウェア... P.3

- アイ・ダイアグラム測定、アイ・マスク・テスト
- クロック・リカバリ
- シリアル・パターン・トリガ
- Rj、Dj測定
- アイ幅@BER (ビット・エラー・レート) 予測、トータル・ジッタ@BER予測

低容量、差動プローブ P.6

差動インピーダンス計測、差動Sパラメータ サンプリング・オシロスコープ+TDRモジュール... P.8

- 差動TDR (Time Domain Reflectometry)、差動TDT (Time Domain Transmission)

シリアル・データ・リンク解析 オシロスコープ/サンプリング・オシロスコープ P.11 +シリアル・データ・リンク解析ソフトウェア

- ジッタとノイズによるBER解析
- テスト・フィクスチャ・ディエンベッド、チャンネル・エミュレーション、イコライザ

システム・レベルでの可視性 オシロスコープ+ロジック・アナライザ P.12

- 物理層、プロトコル、バックプレーンなどを互いに関連付けての解析機能

BERテスト、レシーバ・ストレス・テスト 任意波形ジェネレータ、BERT、パターン・ジェネレータ... P.15

コンプライアンス・テスト オシロスコープ+コンプライアンス・テスト・ソフトウェア... P.17

参考 なぜ、高速シリアル・インタフェース？

データ帯域幅を拡大するためには

- バス幅を広げる
 - データ転送速度を上げる
- 方法があります。しかしながらバス幅を拡大する場合、問題点として、
- スキューによるタイミングのばらつきが顕著に
 - クロストークやグランド・バウンスなどのノイズの増加を伴います。そこで、
 - 信号線を削減しシリアル化
 - データ転送速度を上げる
- 方法の採用が進んでいます。

さらに、シリアル化は下記技術を利用します。

- プロトコル、パケット転送
 - ス克蘭プリング
 - クロック多重化、8b/10b符号化、プリエンファシス、イコライゼーション
- また、高速化に伴い増加する問題には下記のように対応します。
- 消費電力とEMIの抑制→小振幅化・差動化 (平衡伝送)
 - バス途中でのデバイス接続により生じるスタブ多重反射の抑制→ビア・ツー・ビア接続+スイッチ・ファブリック
- その他のシリアル伝送でのメリットとして、伝送媒体を電気 (メタル) と光 (ファイバ) を選択できる自由度があります。

アイ・ダイアグラム評価、タイミング測定、シグナル・インテグリティに

従来、高速シリアル信号の観測では、広帯域の必要性から通常のアナログオシロスコープでは周波数帯域が足りず、サンプリング・オシロスコープで等価サンプリングを使って波形を繰り返し観測するというのが一般的でした。しかしながら、物理層のみならず各ピン間の時間関係を捕捉したり、周辺回路のシグナル・インテグリティが確保できているかを確認したり、デバッグしたりするためには、実時間サンプリングでの波形観測が不可欠です。また、実時間サンプリングによる解析を要求している規格も増えています。これには、単発で信号を取込み高速のA/Dコンバータを持った広帯域のアナログオシロスコープが必要です。加えて差動でマルチレーン、あるいはデータとクロックを同時に取り込むためには、4チャンネル入力時で最高性能を発揮する必要があります。

当社のDSA72004B型は4チャンネル同時で最高20GHz帯域・50GS/sを実現。13.3Gbps^{*1}までのビット・レートに対応します。加えて、アイ・ダイアグラム測定/マスク・テスト、クロック・リカバリ機能、シリアル・トリガやジッタ測定機能など、シリアル・バス固有の評価方法の充実化が図られています。

さらにMSO72004型ミックスド・シグナル・オシロスコープでは、アナログ4チャンネルに加え、デジタル16チャンネルにより周辺ロジック回路の動作を同時に解析できるほか、業界唯一のiCaptureでプローブ変更することなしに、デジタル・チャンネル・プローブのアナログ波形の観測が可能です。

^{*1} 第3次高調波捕捉の場合。第5次高調波捕捉では8Gbpsまで。

オシロスコープの高速シリアル・インタフェースでの用途には、下記が挙げられます。

アプリケーション

- 信号観測：電気/光
- “エラー”の発見
- コンプライアンス・テスト
- ジッタ解析
- ノイズ解析
- クロストーク解析

測定

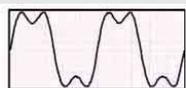
- アイ・ダイアグラム
- パルス形状解析
 - 立上り/立下り時間
 - 振幅
 - パルス幅
- 消光比（光）
- Qファクタ（Quality Factor）
- ジッタ（Rj, Dj測定）
- アイ幅@BER、トータル・ジッタ@BER
- マルチレーン解析
- レーン間スキュー

参考 ビット・レートと必要な周波数帯域の目安

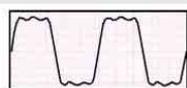
シリアル・インタフェースでは、どれだけデータを転送できるかの速度をビット・レート (bps: bit per second) で表現します。NRZ (Non-Return to Zero) で転送する場合、基本波周波数とビット・レートは下記関係となります。

基本波周波数 = ビット・レート / 2

理想的には使用するオシロスコープの周波数帯域は基本波の5倍（第5次高調波までの観測）が必要です（実際は立上り時間をも考察する必要があります。またコンプライアンス・テストでは規格標準化団体が周波数帯域を定めている規格もあります）。



第3次高調波まで捕捉した波形：マスク・テストでマージンが低下しているように判断される可能性があります。



第5次高調波まで捕捉した波形

各規格と必要な周波数帯域

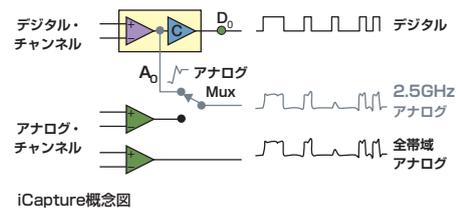
シリアル・バス データ・レート	基本波 周波数	第3次高調波 周波数	第5次高調波 周波数 ^{*1}
2.5Gbps (PCI Express)	1.25GHz	3.75GHz	(6.25GHz)
3.0Gbps (SATA2)	1.5GHz	4.5GHz	7.5GHz (10.0GHz)
3.125Gbps (XAUI)	1.56GHz	4.69GHz	7.81GHz
4.25Gbps (Fibre Channel)	2.125GHz	6.375GHz	10.625GHz
4.8Gbps	2.4GHz	7.2GHz	12.0GHz
5.0Gbps (PCI Express Rev.2.0, USB 3.0)	2.5GHz	7.5GHz	(12.5GHz)
6.0Gbps (SATA3)	3.0GHz	9.0GHz	15.0GHz (12.0GHz)
6.4Gbps	3.2GHz	9.6GHz	16.0GHz
8.0Gbps (PCI Express Rev.3.0)	4.0GHz	12.0GHz	20.0GHz (16.0GHz)
8.5Gbps (Fibre Channel)	4.25GHz	12.75GHz	21.25GHz
10.0Gbps (XFI)	5.0GHz	15.0GHz	25.0GHz

^{*1} 括弧内は規格での規定、あるいは提案されている周波数帯域

DSA70000Bシリーズ デジタル・シリアル・アナライザ

DPO70000Bシリーズ デジタル・フォスファ・オシロスコープ

MSO70000シリーズ ミックスド・シグナル・オシロスコープ



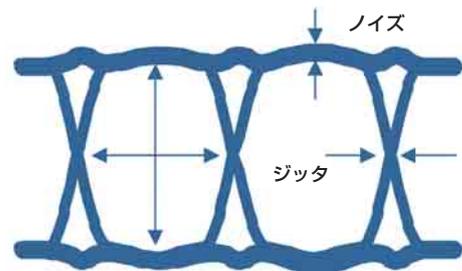
型名	DSA72004B型 DPO72004B型 MSO72004型	DSA71604B型 DPO71604B型 MSO71604型	DSA71254B型 DPO71254B型 MSO71254型	DSA70804B型 DPO70804B型 MSO70804型	DSA70604B型 DPO70604B型 MSO70604型	DSA70404B型 DPO70404B型 MSO70404型
最高周波数帯域	20GHz ^{**2}	16GHz	12.5GHz	8GHz	6GHz	4GHz
10-90%立上り時間	19ps	24.5ps	32ps	49ps	65ps	98ps
20-80%立上り時間	14ps	17ps	22ps	34ps	45ps	68ps
最高サンプル・レート	50GS/s@4チャンネル			25GS/s@4チャンネル		
最大波形レコード長	250Mポイント			100Mポイント		
ジッタ・ノイズ・フロア(rms)	400fs	300fs		450fs		
デルタ時間測定精度 (rms)	1.02ps	900fs	940fs	1.14ps	1.29ps	1.61ps
垂直軸ノイズ ^{**3}	0.77%	0.43%	0.38%	0.35%	0.32%	0.28%
フラットネス	±0.5dB (最高周波数帯域の半分まで)					
その他	■ 每秒30万波形取込レート (4チャンネル同時) ■ リアルタイム・プロトコル・トリガ (3.125Gbps : DPO70000Bシリーズ, MSO70000シリーズではオプション。6.25Gbps : オプション) ■ DSP特性補正、DSP帯域拡張 (DPO/DSA72004B型、MSO72004型) ■ 周波数帯域選択 ■ 3.125Gbps/6.25Gbpsエラー・ディテクタ (オプション)					

^{**2} 10mV/divは18GHzまで

^{**3} フル・スケールに対する%

シリアル・インタフェース計測では、オシロスコープによるアイ・ダイアグラム評価、ジッタ解析が基本！

立上り/立下り時間、オーバershoot、アンダershoot、リングング、パルス振幅、パルス幅などのパルス形状解析、消光比（光）、Qファクタ、ノイズ、ジッタの総合的な評価手段として用いられている方法が、波形を連続的に重ね合わせ表示するアイ・ダイアグラムです。波形トレースの開口部が目（Eye）のように見えることから、その名がつけられました。アイ開口が広いほどノイズ、ジッタに対するマージンが増加し、受信特性も良好になります。一方、トップ、ベース部分が太くなったり、遷移部分が広がると受信特性が悪化します。このようにアイ開口率はBER（Bit Error Rate）と相関があります。



アイ・ダイアグラムとノイズ、ジッタ

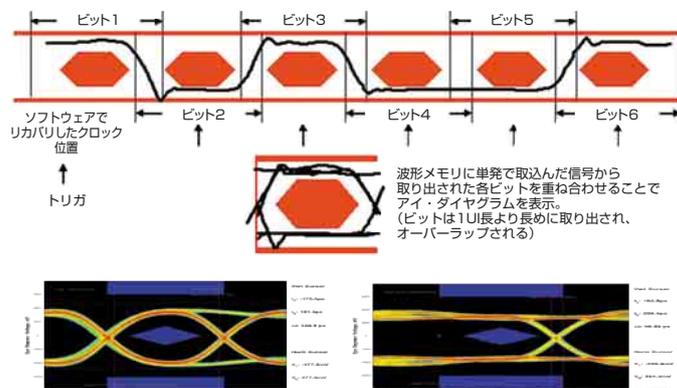
ソフトウェア・クロック・リカバリによるアイ・レンダリング、ジッタ評価

従来からのアイ・ダイアグラムは、リカバリされたクロックをトリガ・ソースとして使用し、等価時間サンプリングを使用して、アイ・ダイアグラムの表示・テストをします。また波形をボックスで領域指定した範囲内の波形の分布頻度をヒストグラム化することで手軽にジッタやノイズの測定が可能です。ただし、信号が繰り返しである必要があります。この方法は高速性が長所であり、デバッグ、トラブルシューティングに適しています。

一方DPOJETジッタ&アイ・ダイアグラム解析ソフトウェアでは、1回のトリガ・イベントで連続したビット・ストリームをリアルタイム・サンプリングで取込み、ソフトウェアにてクロックのリカバリおよびリカバリされたクロックを基準にアイ・ダイアグラムのレンダリングとジッタ評価を行います。

特長として

- トリガ・ジッタの影響がなく、ジッタ・ノイズ・フロアが最高で300fs（DSA/DPO70000Bシリーズ、MSO70000シリーズ）まで低くなり、サンプリング・オシロスコープに匹敵する低ジッタのアイ・ダイアグラムが得られます。
- クロック・リカバリがソフトウェア演算で行われるため、1次PLLや2次PLL、平均周期など様々なクロック・リカバリ・モデルを使用できます。これは、標準規格が絶えず進化する世界では重要です。
- PCI Expressで求められているような、ディエンファシス（プリエンファシス）で信号振幅を操作するビットと操作しないビットを分離し、それぞれ個別のマスク・テストを実行できます。
- 連続したビットに対するアイ・ダイアグラムの描画が可能です。
- アイ・ダイアグラムの描画のみならず、Rj/Dj（ランダム・ジッタ/デターミニスティック・ジッタ）、アイ幅/トータル・ジッタ@BER予測も含めたジッタ解析を同時に行うことができます。

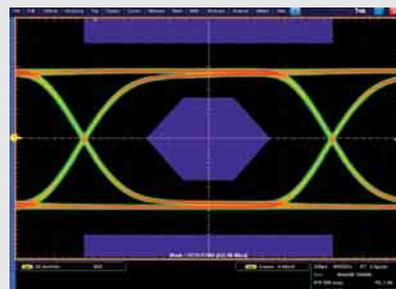


ソフトウェアによるアイ・ダイアグラム・レンダリング：連続したビットの評価および遷移ビットと非遷移ビットを分離して表示が可能

参考

リアルタイム性の高い等価時間サンプリングによるアイ・ダイアグラム表示もサポート

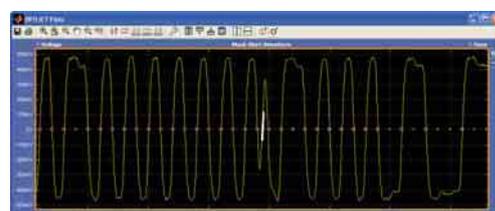
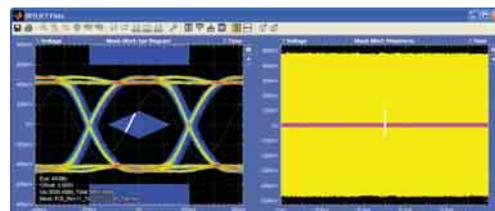
- 150種類を超える各種規格、ユーザ定義マスク・テスト
- パス/フェイル・テスト
- アイ・ダイアグラム自動位置調整
- アイ・ダイアグラム測定機能
- カラー階調表示による頻度情報
- DSA70000Bシリーズ：標準装備。DPO70000Bシリーズ、MSO70000シリーズ：オプション（ユーザ定義マスクは標準）



マスク・テスト（OC12/STM4）

アイ・マスク・テスト

- 下記を含む各種規格、ユーザ定義マスク・テスト
 - SATA1/2、XAUI、Gigabit Ethernet、InfiniBand、FibreChannel、1394b
 - PCI Express、USB3.0、シリアルRapidIO
 - FB-DIMM
- ビット・ロケータにより波形上のマスク違反位置を表示



マスク違反とビット・ロケータ（DPOJET）

振幅、タイミング、ジッタなどの主要な測定を99項目まで同時に測定

アイ・ダイアグラムの表示、マスクに対する違反だけでなく、周期/周波数、振幅、タイミング、ジッタなどを同時に測定し、規格に対する結果のNo Go/Go判定や測定結果をリスト化して出力することもできます。またクロックのジッタとデータに対するアイ・ダイアグラム測定など同時に複数の信号に対する測定も可能です。

測定項目 (オプションでPCI Express、USB3.0などの規格測定を追加可能)

周期/周波数	周波数、周期、N周期、サイクル・ツー・サイクル周期、正のパルス幅、負のパルス幅、正のデューティ・サイクル、負のデューティ・サイクル、正のサイクル・ツー・サイクル・デューティ比、負のサイクル・ツー・サイクル・デューティ比
タイミング	立ち上がり時間、立下り時間、ハイ時間、ロー時間、セットアップ、ホールド、スキュー
振幅	ハイ、ロー、ハイ・ツー・ロー、COMMON・モード、ディエンファシス量、差動
アイ・ダイアグラム	アイ高さ、アイ幅、幅@BER、マスク・ヒット
ジッタ	TIE (タイム・インターバル・エラー)、RJ、DJ、TJ@BER、PJ、DCD、DDJ、RJ(σ - σ)、DJ(σ - σ)、位相ノイズ



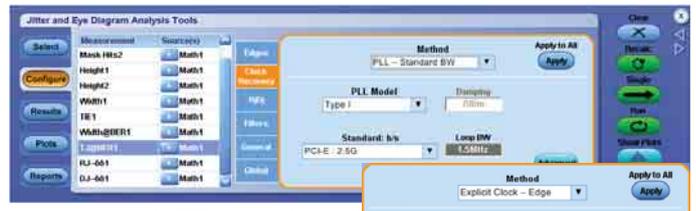
DPOJETの測定選択画面。選択された項目を99項目まで同時に測定



測定結果表示例

シリアル・インタフェース計測ではクロック・リカバリ機能が不可欠です。

クロック埋め込みタイプのインタフェースでは、リカバリされたクロック信号を基準に、周波数分周されたクロックを併走するタイプのインタフェースでは、通倍されたクロックを基準にアイ・ダイアグラム、ジッタを評価する必要があります。しかもジッタ成分によっては、クロック・リカバリに用いるPLLの特性によりジッタ測定結果(アイ幅)が異なるため、規格に適合した特性で測定する必要があります。DPOJETジッタ&アイ・ダイアグラム解析ソフトウェアでは、様々な規格に適合したクロック・リカバリ特性を選択できます。



クロック・リカバリ設定画面 (DPOJET)

- PLL
 - ループBW: 規格 (ビット・レート/1667)、またはユーザBW
 - 1次PLL
 - 2次PLL+ダンピング・ファクタ

- 平均値 (Mean)
- 中央値 (Median)
- 外部クロック通倍、PLL併用の通倍

さらにハードウェアの内蔵クロック/データ・リカバリ回路(CDR)により、被測定シリアル信号からクロックをリカバリし、内部的にトリガをかけられます (Commトリガ)。また、リカバリしたクロックおよびデータの外部出力が可能ですので、受信側周辺回路の同時検証も行えます。

- クロック・リカバリ: 1.5Mbps~6.25Gbps
- DSA70000Bシリーズ: 標準装備 (3.125Gbpsまで)、オプション (6.25Gbpsまで)。
- DP070000Bシリーズ、MS070000シリーズ: オプション

規格ごとのPLL要求仕様例

PCI Express (Rev.1.1)	1次PLL (1.5MHz)
Serial ATA2	2次PLL (0.9MHz/1.8MHz 0.707)
USB3.0	2次PLL (4.9MHz、0.707)

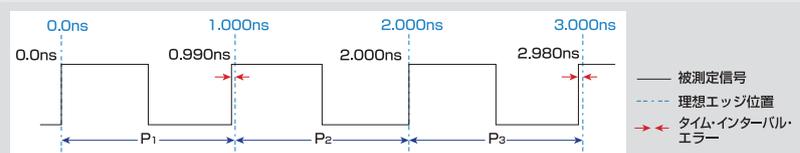
Rj/Djの測定を実現

さらにDPOJETでは、タイム・インターバル・エラーからRj/Djの測定およびDjの詳細なジッタ成分 (DDJ、DCD、Pj) の測定を実現しました。また規格で要求されているDual-DiracモデルによるRj (δ - δ) /Dj (δ - δ) の測定も可能。しかもFibre Channelでのバスタブ曲線からの算出およびPCI ExpressでのQスケールからの算出と規格に合った方法を選択できます。

DPOJETで採用しているタイム・インターバル・エラーをスペクトラム解析するRj/Dj分離方法は、現在、規格・業界団体 (ANSI T11.2 FC-MJSQ) で認定されたリアルタイム・オシロスコープで唯一の方法です。

参考 タイム・インターバル・エラー

タイム・インターバル・エラーは、一連のデータ・ビットにおける理想的なエッジ位置からの偏差です。



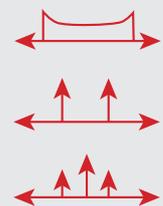
0.990ns	1.010ns	0.980ns	周期ジッタ
-0.010ns	0.000ns	-0.030ns	サイクル・サイクル・ジッタ
		-0.020ns	タイム・インターバル・エラー (TIE)

周期ジッタ 対 サイクル・サイクル・ジッタ 対 タイム・インターバル・エラー

参考 デターミニスティック・ジッタの種類です。

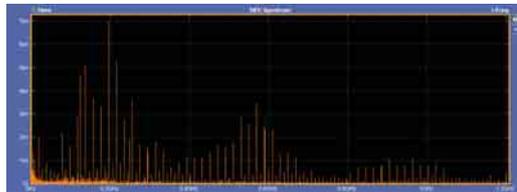
- 周期性ジッタ: Pj (Periodic Jitter) 電源、CPUクロック、オシレータなどが原因
- デューティ・サイクル歪み: DCD j (Duty Cycle Distortion) } オフセット・エラー、ターンオン時間の歪みが原因
- パルス幅歪み: PWDj (Pulse Width Distortion)
- パターン依存性ジッタ: PDj (Pattern Dependent) } 隣接するデータ・ビットの変化が原因で発生、帯域特性など伝送ラインの影響
- データ依存性ジッタ: DDj (Data Dependent)
- シンボル間干渉: ISI (Inter Symbol Interference)

代表的な確率密度関数 (PDF)

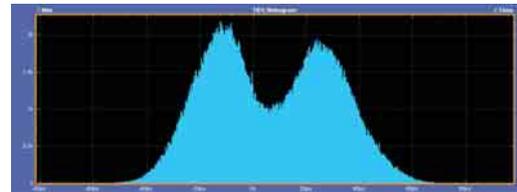


多彩な表示が可能

結果も、数値のみならず、アイ・ダイアグラム、ヒストグラム、スペクトラム、タイム・トレンド、データ・アレイ、バスタブ、伝達関数、位相ノイズのプロット表示が可能です。



スペクトラム表示：ピリオディック・ジッタの周波数を知ることにより、その原因を特定化することができます。



ヒストグラム表示：ジッタの分布および成分を概略的に把握できます。この例では、RjにDj (DDJ) が含まれています。

特定BERでのアイ幅とトータル・ジッタを予測も可能

ガウス分布をとるランダム・ジッタの確率密度関数 (PDF: Probability Density Function) は、無限の広がりを持つため、レシーバがビット・エラーを引き起こすような大きなジッタは、極めて低い頻度でも、長期間では出現する可能性があり、伝送品質に影響を与えます。そのためランダム・ジッタの影響はデータ・レートの高速化に伴い無視できなくなっており、アイ・ダイアグラムやジッタは、特定BERで規定される傾向にあります。一方、これらの測定には極めて長時間を要します。例えば5Gbps (200ps) でBER 10^{-12} 、つまり 1×10^{12} ビットに一度のエラー発生を測定しようとする、最低でも200秒測定する必要があります。加えてBERはランダムな事象のため、測定精度を上げるためには何回もの測定が必要となり、その測定は、BERTでは可能でも、オシロスコープでは事実上不可能です。

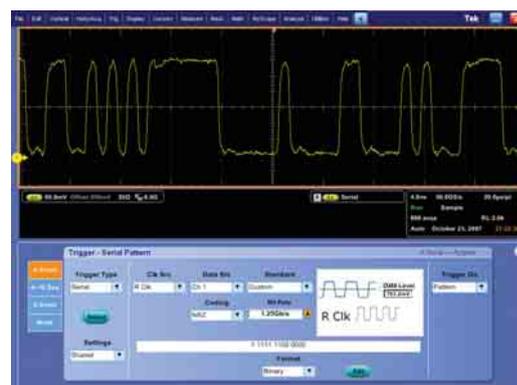
UI内での各サンプル・ポイントにおけるビット・エラー・レートは数学的には確率密度関数を積分した累積密度関数曲線 (CDF: Cumulative Distribution Function) となり、形状が浴槽に似ていることからバスタブ曲線と呼ばれます。RjとDjを別々に測定できると、現在のジッタ測定結果から正確なバスタブ曲線が算出できるので所定のBERでのアイ幅およびトータル・ジッタを推定することができます。



バスタブ曲線：所定のBERでのアイ幅およびトータル・ジッタを推測

シリアル・パターンでトリガ可能

Kコードなど特定パターンを捕捉したい場合に威力を発揮するのがシリアル・パターン・トリガ機能です。例えば特定パケット先頭でトリガを掛ける場合などに便利です。2進または16進のビット・パターン設定により、入力されたシリアル信号単独でのトリガが可能です。しかもハードウェア・ベースでの検出なので、取込んだデータに対するサーチ&ストップのソフトウェア・ベースと異なり、とりこぼすことがありません。



シリアル・パターン・トリガ設定例

- NRZシリアル・トリガ機能：～1.25Gbps (64ビット)
- 8b/10bシリアル・トリガ機能：1.25Gbps～6.25Gbps (40ビット)
- DSA70000Bシリーズ：3.125Gbps：標準、6.25Gbpsオプション。DPO70000Bシリーズ、MSO70000シリーズ：オプション

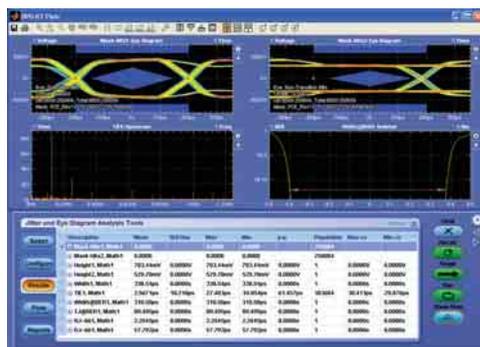
テスト・フィクスチャの影響除去、チャンネル・エミュレーション、イコライザを適用しての測定を実現

データ転送レートの高速化につれ、テスト・フィクスチャの影響の除去 (フィクスチャ・ディエンベッド) やイコライザを通した状態、チャンネルの影響を加えた状態などのリンク全体での解析が求められています。SDLAシリアル・データ・リンク解析ソフトウェアはこれらの問題を解決しました。→11ページ

DPOJET

ジッタ&アイ・ダイアグラム解析ソフトウェア※1

- 10Gbps超までのリアルタイム・アクイジションによるクロック・リカバリとアイ・レンダリング、ジッタ/タイミング測定
- 周期/周波数、振幅、タイミングおよびジッタを含むパラメトリック測定
- 任意BERでのアイ開口/トータル・ジッタ、Rj/Dj計測
 - 唯一の規格・業界団体が認定されたリアルタイム・オシロスコープでのRj/Dj分離方法 (ANSI T11.2 FC-MJSQ)
- 様々なデータ解析を可能にする複数のプロットを表示可能
 - アイ・ダイアグラム、ヒストグラム、スペクトラム、バスタブ
- 外部クロック通倍を含む様々なクロック・リカバリ・アルゴリズムを選択可能
- レポート機能
 - MHTML形式 (MIME Encapsulation of aggregate HTML) で、複数の画像ファイルも1つのファイルとして管理



※1 DSA70000Bシリーズ：標準。DPO70000Bシリーズ、MSO70000シリーズ：オプション

Opt. PTU、Opt. PTH、Opt. STU

プロトコル・トリガ/デコード

デコード機能

- 8b/10b符号化シリアル信号のデコード、キャラクタとプリミティブの表示
- 物理層およびリンク層に渡って発生するイベントを相関表示 (信号とトラフィック)
- テキスト・ファイルにエクスポート可能

プロトコル・トリガ機能

- プロトコル・プリミティブとキャラクタによるリアルタイム・トリガ
- 特定の8b/10b符号化キャラクタおよびシーケンスによるトリガ
- 連続した4ワード/40ビットのプリミティブ、オーダー・セットでトリガ (例：K28.5 K28.0 K28.0 K28.0)
- 標準仕様、ユーザ定義のプリミティブ/オーダー・セット・リストからパターンの選択が可能 (例：K28.5 K28.3 K28.3 K28.3→IDLE)
- 正、負、双方のディスパリティ選択可能
- ディスパリティ・エラー、キャラクタ・エラーでのトリガ

最高データ・レート	3.125Gbps	6.25Gbps
DSA70000Bシリーズ	標準	Opt.STU
DPO70000Bシリーズ	Opt.PTH	
MSO70000シリーズ	Opt.DSAH/DSAU、あるいはPTH	Opt.PTU



差動伝送信号解析が不可欠

信号の高速化では、ジッタの低減とEMIの抑制のために、LVDS (Low Voltage Differential Signaling)、CML (Current Mode Logic)、PECL (Positive ECL/Pseudo ECL) などの小振幅・差動信号が利用されます。このため、広帯域・差動プローブが不可欠です。当社では最高20GHz帯域の差動プローブを実現しています。

測定パッド、SMA接続に対する高い信号忠実度、同相除去比を確保しての差動測定が可能

高速信号の差動測定には、測定パッドやビアおよびSMAコネクタに対して各々下記2種類の方法があります。

- 2チャンネル間の演算波形による擬似差動測定
- アクティブ差動プローブによる

■ 測定パッド：アクティブ・プローブによる2チャンネル間の演算波形による擬似差動測定

オシロスコープの2つのチャンネルに、差動信号のV (+) およびV (-) を入力し、波形演算機能 (Math) を使って2チャンネル間の信号の減算波形を表示する方法です。たとえば、 $V_{DIFF} = \text{Math1} = \text{Ch1} - \text{Ch2}$ という形で定義します。ポイントは、

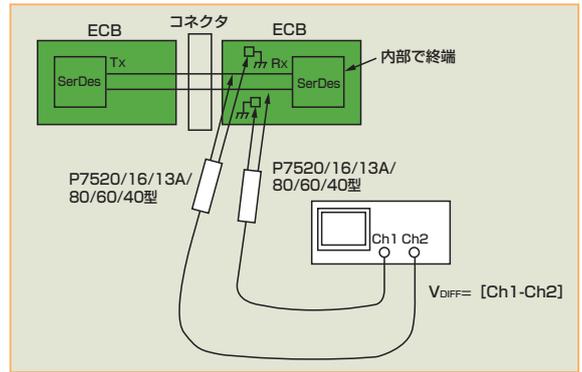
- 2本の同一アクティブ・プローブを使用
- グランド・パスの違いによる波形への影響をなくするため、2本のプローブのグランドを同じ点からとる
- 使用前にスキュー調整しておく

2チャンネル間の演算波形による測定は、下記場合に使用します。

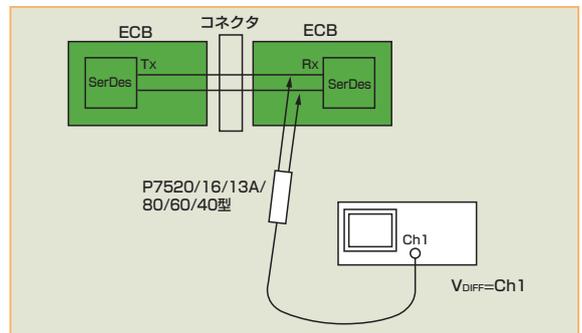
- 差動信号の測定ポイントの間隔が離れている場合
- 伝送系を通じた状態でのトランスミッタの評価
- PCI Expressの V_{CMP} などのように、差動信号のV (+)、V (-) の非対称性を表すコモン・モード電圧を測定する場合。この場合、演算波形は $V_{CMP} = \text{Math2} = (\text{Ch1} + \text{Ch2}) / 2$ とします。

参考

高周波数帯では、デバイス内部の寄生容量、寄生インダクタンスにより伝送路に対してインピーダンスが不整合状態となります。その結果、デバイスが接続された状態でのプロービングでは、反射信号が影響するため測定が正しく行えない可能性があります。そのため、標準規格はレシーバ接続状態ではなく理想終端した状態で規定され、SMAケーブルで接続した計測器内部で終端した状態で測定します。



擬似差動プローブ接続



真の差動プローブ接続

P7520型・P7516型・P7513A型・P7508型・P7506型・P7504型 TCA 20GHz・16GHz・13GHz・8GHz・6GHz・4GHz TriMode差動プローブ

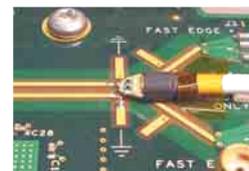
型名	P7520型	P7516型	P7513A型	P7508型	P7506型	P7504型
周波数帯域	20GHz ^{*1}	16GHz	13GHz	8GHz	6GHz	4GHz
10~90%立上り時間 (代表値)	27ps未満 ^{*1}	32ps未満	40ps未満	55ps以下	75ps以下	105ps以下
20~80%立上り時間 (代表値)	18ps未満 ^{*1}	24ps未満	28ps未満	35ps以下	50ps以下	70ps以下
差動入力レンジ	±625mV (5:1)、 ±1.6V (12.5:1)			±750mV (5:1)、 ±1.75V (12.5:1)		
コモン・モード入力レンジ	+3.7~-2V		+4~-2V			
ケーブル長	1m		1.3m			

*1 差動モード時



P7520型・P7516型・P7513A型・P7508型・P7506型・P7504型 (P75PDPM型モジュールは含まれません)

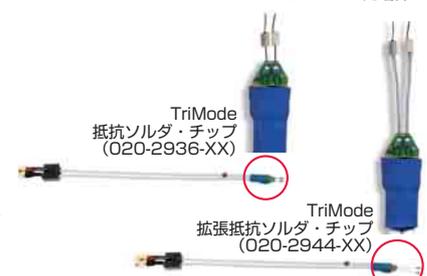
- 測定モード — 差動：A-B、シングルエンド：AあるいはB、コモン・モード：(A+B)/2
- 接続形態 — はんだ付け：ロング・リーチ・ソルダ・チップ (P75TLRST型)、抵抗ソルダ・チップ、耐温度チップ。ハンドヘルド/プロービング・アーム：P75PDPM型。その他：G3POコネクタ、恒温槽ケーブル



P75TLRST型ロング・リーチ・ソルダ・チップはんだ付け例

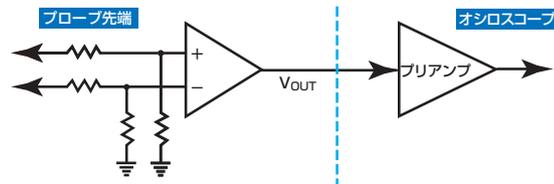


P75PDPM型精密差動プロービング・モジュール先端部



■ 測定パッド：アクティブ差動プローブによる

プローブ先端の能動素子で直接に差動信号をシングルエンドに変換するアクティブ差動プローブを使用する方法です。差動信号ペアに対し1チャンネルだけの使用で済みます。そのため、スキュー調整が不要です。さらに新しい概念のTriMode差動プローブでは、1本のプローブで接続を変更することなく、差動信号の差動 [V (+) - V (-)], シングルエンド [V (+) あるいはV (-)], コモン・モード [V (+) + V (-) / 2] を切り替えて測定できます。現在当社では4GHzから業界最高の20GHz帯域までの差動プローブをTriModeで実現しています。

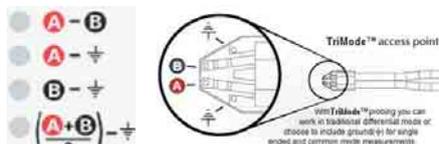


アクティブ差動プローブ概念図

■ SMAコネクタ：擬似差動接続

XAUI (10Gigabit Attachment Unit Interface), PCI Express, USB3.0などのトランスミッタ、あるいはコネクタ端での評価ではテスト・フィクスチャやベンダのエバリュエーション・ボードを使用し、レシーバの代わりにオシロスコープ入力にてSMAコネクタで直接信号を受けて測定します。その場合、前述の波形演算機能を使用した擬似差動となり、

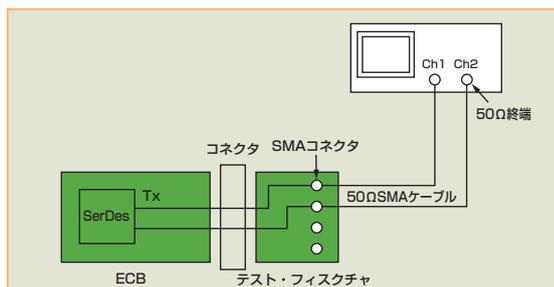
- 2チャンネル入力が必要とする。
- スキュー調整が不可欠。
- DCバイアスされている場合、オシロスコープ内部でグランドに終端されてしまうためにバイアスTやDCブロックなどを併用する。



TriMode差動プローブの測定モード

■ SMAコネクタ：真の差動接続

そこで、SMA入力差動プローブを使用しますと、通常の差動プローブと同様に、入力された差動信号はプローブ先端にてシングルエンド化されますので高い同相除去比を持ちます。またオシロスコープの入力は1チャンネルのみの使用で済むので、チャンネル間スキュー調整が不要です。終端電圧は、グランド電位か、テスト対象のロジック・ファミリに適した電圧を印加することができます。現在当社では13GHzまでのSMA入力差動プローブを実現しています。



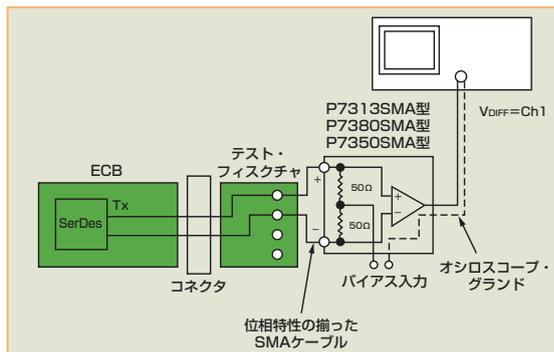
SMAによる擬似差動プロービング

プローブ先端から周波数特性を補正することで優れた信号忠実度を実現

DSA/DPO70000B, MSO70000シリーズでは、プローブ先端からゲイン、位相特性をDSPで補正することで、優れた信号忠実度を実現しています。

恒温槽やシャーシ、ラック内での使用に

1.5m長のソケット・ケーブルを併用することで、恒温槽および基板が密集しているシャーシ、ラック内でも使用できます。先端からの特性をArbFilter (FIRフィルタ) で補正することで最高10GHz (差動モード) を実現。耐温度プローブ・チップの併用にて-55~150℃で使用可能です。



SMAによる真の差動プロービング (SMA入力差動プローブ)

P7313型・P7380A型・P7360A型・P7340A型
TCA 12.5GHz・8GHz・6GHz・4GHz差動プローブ

型名	P7313型	P7380A型	P7360A型	P7340A型
周波数帯域	13GHz*1	8GHz	6GHz	4GHz
10~90%立上り時間 (保証値)	40ps以下	55ps以下	70ps以下	100ps以下
20~80%立上り時間 (代表値)	25ps以下	35ps以下	50ps以下	75ps以下
差動動作入力レンジ	±1V (5:1), ±2.5V (25:1)		±625mV (5:1), ±2V (25:1)	
オフセット・レンジ	+4~-3V			
差動入力DC抵抗	100kΩ			

*1 ストレート広帯域Tip-Clip装着にて、DPO/DSA72004B型、DPO/DSA71604B型で周波数帯域補正機能 (BW+) 使用時。

■ Tip-Clip™による広範囲な使い方

- はんだ付け
- ハンドヘルド
- プロービング・アーム
- ヘッド・ピン



ハンドヘルド例



P7313型・P7380A型・P7360A型・P7340A型

P7313SMA型・P7380SMA型・P7350SMA型
TCA 13GHz・8GHz・5GHzSMA入力差動プローブ

型名	P7313SMA型	P7380SMA型	P7350SMA型
周波数帯域	13GHz	8GHz	5GHz
減衰比	12.5:1/2.5:1		
差動動作入力レンジ	800mV _{pp} /3.6V _{pp}	625mV _{pp} /3.0V _{pp}	5V _{pp}
DCバイアス入力レンジ	3.6~-2.5V	±2.5V	±1.25V



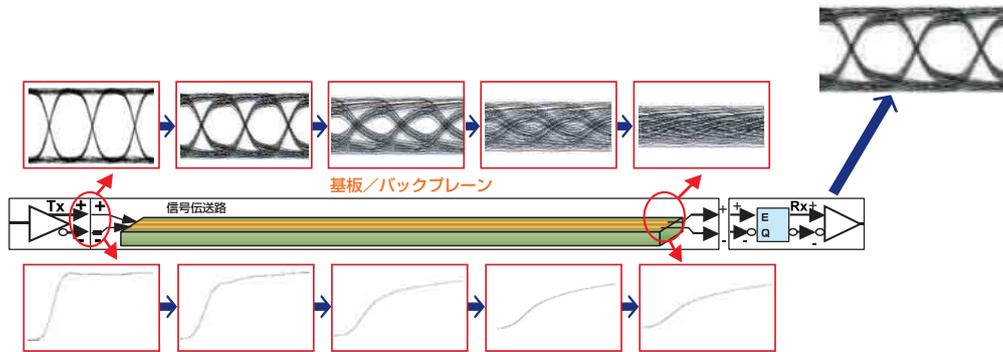
P7313SMA型・P7380SMA型



P7350SMA型

アイ・ダイアグラム、ジッタ、インターコネクト評価など シリアル・データ・リンク解析機能を1台に集約

サンプリング・オシロスコープは、入力回路に帯域制限要因になるアッテネータとプリアンプを持たせずに、入力信号を高速・低アパーチャ・ジッタのサンプラで直接サンプリングするオシロスコープで、極めて周波数帯域が高いのが特徴です。現在光で80GHz、電気では70GHz超まで実現しています。10Gbpsを超える高速シリアル・インタフェース信号のアイ・ダイアグラム、信号品質評価、ジッタ、ノイズ、BER解析などに使用できます。また業界唯一の真の差動TDRにより、差動インピーダンス、Sパラメータ、モデリングとアイ・ダイアグラム・シミュレーションなどのインターコネクト評価、さらにレシーバ・イコライザを含むチャンネル・シミュレーションが可能など、1台でシリアル・データ・リンク解析に必要な機能を集約できます。なお、被測定信号は繰返し信号であることが必要です。



基板、バックプレーン伝送にて高周波損失の影響を受けた信号と、レシーバ・イコライザによる改善状況

アイ・マスク・テスト

- 各種規格、ユーザ定義マスク・テスト
- アイ・ダイアグラム・オートセット
- アイ・ダイアグラム測定機能
- カラー階調表示による頻度情報

アイ・ダイアグラム測定項目

- 消光比 (絶対値、%およびdB)、アイ振幅、アイ・トップ、アイ・ベース、アイ幅、アイ・クロス%、ジッタ (p-p、実効値および6σ)、ノイズ (P-Pおよび実効値)、S/N比、サイクル歪み、Qファクタ

インターコネクト評価

- 差動インピーダンス →9ページ
- Sパラメータ、モデリングとアイ・ダイアグラム・シミュレーション →10ページ

ジッタ、ノイズ、BER、リンク解析 →11ページ

DSA8200型 デジタル・シリアル・アナライザ

- 70GHzを超える最高周波数帯域
- 最高80GHz光周波数帯域
- モジュール構造
 - 電気：5種類、TDR：3種類
 - 光：5種類
 - その他：クロック・リカバリ、フェーズ・リファレンス、パターンシンク・トリガ
- 垂直分解能：14ビット
- 最大8ch同時アキュジション
- 抜群の時間軸安定度
 - ショート・ターム・トリガ・ジッタ (RMS、代表値)：800fs (標準)、200fs (オプション)
 - ロング・ターム・トリガ・ジッタ：水平ポジションの0.04ppm (最大)
- トリガ帯域：12.5GHz



電気サンプリング/TDRモジュール

型名	周波数帯域	TDRシステム立上り時間 (入射/反射)	入力チャンネル数	アプリケーション
80E10型	50/40/30GHz	12ps/15ps	2	真の差動TDR、Sパラメータと障害検出
80E09型	60/40/30GHz	—	2	広帯域、低ノイズ信号測定とジッタ特性評価
80E08型	30/20GHz	18ps/20ps	2	真の差動TDR、Sパラメータ
80E07型	30/20GHz	—	2	ジッタ特性評価
80E06型	70+GHz (代表値)	—	1	高速デバイスの特性評価
80E04型	20GHz	23ps/28ps	2	TDRインピーダンス/クロストーク特性評価
80E03型	20GHz	—	2	デバイスの特性評価
80E01型	50GHz	—	1	広帯域、動作電圧の高い信号取込

80A03型 TCAプローブ・インタフェース・モジュール

- 広帯域アクティブ・プローブや差動プローブが使用可能に

※サンプリング・ヘッドおよびプローブは含まれておりません。



82A04型 フェーズ・リファレンス・モジュール

- 2~60GHz超までの幅広い周波数に対応
- 200fs (代表値) の超低ジッタを実現
- 柔軟な動作モード - Triggeredモード、Free-runモード



80A05型・80A07型 クロック・リカバリ電気モジュール

- 80A05型
 - 50Mbps~12.6Gbpsに1モジュールで対応
- 80A07型
 - 100Mbps~12.5Gbpsに連続に1ユニットで対応
 - PLL帯域100kHz~12MHzに可変
 - 1次、2次PLL
 - SSCにも対応



80A06型 パターンシンク・トリガ・モジュール

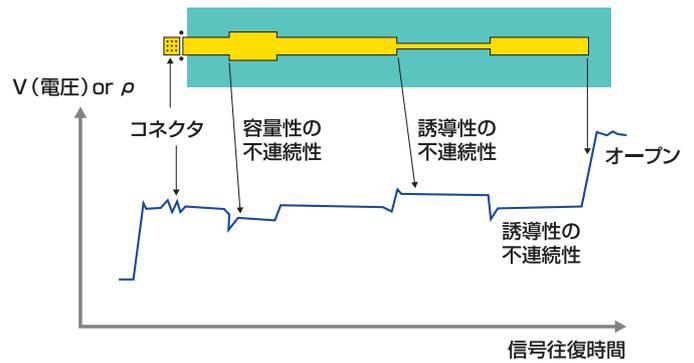
- ビット長2~2²³の繰返しパターンに対してトリガが可能
- フェーズ・リファレンス・モジュールおよびその他のデバイスへバッファド・クロックを供給



真の差動インピーダンス評価に

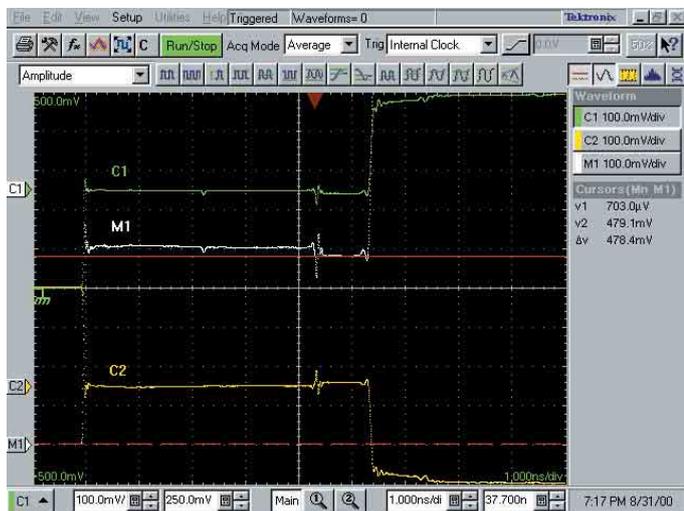
TDR (Time Domain Reflectometry) は、被測定伝送路に高速パルスを入力し、インピーダンス不連続点で生じた信号の反射波形をサンプリング・オシロスコープで捉えることで、インピーダンスの連続性を評価する方法です。DSA8200型デジタル・シリアル・アナライザには、2チャンネル・サンプリング/TDRモジュールが3機種用意されています。中でも80E10型は当社従来比2倍超の表示反射立上り時間15psを達成。距離分解能を高め、伝送路のインピーダンス特性を高確度で評価できます。垂直軸はV、 ρ 、あるいはOhm表現が可能です。

またリモート・サンブラ方式、あるいは80N01型延長ケーブルの併用でモジュールをDUT近傍に設置でき、接続ケーブルによる測定への影響を最小化し、優れた信号忠実性を実現しています。



真の差動TDR測定を提供

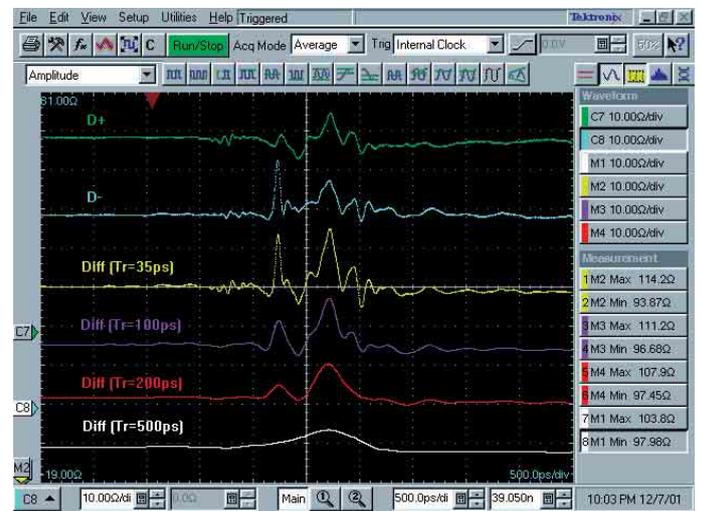
当社の2チャンネルTDRモジュールはすべて、業界で唯一各チャンネルごとにパルス極性を選択できます。互いに逆極性の波形特性の揃ったパルスを同時発信する真の差動TDRにより、特に高速シリアル・インタフェースで必要な差動伝送路のインピーダンス特性を高確度で評価できます。



TDRの例：差動

差動TDR測定で特定立上り時間でのシミュレーションも可能

差動TDR測定にフィルタ機能も併用でき、USB 2.0、InfiniBand、Fibre Channelなどの特性評価に必要な特定立上り時間でのシミュレーションが可能です。



差動TDRフィルタ併用例：

差動TDR原波形 (35ps立上り時間) に対し、100ps、200ps、500ps立上り時間をシミュレーションした例

80E10型・80E08型・80E04型 2チャンネル・サンプリング/TDRモジュール

- TDRシステム立上り時間 (入射/反射)
 - 80E10型：12ps/15ps
 - 80E08型：18ps/20ps
 - 80E04型：23ps/28ps
- 差動伝送路の解析に有効な真の差動TDR
 - コンプリメンタリ・パルスを同時に発生
- 任意の立上り時間でのシミュレーションが可能なフィルタ機能
- 最短距離でDUTと接続可能にするリモート・サンブラ (80E10型、80E08型)、80N01型モジュール延長ケーブル (80E04型)

80A02型 EOS/ESDプロテクション・モジュール

- EOS (過電圧)、ESD (静電気) から80E04型TDRサンプリング・モジュールを保護
- 25GHz周波数帯域幅
- 20msディスチャージ切替時間



P8018型 50Ω TDRプローブ P80318型 100Ω 差動TDRプローブ

- チップ先端周波数帯域幅：20GHz (P8018型)、18GHz (P80318型)
- 80A02型EOS/ESD モジュールと併用し、高い性能を保ちながらサンプリング・ヘッドの静電気保護対策可能 (P80318型では2台)



P8018型

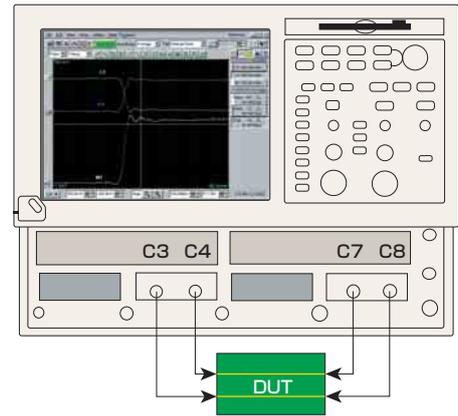
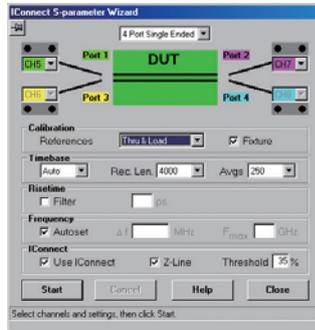
P80318型

差動伝送路のSパラメータの評価、モデリングにも

1GHz超の信号を伝送させるためには、インピーダンス評価に加え、高周波減衰および反射に細心の注意を払う必要があります。リターン・ロスを規定している標準規格もあります。当社のDSA8200型デジタル・シリアル・アナライザをベースとしたサンプリング/TDRシステムでは、差動インピーダンスの評価のみならず、オプションのIConnect®ソフトウェアの併用で、差動ネットワーク・アナライザとして、S (Scattering) パラメータ計測が可能のほか、伝送路モデリングも可能です。

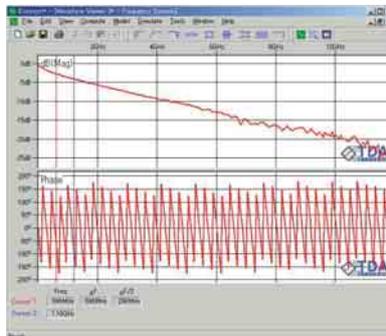
差動Sパラメータを計測可能

DSA8200型ベースのサンプリング/TDRシステムにIConnectソフトウェア*1を組み合わせることにより、時間領域の伝送系に対する真の差動TDR入力と通過信号TDT (Time Domain Transmission) 出力からSパラメータ (S11, S21) が計測できます。Sパラメータ・ウィザードにより、簡単に迅速にミスなく計測可能です。



DSA8200型とサンプリング/TDRモジュールとDUTとの接続図

右の画面は、実際の10GHz超のプリント基板での測定例です。高速伝送路評価基板の提供、並びに計測には、富士通マイクロソリューションズ株式会社 (<http://edevice.fujitsu.com/fmsl/>) のご協力を得ました。

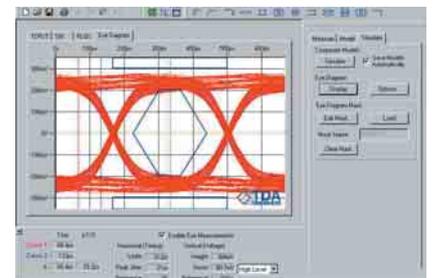


差動Sパラメータ特性測定例：S21損失(左)とS11反射(右)

インターコネクットのモデリングとアイ・ダイアグラム・シミュレーションに

さらにIConnectは、バックプレーン、ケーブルなどの評価で、抵抗損 (表皮効果) や誘電損を持つ有損失伝送路モデルを作成することにより、アイ・ダイアグラムをシミュレーションすることができます。シミュレーションでは、入力信号のビットレート、パターン、立上り/立下り時間を自由に変更することができるため、高速パルス・パターン・ジェネレータを使うことなく、さまざまな条件での信号品質の確認を容易に行なうことができます。

実際に、最大シンボル間干渉 (ISI) が規定されているSATAケーブル規格のコンプライアンス・テストでは、IConnectによりアイ・ダイアグラムを作成して、ISIを測定しています。



アイ・ダイアグラム・シミュレーションによるSATA最大ISI測定例

80SICON

IConnect®シグナル・インテグリティTDR/VNAソフトウェア*2

- インターコネクットのジッタ、信号ロス、クロストーク、反射、リングングのソースを簡単に解析
- PCB、FPC、コネクタ、ケーブル、パッケージ、ソケットを効率的にモデリング
- コスト効率の高いアイ・マスク・テスト、インサクション・ロスおよびリターン・ロスのコンプライアンス・テスト

80SSPAR

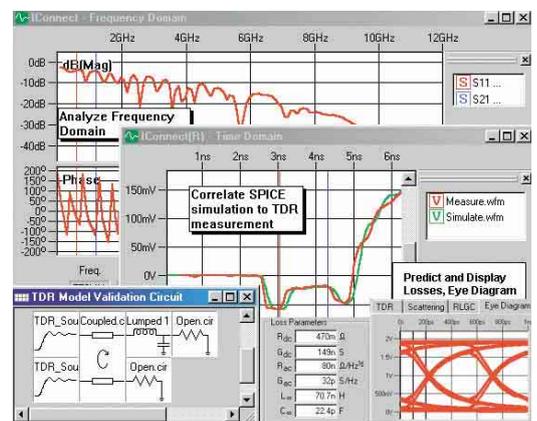
IConnect® Sパラメータ/Zライン・ソフトウェア

- 差動、シングルエンド、およびミックスド・モードに対応
- インサクションおよびリターン・ロス、周波数領域のクロストーク
- 真のインピーダンス・プロファイル (Zライン) によりインピーダンス測定精度が向上

80SICMX

IConnect®およびMeasureXtractor™ SPICEパラメータ抽出ソフトウェア*3

- TDR/TDTのデータをSPICEモデルに自動的に変換



*1 IConnectに関してはイー・ティー・イー・サービス株式会社 (<http://www.ate.co.jp/tda/tda_top.htm>) にお問合せください。

*2 BOSSPARの機能を含みます。

*3 BOSICONの機能を含みます。

ジッタとノイズによるBER解析、シリアル・データ・リンク解析に

データ・レートの高速化に伴い、伝送路の高周波損失の影響をより受け、レシーバ端での信号振幅はより減少します。そのためイコライザを併用することで、受信特性を向上させる規格も多く見られます。この結果、BERをより正確に捉えるためには、時間軸方向の揺らぎであるジッタに加え、垂直方向の揺らぎであるノイズの影響をも考慮する必要があります。ここではRj/Dj同様にRn/Dn（ランダム・ノイズ/デターミニスティック・ノイズ）を分離し、特定BERにおけるアイ高さやBER輪郭を推測します。またテスト・フィクスチャの影響の除去（フィクスチャ・ディエンベッド）、あるいはチャンネルの影響の加算（エンベッド）やイコライザを通した状態などのリンク全体での解析が求められています。DSA8200型デジタル・シリアル・アナライザの80SJNBジッタ、ノイズ、BER、シリアル・データ・リンク解析ソフトウェアがこれらの問題を、さらにDSA/DPO70000Bシリーズ、MSO70000シリーズ用のSDLAシリアル・データ・リンク解析ソフトウェアは後者の問題を解決しました。

ジッタとノイズを分離測定および詳細な構成成分の解析、水平、垂直両方向のBER解析、BER輪郭解析をサンプリング・オシロスコープ上で実現

80SJNBソフトウェアは、ジッタとノイズを分離することで、水平、垂直両方向のアイ開口率の劣化の原因究明を迅速に行えます。さらにジッタとノイズ双方に対し、ランダムとデターミニスティックの分離と、詳細な構成成分を解析でき、特定BERにおけるアイ開口の高い精度での推定およびBER輪郭解析が可能です。

テスト・フィクスチャの影響除去、チャンネル損失およびレシーバ・イコライザ・シミュレーションを含むリンク全体の解析に

データ・レートの高速化に伴い、トランスミッタの性能評価のためには、テスト・フィクスチャの伝送路損失の影響を除去することが求められています。またリファレンス・チャンネルやケーブルの影響を加えた評価も求められています。

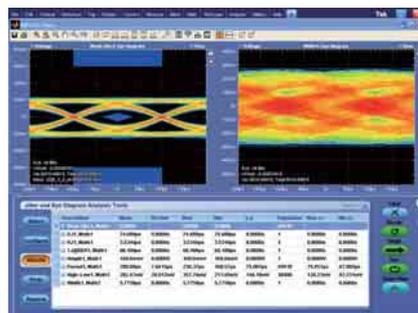
80SJNBおよびSDLAソフトウェアは、テスト・フィクスチャの影響の除去およびチャンネル・エミュレーションが可能です。伝送線路特性はTouchstoneフォーマットのSパラメータで入力します。シングルエンドと差動に対応します。

さらに最新のレシーバでは、伝送品質改善のために、CTLE (Continuous Time Linear Equalization)、FFE (Feed Forward Equalization)、またはDFE (Decision Feed back Equalization) が利用されます。これらイコライザを利用したレシーバでは、入力端でアイ・ダイアグラムが閉じた信号でも受信することができるため、レシーバ外部の信号を観測する測定器側もイコライザを適用して信号を評価する必要があります。

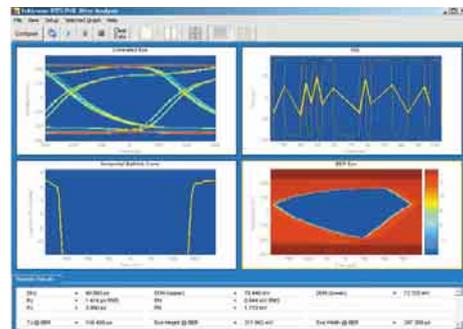
80SJNBおよびSDLAのイコライゼーション・ツールは、CTLEおよび独自のイコライザ・タップ数、またはボタンを押すことでDFEイコライザのイコライゼーション・タップ数が決定され、閉じたアイでも開くことができます。

ArbFilter機能によるレシーバ・イコライザ・シミュレーション

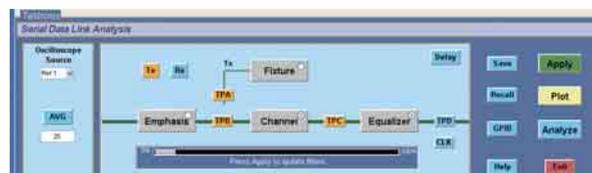
DSA/DPO70000Bシリーズ、MSO70000シリーズでは、リアルタイムでの特性補正その他の目的のため、アクイジション・システムにDSPを組込んでいます。このDSPの応用機能にArbFilterがあり、カスタム・フィルタを組込むことで取込んだ波形に対し、任意の周波数応答特性を適用した状態で観測・測定が可能になり、リアルタイムでのCTLEのシミュレーションやチャンネル・エンベッド/ディエンベッドが可能です。SDLAソフトウェアはArbFilterのプリプロセッサとして動作します。



USB3.0コンプライアンス・テスト例：リファレンス・イコライザを適用したアイ・ダイアグラム（左）と元信号に対するアイ・ダイアグラム（右）



80SJNBジッタ、ノイズ、BER、シリアル・データ・リンク解析ソフトウェア



SDLAシリアル・データ・リンク解析ソフトウェア



レシーバ・イコライザの設定



損失がエンベッド/ディエンベッドされたシリアル・データ・リンクの周波数応答特性

80SJNB ジッタ、ノイズ、BER、シリアル・データ・リンク解析ソフトウェア SDLA シリアル・データ・リンク解析ソフトウェア

80SJNB

- 1~60Gbpsの高速シリアル・データ信号のジッタおよびノイズに分離測定、アイ開口@BER解析（垂直・水平）によりアイ開口率の劣化の原因を詳細に測定可能
- ジッタとノイズの分離とさらにランダム/デターミニスティック成分の分離と詳細な構成成分の解析
 - 周期、データ依存性、デューティ・サイクル・ディストーション（ジッタ）
- SSCのプロファイル、周波数解析
- DSA8200型用

SDLA

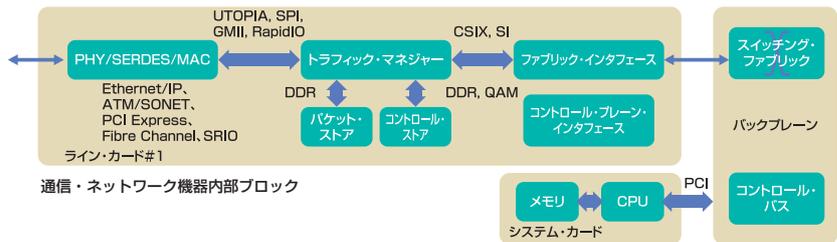
- 各チャンネルの周波数および時間軸での応答特性をプロット
- フィルタの合成
- カスタムCTLE
- DSA/DPO70000Bシリーズ、MSO70000シリーズ用

80SJNB、SDLA共通機能

- 信号のFFE/DFEイコライザにより、レシーバ内部で観測するのと等価な波形測定が可能
- Sパラメータによるチャンネル・エミュレーションで仮想チャンネルの挿入
- フィクスチャ・ディエンベッド機能により、測定用フィクスチャによる信号劣化を除去
- トランスミッタの1回だけの取込みで、複数のエミュレート・チャンネルのリンク性能が観測可能

シリアルも含めて様々なインターフェース間の問題解決に。 LVDS、PECLなどの差動信号にも対応

データの広帯域化を目指し、通信・ネットワーク機器は、高速化・複雑化の一途を辿り、内部はさまざまなバスが接続されて構成されています。そのため、デバッグの際にはこれらのバスを関連付けて解析することが効率的です。TLA7000シリーズ・ロジック・アナライザは、個々のマイクロプロセッサ、バスのトレースはもちろんのこと、モジュラ構造による優れた柔軟性と拡張性、およびモジュール間の高い時間相関機能とクロス・トリガにより、これらのバスの動きを互いに関連づけて同時に解析できるシステム全体の高い可視性を提供します。



タイミングとシグナル・インテグリティ問題の解決に 20ps時間分解能タイミング解析に加え、オシロスコープ・プローブ を接続することなく、任意のチャンネルのアナログ波形観測を実現

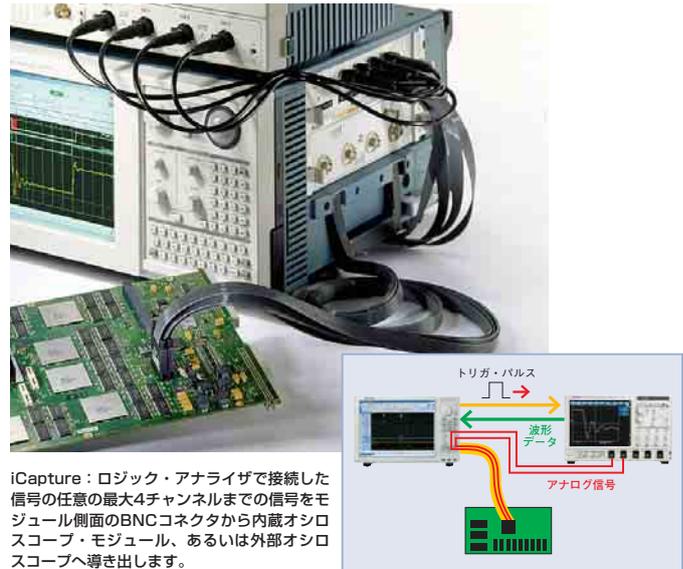
今日ではデジタル回路の高速化に伴い、タイミングなどの設計マージンが減少しており、今まで許容可能と判断していたデジタル信号品質でも、誤動作を引き起こす可能性があります。したがって、設計者はデジタル信号の検証の際、アナログ特性を同時に観測することが重要です。TLA7000シリーズ・ロジック・アナライザおよびTLA7BBx型ロジック・アナライザ・モジュールは全チャンネルにわたり20ps分解能でのタイミング解析が可能ならばかりでなく、iLink®ツール・セットにより、ロジック・アナライザとオシロスコープを接続することで、多チャンネルのアナログ特性を簡単に、そして高速に検証可能にしました。

iLink®ツール・セットは以下の3機能の総称です。

iView®: ロジック・アナライザ画面上にオシロスコープのアナログ信号を時間相関表示

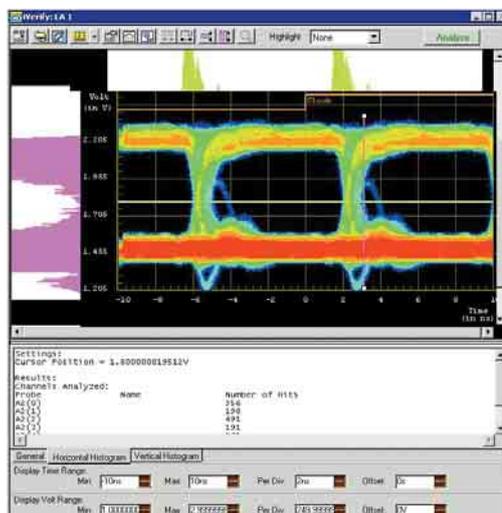
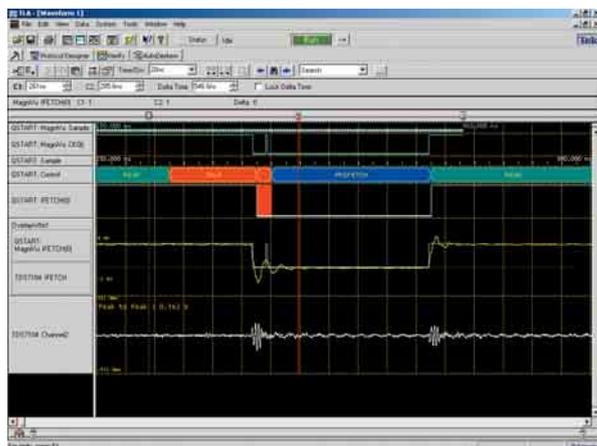
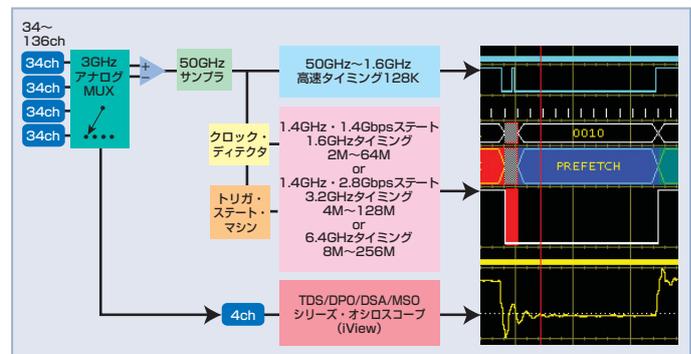
iCapture®: 1本のプローブでデジタル、アナログ信号の同時取込み可能に

iVerify®: オシロスコープのアイ・ダイアグラム・データを利用し、一度に複数チャンネル（最高408チャンネル）のアナログ検証を可能に



高速化する一途のバス、インターフェースに 最高1.4GHz・2.8Gbpsステート・レート

バックプレーンはもちろんのこと、より高速化される通信量に対応するために、デジタル処理部の高速化が必須となっています。そのためロジック・アナライザはどこまで高速クロックに同期してデータを取込みめるかがキーです。TLA7BBx型は、最高1.4GHzクロックに同期して2.8Gbpsまでの取込みが可能です。



コネクタを使用しない高品位・高信頼性のプロービングを実現。差動信号や小振幅化に対応

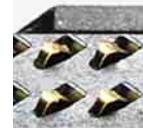
プローブの接続にあたって、多数の信号を一度に接続するための高実装密度プローブが用意されています。スタブを最小化するために、エラストマおよびCスプリング採用による基板上ランド・パターンへ直接接続するコネクタレス・プローブ・インタフェースを採用。各々全チャンネル差動と、クロック・チャンネルのみ差動の2タイプを用意しています。シングルエンドで200mV_{p-p}、差動で100mV_{p-p}と小振幅化にも対応しています。※1



P6960型・P6980型高実装密度プローブ
先端コンタクト部分



先端コンタクト構造断面



先端コンタクト部分拡大



P6860型・P6880型高実装密度プローブ
先端コンタクト部分

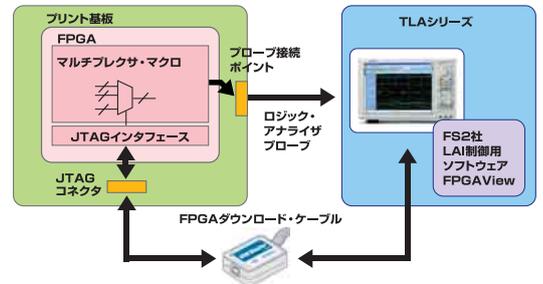


先端コンタクト部分拡大



FPGA内部回路をデバッグ可能

FPGAViewをTLA7000シリーズに組み合わせることで、Altera社やXilinx社のFPGAの内部ノードのデバッグが簡単に行えます。マルチプレクサ・マクロ(LAI)をFPGAに埋め込むことで、再コンパイルすることなく、信号観測用のピン数を抑えてバンクごとに切り替えて観測が可能となります。特にシミュレーションが困難な画像や通信などのシステムでのFPGA上でデバッグに最適です。



FPGAViewによるFPGA内部回路デバッグ全体図

シリアル・インタフェースをサポート

ロジック・アナライザのサポートはパラレル・バスだけではありません。シリアル・アナライザ・モジュール、あるいはさまざまなシリアル・バス用に用意されたプローブ・アダプタは、シリアル・データの平行化に加え、さまざまなエラー信号、ステータスを同時に発生し、トリガの助けとなります。

- 8b/10bコーディング、ディスペリティ、フレーミング、CRCなどのエラー検出・トリガ
- PCI Express(Rev.1.x/2.0/3.0)、SATA II、USB 1.1/2.0、シリアルRapid IOなどをサポート

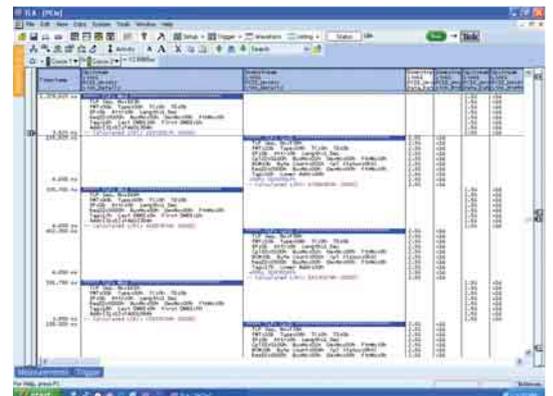


CHS-SATA II型SATAサポート



Nex-SRIOシリアルRapidIOサポート※2

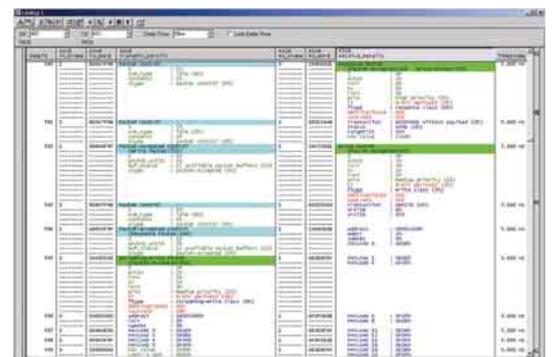
※2 米国Nexus社製品



PCI Expressデコード表示例 (TLA7S08/16型)

通信イントラ・バスをサポート

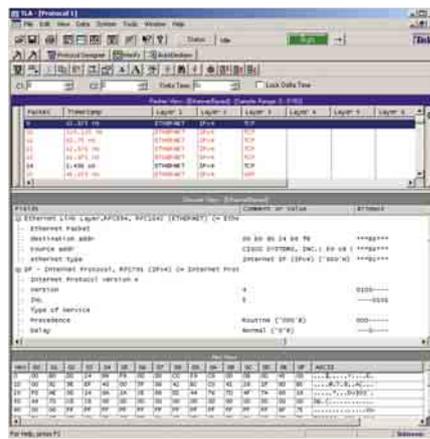
通信イントラ・バスとして、UTOPIA1/2/3 (Universal Test & Operations PHY Interface for ATM) をサポート。ATMセル・レベルでのデコーディング表示に加え、AAL1~5 (ATM Adoption Layer Level) にも対応。さらにTLA7BBx型、TLA7ACx型モジュールの高速同期アクイジション・高実装密度差動プローブを活かして、SPI-3/4.2 (System Packet Interface) やRapidIO、HyperTransportもサポートします。



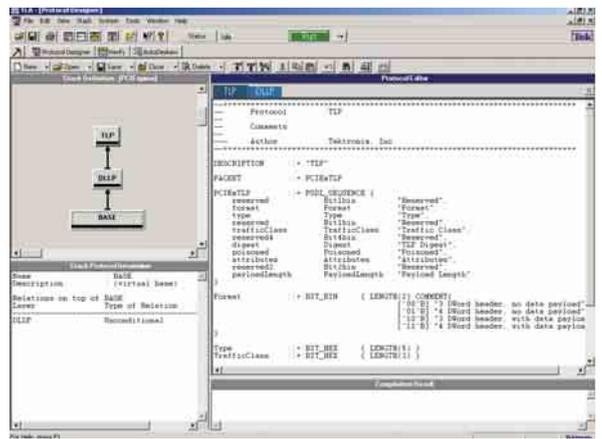
RapidIOサポート (TMS805)

プロトコル階層の表示・デコード

TLA7000シリーズが標準で備えるプロトコル・ウィンドウは、パケットのプロトコル階層およびデコード表示します。プロトコル・アナライザのように本格的なパケット、デコードおよびデータ(16進)の3表示を備えています。プロトコル・デコードはPSDL(Packet Structure Definition Language)で記述されたパケット構造に基づきます。TLA7000シリーズはPSDLエディタとコンパイラを標準で備えているので、自由自在にカスタマイズ可能です。



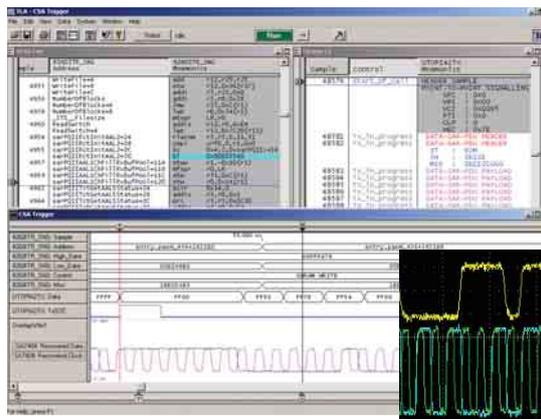
プロトコル・ウィンドウ



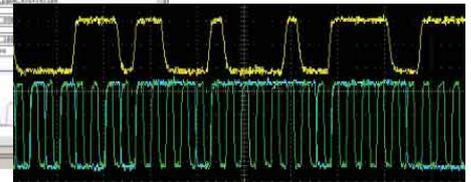
プロトコル・デザイナー

内部バス、外部インタフェース（物理層）との時間相関表示

TLA7000シリーズでは、シリアル・インタフェース、イントラ、バス、プロセッサ・バス、メモリ、PCIなどの動きを互いに時間相関をとって解析できます。さらに、TLA7000シリーズは前述のiView機能により、DSA/DPO70000Bシリーズ、MSO70000シリーズをはじめ当社オシロスコープで取込んだ物理層の信号と上記の各種バスのデータもTLA7000シリーズ上で時間相関をとって解析可能です。電気系・光系の物理層に対し、アイ・ダイアグラム、ジッタ解析など、優れたソリューションを提供します。



MPC8260、UTOPIA2およびCSA7404B型(右)で取込んだOC3(光)の物理層信号とCSA7404B型でリカバリしたクロック



TLA7000シリーズ ロジック・アナライザ TLA7BBx型・TLA7ACx型 ロジック・アナライザ・モジュール

型名	TLA7BB2/3/4型	TLA7AC2/3/4型
チャンネル数@モジュール	68, 102, 136	68, 102, 136
チャンネル数@マージ・モジュール	680	680
iCapture (アナログMUX)	136→4ch, 3GHz帯域 (-3dB)	136→4ch [※] , 2GHz帯域 (-3dB)
MagniVu高速タイミング	50GS/s@128Kb	8GS/s@16Kb
ディープ・タイミング	6.4GS/s(クオータ)、3.2GS/s(ハーフ)、1.6GS/s(フル)	2GS/s(クオータ)、1GS/s(ハーフ)、500MS/s(フル)
ステート・レート(データ/クロック)	2.8Gbs/1.4GHz(ハーフ)、1.5Gbs/750MHz(フル)	1.25Gbs/625MHz(クオータ)、900Mbs/800MHz(ハーフ)、450Mbs/450MHz(フル)
セットアップ/ホールド時間ウインドウ	180ps(代表値)、220ps(仕様)	625ps(代表値)、750ps(仕様)
タイムスタンプ分解能	20ps	125ps
レコード長	標準: 2Mb、 オプション: 4Mb/8Mb/16Mb/32Mb/64Mb	標準: 2Mb、 オプション: 4M/8Mb/16Mb/32Mb/64Mb

※ 標準では固定4chのみ



TLA7SA08/16型 シリアル・アナライザ・モジュール TLA7S08/16型 シリアル・アナライザ・モジュール

型名	TLA7SA08/16型	TLA7S08/16型
データ・レート	2.5GT/s, 5GT/s, 8GT/s	2.5GT/s, 5GT/s
最大レーン数	TLA7SA16型: x8 (2モジュールの使用でx16) TLA7SA08型: x4	TLA7S16型: x8 (2モジュールの使用でx16) TLA7S08型: x4
ASPMサポート	4 FTS以内 (PCI Express Rev.3.0) 12 FTS以内 (PCI Express Rev.2.0)	12 FTS以内
メモリ長	x8: 8GB/x16: 16GB、 160Mシンボル/レーン	x8: 1.5GB/x16: 3GB、 32Mシンボル/レーン
その他	<ul style="list-style-type: none"> データ・レート変化、リンク幅変化にダイナミックにトラッキング プロトコルのすべてのレイヤ(物理、データ・リンク、トランザクション)における強力なトリガ機能 データ表示: トランザクション、サマリ・プロファイル、リスティング、ウエーブフォーム プローブ: スロット・インタポザ、ソルダダウン、Mid-bus 	



思いのままの波形でBERテスト、レシーバ・ストレス・テストを

高速シリアル・インターフェースでは、相互運用性（インターオペラビリティ）が重要です。相互運用性とは、正確には特定のビット・エラー・レート（BER）での通信を保証することで、今日の多くの規格では、特定のBERにおけるトータル・ジッタ（Tj@BER）を定義し、判断基準とします。特にレシーバ端での信号レベルが減少し、さらにイコライザで改善を図るようなケースでは、レシーバ側でのクロストークやノイズ等に対して影響を受けやすくなるため、トランスミッタ評価だけでは不十分で、レシーバ評価が重要です。そのため、SATAやUSB3.0、HDMI、DisplayPortなど多くの規格で、コンプライアンス・テストでレシーバ評価を要求する傾向にあります。

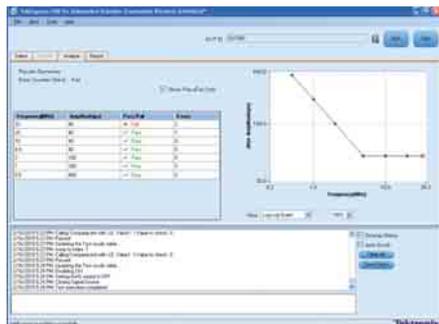
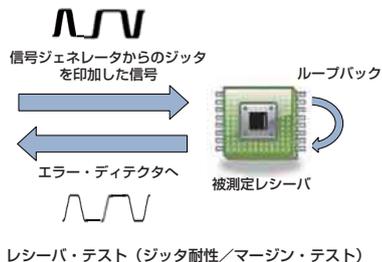
レシーバのノイズ、ジッタ耐性／マージン・テスト用ストレス信号を発生

レシーバ評価のキーはジッタ耐性テストです。規定された量のRj、振幅・周波数のDjを印加した信号をレシーバに入力して、レシーバ内のCDR（クロック／データ・リカバリ）回路が正しくクロックを再生し、さらにデータを再生できるかを評価します。画像ではブロックを繰り返してフレームという単位でのデータ生成、あるいは受信エラーを外部エラー・ディテクタで検出するために必要となる被測定レシーバの受信データをトランスミッタからループバックさせるためのリンク・アップ・シーケンスの発生が必要となります。

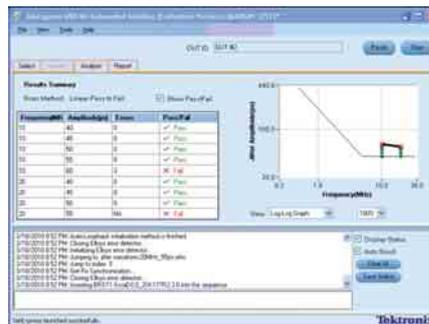
規定の周波数・振幅のジッタを加えてパス／フェイルを判定するジッタ耐性テストに対して、ジッタ周波数や振幅を細かく変えて、どの程度のジッタまで正しくデータを受けられるか確認するのが、ジッタ・マージン・テストです。コンプライアンス・テストの要求項目でなくても、製品品質保証の意味で限界値および製品間のばらつきを評価することは重要です。

AWG7000Bシリーズ任意波形ジェネレータは、レシーバ耐性／マージン・テストでの理想的なストレス信号発生ソリューションとなります。SerialXpressジッタ生成ソフトウェアによりノイズおよびジッタが印加されたシリアル・データの発生が簡単に行えます。

ジッタを持った波形データを直接合成してのジッタ生成（ダイレクト・シンセシス）は、ハードウェアを使って生成するジッタに比較して、**1）**再現性が高い。**2）**印加できるジッタに事実上制約がない。**3）**複数のジッタ周波数を同時に印加できる。**4）**特定の立上り時間や任意のチャンネル特性を通してISIを印加した信号、プリエンファシスを持った信号を生成するためのフィルタや基板、ケーブル・エミュレータなどの外付けハードウェアが不要で、配線の切り替えも必要ない。**5）**任意のプロファイル（変調形状）、周波数を持ったSSC（スペクトラム拡散クロック）を適用できる。**6）**波形メモリをブロック分割し、シーケンス・コントロール可能、など多くの優れた点を持ち、AWG7000Bシリーズを使用したレシーバ・テストは、SATAやHDMI、VESA（DisplayPort）をはじめとする規格標準化団体で認められています。



TekExpress USB-RMTによるUSB3.0レシーバ・ジッタ耐性テスト結果。画面右側のプロット上の緑の点がリス、赤の点がフェイルしていることを示します。50MHzでフェイルした例。

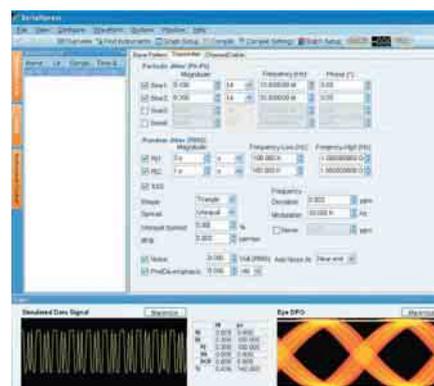


TekExpress USB-RMTによるUSB3.0レシーバ・ジッタ・トレランス測定結果。左側のリストで10MHzでは60ps、20MHzでは55psでフェイルしたことを示しています。

SDX100・SDXUP

SerialXpress™ジッタ生成ソフトウェア

- AWGシリーズ任意波形ジェネレータで任意のジッタ、プリエンファシス、ノイズおよびクロストークを印加してのシリアル・データが直接に発生可能（ダイレクト・シンセシス）
- シンボル間干渉（ISI）などを生成するための外付けハードウェアが不要。高い再現性
- ジッタ要素：周期性ジッタ（正弦波4ソース）、ランダム・ジッタ（3ソース）、シンボル間干渉（ISI）、デューティ・サイクル・ディストーション（DCD）
- スペクトラム拡散クロック（SSC）要素（オプション）：プロファイル、拡散方式、周波数偏移、拡散周波数、dv/dt、ノイズ
- Sパラメータ・フィルタによるチャンネル・エミュレーション（オプション）：TouchStone形式のファイルをインポートして、基板、ケーブルの影響をシミュレーション可能



AWG7061B型・AWG7062B型・AWG7121B型・AWG7122B型

任意波形ジェネレータ

型名	AWG7061B型	AWG7062B型	AWG7121B型	AWG7122B型	
				標準	オプション06型（インタリーブ）
最高サンプリング・レート	6GS/s		12GS/s	12GS/s	24GS/s
アナログ出力チャンネル数	1	2	1	2	1
垂直分解能	10ビット（マーカ使用時には8ビット）				
マーカ出力	2チャンネル／アナログ出力				
メモリ長（標準）	32M		32M	64M	
メモリ長（オプション）	64M		64M	128M	



波形を確認しながらのエラー検出が可能

外部エラー・ディテクタとして、プロトコル・アナライザのような機器を使う方法や、BERTを使う方法などがありますが、DSA/DPO70000Bシリーズ、MSO70000シリーズに用意されているエラー・ディテクタ (Opt. ERRDT) は、例えば正しくループバック・モードに入っているかなど信号を確認しながらのエラー検出が可能です。トランスミッタ・テストの環境をそのまま利用してレシーバ・テストが行えます。USB3.0やSATA3で必要なビット・エラーやシンボル・エラー、フレーム・エラー (CRC) が検出できます。



オシロスコープ内蔵エラー・ディテクタを動作させた場合のオシロスコープ画面例 (Opt. ERRDT)

次世代のレシーバ・テストに

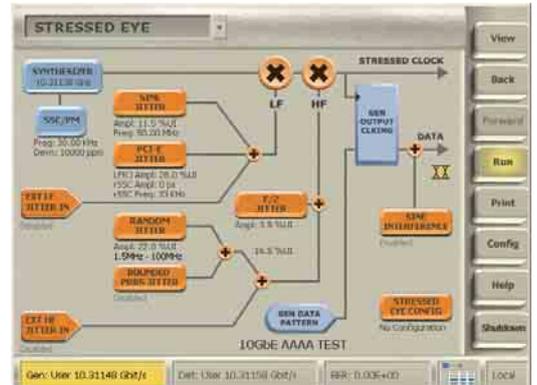
PCI Express Rev.3.0のような次世代の規格でのレシーバ・テストには、BSA Cシリーズ・ビット・エラー・レート・テスト、BSA CPGシリーズ・パターン・ジェネレータが威力を発揮します。最高26Gbpsまで対応可能。ハードウェア・ベースのジッタ生成により、リアルタイムでのジッタ印加・変更が可能で、特にジッタ・マージン・テストに威力を発揮します。

アイ・ダイアグラム、マスク・テスト、BER輪郭測定からジッタ・ピーク、Qファクタまで測定

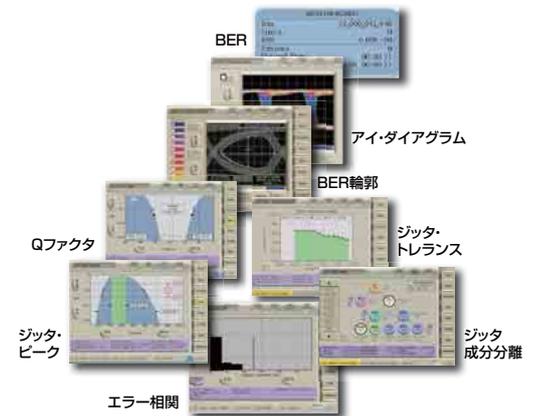
BERT (Bit Error Rate Tester) は、単に伝送系のビット・エラー・レートを測定するだけではありません。エラー・ディテクタのサンプル点をUI内でずらしながらビット・エラー・レートを測定することで、伝送系を含めたトランスミッタのジッタ・ピーク (トータル・ジッタ@BER) を直接測定したり、テスト・パターンにジッタなどのストレスを重畳することで、レシーバのジッタ耐性、ジッタ・マージン等の性能評価が行える計測器として、高速化の一途を辿るシリアル・インタフェース測定で、ますます重要となっています。

さらに水平方向のみならず垂直方向にもエラー・ディテクタをスイープさせることで、アイ・ダイアグラムの評価が可能です。

BER輪郭、ジッタ・ピークおよびQファクタ (アイ高さ@BER) の測定は、2次元的に直接ビット・エラーを計測するため、非常に時間が掛かる作業となります。しかしながらジッタやノイズ分布はバスタブ曲線となるため、低BERを数点測定し、バスタブ曲線を外挿することで、測定時間を大幅に短縮しています。ジッタ・ピークおよびQファクタなどをワンタッチで切り替えて評価可能です。



BSA C/CPGシリーズのストレス・アイ・メニュー (Opt. STR, Opt. PCISTR)



BSA Cシリーズ BERTScopeビット・エラー・レート・アナライザ BSA CPGシリーズ BERTScopeパターン・ジェネレータ

- BERTおよびアイ・ツールキット
 - スコープ・ライクなアイ・ダイアグラム
 - BER輪郭、ピーク・ジッタ、Qファクタ
- トランスミッタおよびレシーバ・テスト
- ストレス・パターン生成 (Opt. STR)
- PCI Express拡張ストレス・パターン生成 (Opt. PCISTR)

型名	最高ビット・レート	ジェネレータ/アナライザ
BSA260C型	26Gbps	両方
BSA260CPG型		ジェネレータのみ
BSA175C型	17.5Gbps	両方
BSA175CPG型		ジェネレータのみ
BSA125C型	12.5Gbps	両方
BSA125CPG型		ジェネレータのみ
BSA85C型	8.5Gbps	両方



CRシリーズ クロック・リカバリ・ユニット

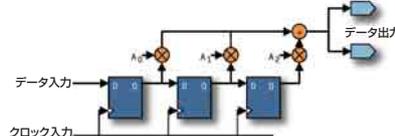
- PCI Express Tx PLLループ帯域、ピーキング測定に1台で対応
- ループ帯域幅: 12MHz (標準)、24MHz (オプション)
- 周波数応答: -20dB/dec ~ -40dB/dec

型名	CR125A型	CR175A型	CR280A型
最高ビット・レート	12.5Gbps	17.5Gbps	28.4Gbps



DPP125型 デジタル・ディエンファシス・プロセッサ

- 最高ビット・レート: 12.5Gbps
- 標準: 3タップ、オプション: 4タップ



BA1600型 1.6GbpsBitAlyzer シリアル・データ・アナライザ

BA1500型 1.5GbpsBitAlyzer シリアル・データ・アナライザ

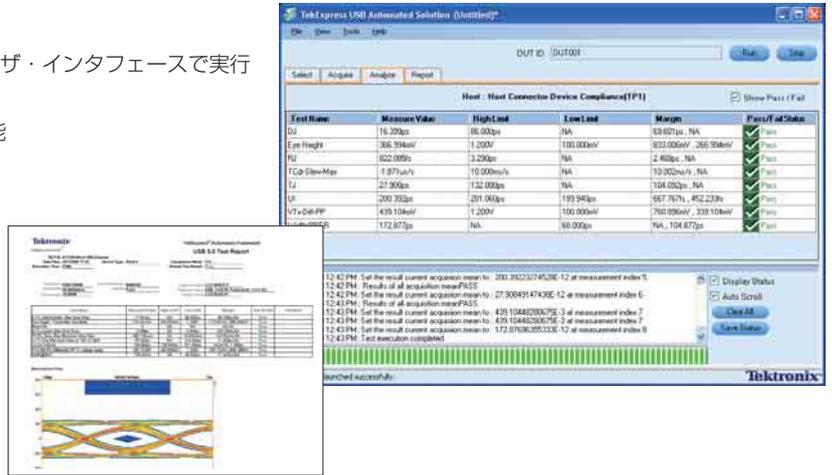


最新シリアル・インタフェースのコンプライアンス・テストに

高速シリアル・インタフェースでは、デバイス間のインタオペラビリティ（相互運用性）が重要です。そのためには、物理層の信号が、規格で定められた仕様に適合していることを実際に測定し、保証しなくてはなりません。しかも、各標準規格に基づいた最新の手法での測定が要求されます。当社のソリューションは、各標準規格仕様書などに記載され、シリアル・コンプライアンス・テストのエキスパートとして、規格団体・業界から高い支持を受けています。

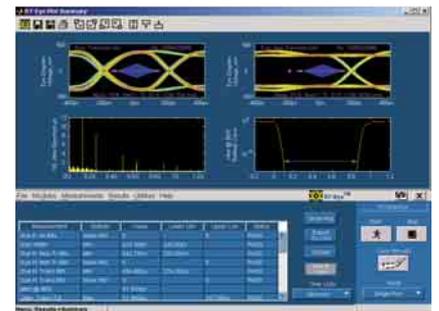
TEKEXP TekExpress™自動コンプライアンス・テスト・ソフトウェア

- 完全自動 — 設定からレポートまでワン・ボタン操作
- 自動化により大幅なテスト工数の削減が可能
- 複数の計測器の操作を1つのMicrosoft Windows XPユーザ・インタフェースで実行
- HTML/MHTML形式によるレポート
- NI TestStand™採用による自動化とシームレスに統合可能
- サポート規格
 - DisplayPortシンク・テスト
 - HEAC自動テスト・ソリューション
 - SASトランスミッタ・テスト
 - SATA RSG/RMT レシーバ・テスト
 - SATA Rx/Txチャンネル・テスト
 - SATA Siケーブル・テスト
 - SATA PHY/TSG/OOBトランスミッタ・テスト
 - USB 3.0トランスミッタ・テスト
 - USB 3.0レシーバ・テスト
 - 10GBASE-T自動テスト・ソリューション
 - MIPI自動テスト・ソリューション



TDS RT-Eye シリアル・コンプライアンス・テスト/解析ソフトウェア

- リアルタイム・アキュイジションによるクロック・リカバリとアイ・レンダリング、ジッタ測定
- 振幅、タイミングおよびジッタを含むパラメトリック測定
- 任意BERでのアイ開口/トータル・ジッタ、Rj/Dj計測
- 選択可能なクロック・リカバリ・アルゴリズム
- レポート機能



TDSJIT3v2.0 ジッタ解析ソフトウェア

- サイクル・ツー・サイクル・ジッタ、周期、Nサイクル・ジッタ、デューティ・サイクル、スキュー
- TIE (Time Interval Error)、Rj/Dj、バスタブ曲線による特定BERにおけるアイ幅およびトータル・ジッタを予測
- ヒストグラム、スペクトラム、タイム・トレンド、サイクル・トレンド、ビット・エラー・レート曲線（バスタブ曲線）
- 選択可能なクロック・リカバリ・アルゴリズム

PCI Express

- Rev.1.0a, 1.1, 2.0, 3.0 (ドラフト仕様) 対応
- ビット・レート：2.5Gbps, 5Gbps, 8Gbps
- 測定箇所
 - Base specification : Transmitter/Receiver
 - CEM specification : System/Add-In
 - Cable specification : Transmitter/Receiver
 - ExpressCard Tx/Host System Tx Path
 - ExpressModule : Tx/System Tx/Tx Path
 - Mobile LP Transmitter
 - Mobile PCI Express Module (MXM)
 - Reference Clock
- カテゴリ
 - トランスミッタ・テスト
 - リファレンス・クロック (System)：指定のジッタ伝達関数適用によるリファレンス・クロック・ジッタ測定
 - レシーバ・テスト (システム・エラー・レート)
 - Tx PLLループ帯域幅&ピーキング (Add-In)：CRシリーズ・クロック・リカバリ・ユニットによる
- テスト・フィクスチャ
 - CEM : CBB (Compliance Base Board)、CLB (Compliance



Load Board) : PCISIG (www.pcisig.com) より入手可能。
 ExpressCard : EC-SI-P (ExpressCard PCI Express Test Fixture Module)、EC-TS (ExpressCard Test Fixture Board/Slot) : PCMCIA (www.pcmcia.org) より入手可能。
 Cable (x1,x4, x8, x16) : Molex社 (www.molex.com) より入手可能。
 Mini Card : PMA-2 (PCI-E mini to PCI-E x1 Adapter)、PXM-1A (PCI-E to PCI-E mini Adapter) : 株式会社アリオンより入手可能
 ■ 規格団体によるコンプライアンス・ソフトウェア — SigTest、Clock Jitter Tool (PCI-SIG)

USB3.0

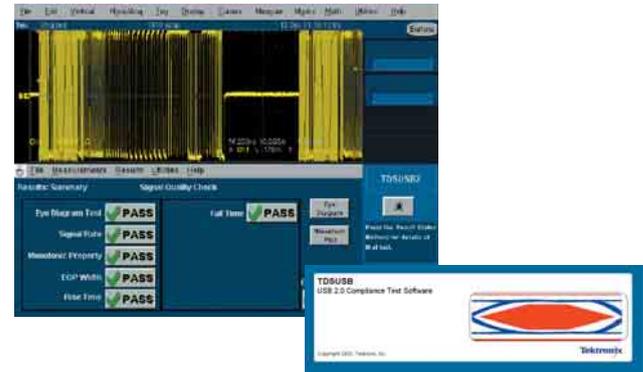
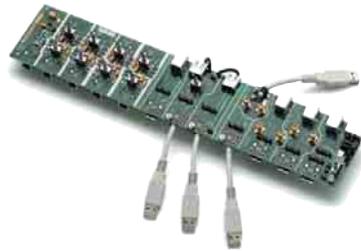
- SuperSpeed USB1.0、CTSO.9 対応
- ビット・レート — 5Gbps
- 測定箇所
 - Compliance Transmitter
 - Compliance Receiver
 - Informative Transmitter
- カテゴリ
 - トランスミッタ・テスト：TekExpressによる自動測定環境
 - レシーバ・テスト：TekExpressによる自動測定環境
 - ケーブル・テスト
- テスト・フィクスチャ — TF-USB3-AB-KIT、TF-USB3-A-P、TF-USB3-A-R、TF-USB3-B-R
- 規格団体によるコンプライアンス・ソフトウェア/テスト・フィクスチャ — SigTest、USB3ET



USB3タイプBレセプタクル、USB3タイプAレセプタクル、USB3タイプAプラグ

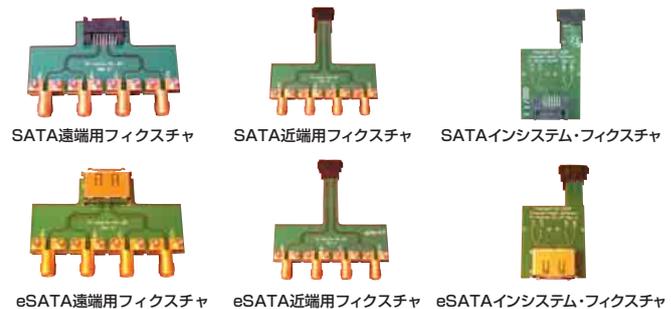
USB2.0

- TDSUSB2 USB2.0コンプライアンス・テスト・ソフトウェア
- USB2.0適合性試験のためのUSB-IFテストに完全準拠
- HS受信感度、チャープおよびモノトニシティ・テスト対応
- TDSUSBF型テスト・フィクスチャ



Serial ATA/SAS

- SATA1/2/3、SAS (Serial Attached SCSI)
- ビット・レート — 1.5Gbps、3Gbps、6Gbps
- 測定箇所 — ホスト(Transmitter、Receiver)、ドライブ(Transmitter、Receiver)
- カテゴリ (TekExpressによる自動測定環境でサポート)
 - トランスミッタ・テスト
 - レシーバ・テスト：任意波形ジェネレータ+ダイレクト・シンセシスによる簡単な操作性、高い再現性のあるジッタ耐性テストが可能。オシロスコープ内蔵エラー・ディテクタを使用可能
 - RXTX (リターン・ロス/インピーダンス)
 - ケーブル・テスト
- テスト・フィクスチャ*1 — SATA：TF-SATA-Set/Ⅲ-ZP。eSATA：TF-eSATA-Set/Ⅲ-ZP



*1 日本ザイラテックス株式会社 (旧ジャスタム株式会社) (www.xyratex.com/jp) にお問合せください。

10/100/1000BaseT

- TDSET3 イーサネット・コンプライアンス・テスト・ソフトウェア
- 10/100/1000BaseTすべての規格を検証可能
- 任意波形ジェネレータによるリターン・ロス・テスト測定 (85、100、115Ω) とディスターピング信号テスト
- サード・パーティによるテスト・フィクスチャ*2：TF-GBE

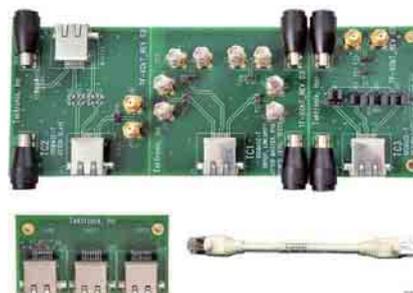


*2 テスト・フィクスチャに関しては、日本ザイラテックス株式会社 (旧ジャスタム株式会社) (www.xyratex.com/jp) にお問合せください。



10GBASE-T

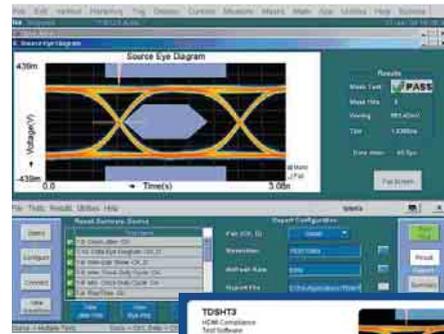
- カテゴリ (TekExpressによる自動測定環境でサポート)
 - トランスミッタ
 - リターン・ロス
- テスト・フィクスチャ：TF-XGbT



TF-XGbTテスト・フィクスチャ

HDMI

- HDMI CTS 1.4c完全準拠
- ATCIに採用されたソース機器、シンク機器、ケーブルのトータル・テスト・ソリューション
- カテゴリ
 - ソース・テスト：業界最速のテスト時間（4ch自動測定時）、シンプルな接続性、測定結果レポート作成機能により評価時間の短縮カテゴリ
 - シンク・テスト：任意波形ジェネレータ+ダイレクト・シンセシスによるケーブル・エミュレータ、フィルタ等の外付けハードウェアが不要。簡単な操作性、高い再現性のあるジッタ耐性テストが可能
 - ケーブル・テスト
 - ARC Tx/Rxテスト：オーディオ・リターン・チャンネルテストをTekExpressにより自動化。評価時間を短縮
 - HEC Tx/Rxテスト：ネットワークテストをTekExpressにより自動化。評価時間を短縮
- テスト・フィクスチャ：ET-HDMI-TPA-S（タイプAコネクタ）、ET-HDMIC-TPA-S（タイプCコネクタ）、TF-HDMID-TPA-P（タイプDプラグ・コネクタ）、TF-HDMID-TPA-R（タイプDレセプタクル・コネクタ）、TF-HDMIE-TPA-KIT（タイプEコネクタ）、TF-HEAC-TPA-KIT（HEAC用）



タイプAレセプタクル・タイプ



タイプAプラグ・タイプ



タイプCレセプタクル・タイプ



タイプCプラグ・タイプ

DisplayPort

- DisplayPort CTS 1.1a準拠
- ATCIに採用、VESA (Video Electronics Standards Association) で認定された唯一のソース機器、シンク機器、ケーブルのトータル・テスト・ソリューション
- カテゴリ
 - ソース・テスト：4CH同時測定にも対応した完全自動測定ソリューション
 - シンク・テスト：TekExpressによる自動測定環境。ダイレクト・シンセシスによる簡単な操作性、高い再現性のあるジッタ耐性テストが可能
 - ケーブル
- テスト・フィクスチャ — ET-DP-TPA-S



プラグ・タイプ



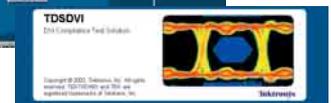
レセプタクル・タイプ

DiVA

- 認証機関が採用、業界初の物理レイア・テスト・ソリューション
- 対応測定
 - ビデオ・リンクTx/Rx
 - ハイブリット・リンクTx/Rx
 - ケーブル

DVI

- TDS DVI DVIコンプライアンス・テスト・ソフトウェア
- トランスミッタ、ケーブル、レシーバのすべてにわたりアイ・ダイアグラム・テスト、Peak-Peakジッタ、インター・ペアおよびイントラ・ペア・スキュー、立上り/立下り時間を測定
- DDWG (Digital Display Working Group) のテスト手順に規定されるハーフ・パターン、擬似ランダム・パターンによるテストに対応
- UXGAまでのすべての解像度に適合



FB-DIMM、MIPI、V-by-One HS、LVDS、InfiniBand、FC、XAUI、10GBase-CX4、Serial RapidIO、OBSAI、IEEE1394.a/b、その他に関してはお問合せください。



〒108-6106 東京都港区港南2-15-2 品川インターシティB棟6階
ヨッ!良い オシロ
テクトロニクス お客様コールセンター TEL:0120-441-046
電話受付時間/ 9:00~12:00・13:00~19:00 (土・日・祝・弊社休業日を除く)

www.tektronix.com/ja

■ 記載内容は予告なく変更することがありますので、あらかじめご了承ください。
© Tektronix 2011年4月 55Z-21418-3
*TEKTRONIXおよびTEKはTektronix, Inc.の登録商標です。Microsoft、Windowsは、米国Microsoft Corporationの登録商標です。記載された商品名はすべて各社の商標あるいは登録商標です。