

高速信号伝送路の設計／計測のポイント

差動信号線とGNDビアの配置

実装した段階で、トラブルの原因を特定し、一つ一つ潰していくことは、意外に時間がかかるものです。

このテクニカル・ノートでは、当社のテクニカル・エキスパートが、お客様との対話や実際に遭遇したトラブルから学んだ経験を元に、「どうやったら、トラブルを抑えられる／より少なく出来るのか？」という視点から、設計段階で、トラブルを回避するために抑えておくべきポイントを解説します。

- 1 概要
- 2 BGAデバイス基板上的差動信号線の配置
- 3 差動信号線の寄生容量の差
- 4 GSSG構造を作る差動信号線の配置
- 5 GNDビアによるガード効果
- 6 GSSGにおけるGNDビア配置の問題
- 7 差動バランスを考慮したGSSG構造にするために
- 8 差動信号線間の干渉状態をみるために
- 9 まとめ

1 概要

高速差動信号線の配線レイアウトは、以前から差動信号線間隔を一定に保つための配線レイアウトが重要視されてきました。ただ差動信号線の間隔を維持することだけに着目すると、差動信号線の周辺にある基板上の部品やGNDからの影響を受けていることを、見落としてしまいがちです。今回は差動信号線とGNDビアの配置に着目して、それらの影響を踏まえた上で、設計時に考慮すべきポイントをご紹介します。

2 BGAデバイス基板上的差動信号線の配置

一般的なデバイスでは高速信号線端子以外にもI/O制御線や低速インタフェース規格を扱う信号線などの端子があります。これらの端子はデバイス入出力端子のある部品実装面からビアにより内層を経由して外部へと配線されます。一方、高速信号線の場合には、部品実装面からビアを通して内層を経由することなく、表面層のBGAデバイス・ラウンドから表面層に配線することが一般的な方法です。層間を伝送する場合には、貫通型、ビルドアップ型いずれにしても、層間ビアを通過することになり、差動インピーダンスを乱してしまうため、これを避けるためです。これに対し、表層の部品面に配置された差動信号線は、実装部品があるため限定された空間で配線せざるを得ず、直線での配線はもとより、配線自体が難しくなります。

例えば、基板から外部とのインタフェースをとるためにコネクタを配置する場合には、差動信号線をコネクタまでの距離分、更に長い距離、基板上の部品に近接した状態で伝送することになります。

3 差動信号線の寄生容量の差

差動信号線に近い基板上の部品の多くが、電磁界を作ってしまうたり、差動信号線の片側が部品の表面層GND面に近接してしまうことがあります。これらの配置では、差動信号線のそれぞれの信号線にぶら下がる寄生容量を変化させてしまいます。特に差動片側にだけ寄生容量を変化させてしまうと、トラブルの元になります。結果的に、差動信号線の信号源から負荷方向に流れる差動の正方向電流と負方向電流が同じであれば打ち消し合うのですが、寄生容量に差があるため、差動電流に差を生じてしまいます。この寄生容量に流れる電流 $i(t)$ peakは、

$$i(t)_{\text{peak}} = C_s \frac{dv}{dt}$$

C_s = 寄生容量

dv = 切り替え電圧

dt = スイッチング時間

の式で求めることができます。寄生容量に2pFの違いがある場合には、

差動信号線の片側の寄生容量(C_s)=2pF、

dt (スイッチング時間)=2.5ns、

dv (切り替え電圧)=2Vの場合に、寄生容量に流れる電流のピーク値は

$i(t)_{\text{peak}} = 2\text{pF} \cdot 2\text{V} / 2.5\text{ns} = 0.0016\text{A}(1.6\text{mA})$ にもなります。

2pFの寄生容量差は僅かな容量に思えるかも知れませんが、しかし高速でのスイッチングでは1.6mAのコモンモード電流となりGND面から差動信号線を流れます。この1.6mAものコモンモード電流はEMI規格を満足させることは、到底簡単ではありません。

4 GSSG構造を作る差動信号線の配置

高速信号線は一般的に、基板表面層に配線することは既に述べましたが、高速の差動信号線も同じく基板表面層を伝送するように配線します。高速の差動信号線を配線する場合に考慮しておく方が良い結果になるとされるポイントを紹介します。

一般的にBGAデバイスの差動信号線のピンアサインは部品面表面層にて配線されるため最外周の列に配置されています。その並びはGND、信号線Positive、信号線Negative、GNDというGSSG配置をしています。この信号線PositiveとNegativeの差動信号線がBGAから外に向かって配線されます。では高速信号線の両端にあるGNDはどうしているのでしょうか。経験上、多くの事例では、BGAパッケージよりも僅か外方向に向い表面層に短いGNDパターンを引きその時点で内層GNDにビアにて接続しています。

これはBGAデバイス直下の内層GNDを抜いているための処理だと思われます。この差動線の両端にあるGNDと差動信号線の位置関係を、信号線の始まりから終わりまで維持することが理想だと考えられています。

5 GNDビアによるガード効果

BGAデバイスから出力された差動信号線はマイクロストリップ線路として表面層を伝搬しますが、基板上の部品から発生する電磁界の影響と、差動信号線と近接GNDとの結合による影響を緩和させるためには、差動信号線をそれらのものからガードするための工夫が必要になります。その工夫の一つとして内層GND層と表面層差動線の両端に配置されたGND貫通ビアがあります。差動線の両端にGNDビアを配置するということは、GND電極が2本の差動信号線を囲むことになりGSSG構造に近似してきます。

差動信号線の全体にGSSG構造を作るということは、差動信号線がGNDシールドされた状態で伝送することに相当します。これは表面層におけるクロストークの耐性を上げる効果と他の部品からの近接電磁界の影響を緩和する効果があります。

6 GSSGにおけるGNDビア配置の問題

しかし安定した電磁界を得るためにはGSSG配置においてGNDビアとの差動信号線のそれぞれとの間隔、線幅、位置関係が信号線配線の最初から最後まで均一であることが必要になります。お客様が設計した基板で、差動信号線の両端に打たれたGNDビアの片側だけが信号線の終端よりもかなり手前でビアを打つことを止めてしまっている基板を時々目にします。おそらく、その原因は部品レイアウトによるものと思われるが、差動信号線路の片側にはGNDビアがあり、片側にはGNDビアが無い状態になってしまいます。基板上に差動信号線のみであれば多少の差動インピーダンスの変化があっても問題にはならないこともあります。しかし基板上には沢山の電子部品が配置されており、差動信号線はそれらの部品から電磁界の影響を受け、差動のインピーダンスに変化が生じることもあります。更に、差動信号線のそれぞれにおいてGND面との寄生容量に違いが生じてしまうことがあります。

この様にガードされていない差動信号線は近接電磁界の影響を受けます。近接電磁界の極性が信号線と逆極性であれば差動信号線のインピーダンスは下がり、近接電磁界の極性が同極性であればインピーダンスを上昇させる様に働きます。

7 差動バランスを考慮したGSSG構造にするために

差動信号線路の両端GNDビアが線路途中から片側のみになる場合には、その点から以降は差動バランスに変化が生じます。差動バランスとは、①差動信号線と内層GNDとの距離、②差動信号線間隔、③表面層GNDビアと差動信号線のそれぞれの間隔、以上3つの主要素により、差動インピーダンスは導かれます。差動信号線の片側に近接間誘導によるインピーダンス変化や差動線の片側のみ配置されたGNDビアは、差動信号線にインピーダンス変化を生じさせ差動線間のインピーダンス・バランスを崩してしまいます。できる限り差動線間のインピーダンス・バランスを変化させないためには、近接電磁界による近接間誘導をガードし、差動信号線のポジティブ信号、ネガティブ信号それぞれの寄生容量を同じ値になる様にします。

表面層の差動線路の両端にGNDビアを配置することは近接間の誘導防止に効果があるため差動線に沿ったビア間隔をできるだけ狭く配置して、差動信号線の両端に配置することが望まれます。しかし信号線とGNDビアの間隔は差動信号線間隔の2倍以上の距離を必要とします。

このGNDビアは差動信号線の最初から最後まで両端に配置されることが理想ですが、どうしても片側のみしか配置できない箇所では、両端のGNDビアを配置しないことが、良いバランスを保つためのコツです。

8 差動信号線間の干渉状態をみるために

差動線の間隔が広くなる場合には、差動線間の干渉状態に変化が生じます。

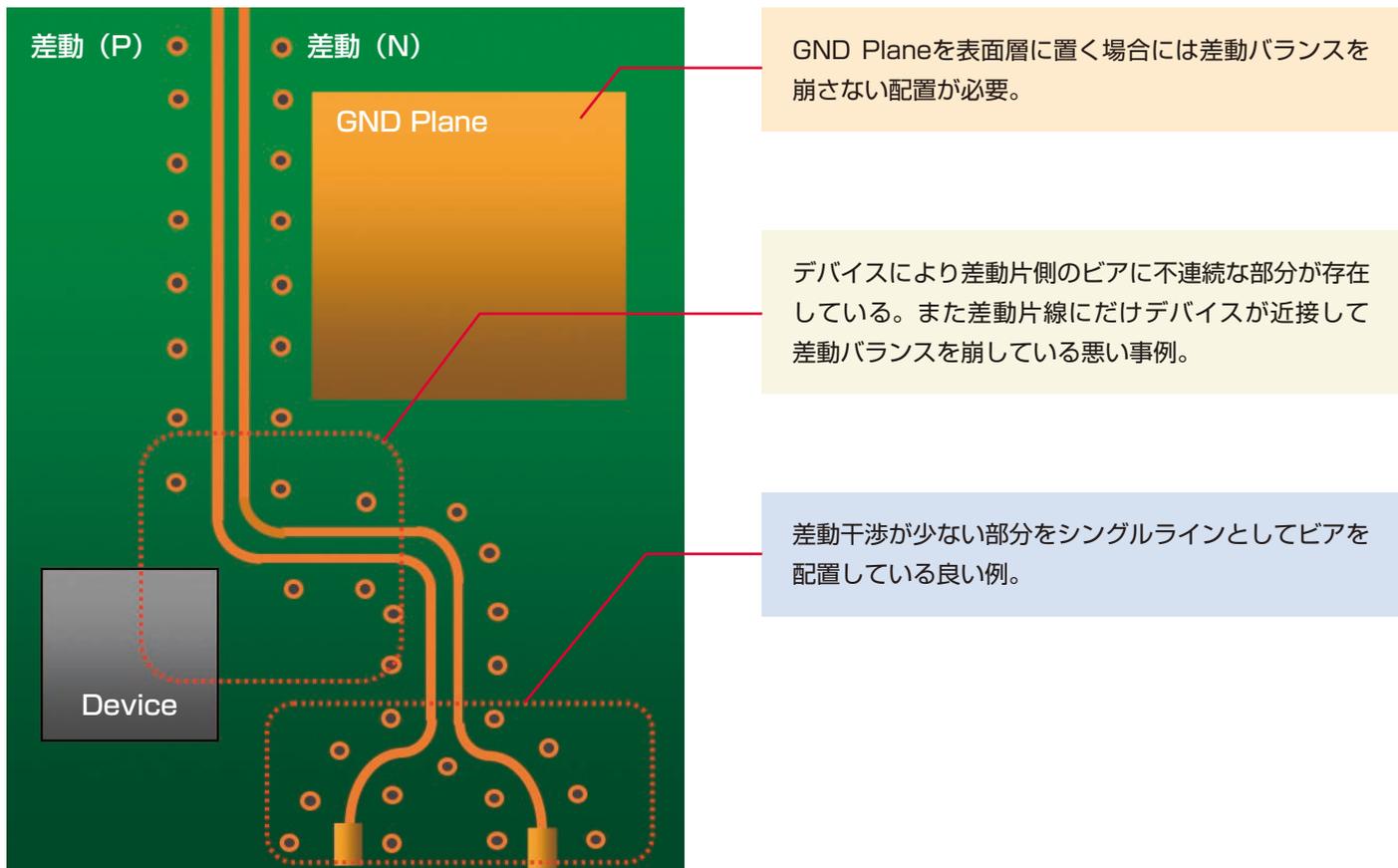
5ページの図2に表示されているとおり、差動線におけるインピーダンス波形では、(+/-) 極性にてTDRを測定したOddモード測定結果と(+/+) 極性にてTDRを測定したEvenモード測定結果の波形を重ねて表示しています。近接した差動線ではOddモードとEvenモードの波形は離れ、差動線間隔が離れている場合にはOddモード、Evenモードの波形は重なってしまいます。

これは差動2線間の干渉状態を表しており、この2線が干渉状態にある場合にはOdd、Evenモードの測定結果はお互いに離れ、2線の干渉状態が少ない場合にはOdd、Evenモードの測定結果は近接してしまいます。5ページの図1で「差動干渉が少ない部分をシングルラインとしてビアを配置している良い例」として、例示しているように、干渉状態が少ない場合には差動伝送としてのコモンモード耐性が少ないことになるため、差動線間の干渉状態の少ない配線にはそれぞれの配線両端にGNDビアを配置して50Ωの特性インピーダンスを維持できるよう設計するのがコツです。つまり、干渉状態の少ない部分ではシングル配線として配置することをお奨めします。

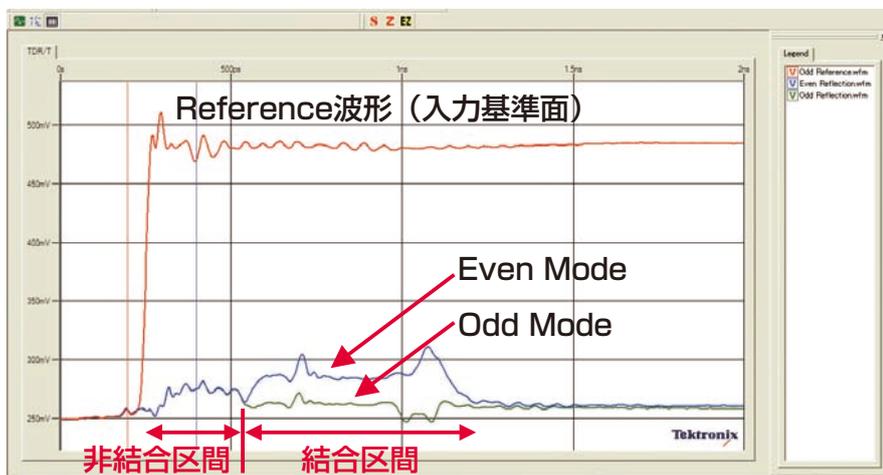
9 まとめ

今回は表面層における差動信号線配置とGNDビアを例にして、設計上考慮すべきポイントを述べました。差動インピーダンスを維持できない程差動バランスを崩してしまうこともコネクタ近傍では起こることも稀ではありません。その様な事例では差動伝送ではなくポジティブ・シングル信号とネガティブ・シングル信号の伝送をする様に基板レイアウトを設計することを推奨します。

■ 図1



■ 図2



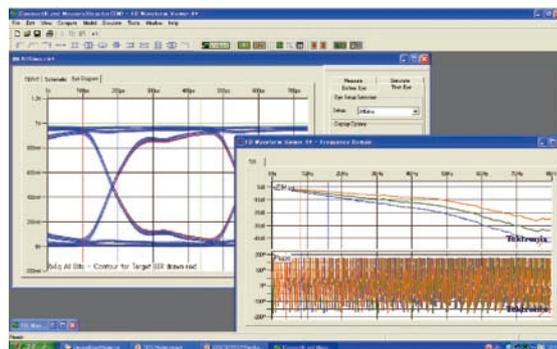
■ 差動間結合状態の測定

- 差動配線の結合区間ではEven-ModeインピーダンスはOdd-Modeインピーダンスよりも高い値を示す
- Even-ModeインピーダンスとOdd-Modeインピーダンスでの異なる区間において差動間結合をしている
- Even-Mode、Odd-Modeインピーダンスを測定することにより差動間干渉状態が確認することができる
- 差動配線間隔が広い場合でも配線幅により差動干渉をする

インターコネクト解析の理想的なソリューション

高性能差動インピーダンス計測

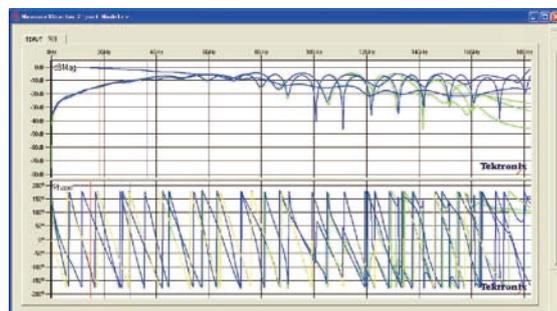
- 最大8チャンネルのTDR測定
- 反射立上り時間15psの高分解能TDRを実現
- 任意の立上り時間での測定をシミュレート
- 極性切り替え可能な高速ステップ・ゼネレータ



アイダイアグラム・Sパラメータ測定

解析ソフトウェア

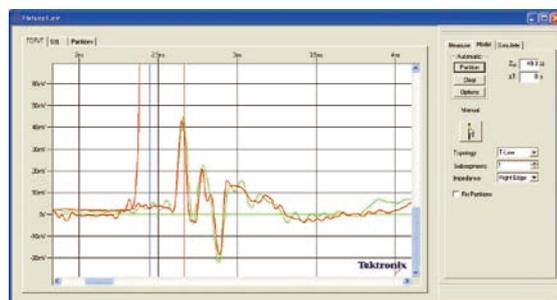
- IConnect® ソフトウェア (V5.0)
- 有損失モデル、無損失モデルの抽出をサポート
- ビヘイビアモデルに対応するMeasureXtractor™
- 4ポート・ミックスドSパラメータをサポート
- コンプライアンス・マスクテストに対応



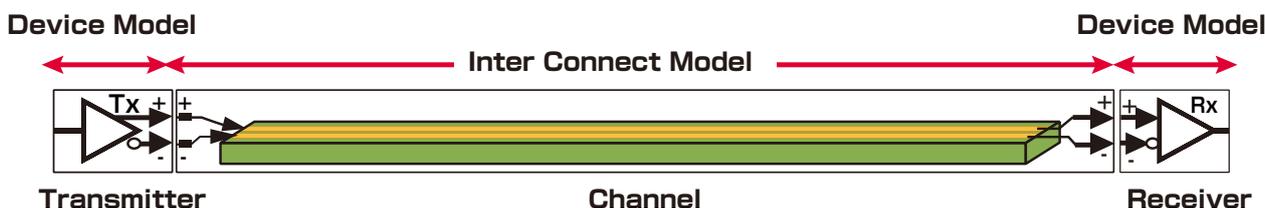
タッチストーンファイルのエクスポート・インポート



DSA8200型デジタル・シリアル・アナライザと
80Exx型電気サンプリング/TDRヘッド



Spiceモデリング (無損失モデル)



*TEKTRONIXおよびTEKはTektronix, Inc.の登録商標です。記載された商品名はすべて各社の商標あるいは登録商標です。



日本テクトロニクス株式会社

www.tektronix.com/ja

〒108-6106 東京都港区港南2-15-2 品川インターシティ B棟6階

ヨッ!良い オシロ
お客様コールセンター TEL:0120-441-046

電話受付時間/9:00~12:00・13:00~19:00(土・日・祝・弊社休業日を除く)

■ 記載内容は予告なく変更することがありますので、あらかじめご了承ください。

© Tektronix 2010年6月 85Z-25439-0