

## DDRやSoCなど、 高速デジタル回路の新しい検証とデバッグ手法

### はじめに

最新の組み込み／コンピューティング・システムは、高速のバス、業界規格によるサブシステム、さらにはチップに集積された機能などにより、ますます高機能化しています。高機能化になっただけでなく、システムはますます複雑になり、信号品質の影響も受けやすくなっているため、トラブルシューティングには時間がかかるようになってきました。

高性能デジタル・システムで使われている数多くのテクノロジーにはそれぞれの規格があるため、テスト要件としては、すべての要素は同期がとれ、全体としてシームレスに統合して機能していることを確認する必要があります。エンド・デバイスには複数のサブシステムが含まれていることがあり、サブシステム間および外部と通信しなければならないものもあります。これは統合テストの延長線上にあるものであり、統合機能のタイミング、サブシステム間の通信を検証する必要があります。このテストでは、一つの要素が検証できるだけでなく、システム全体が検証できるツールが必要になります。

## アプリケーション・ノート

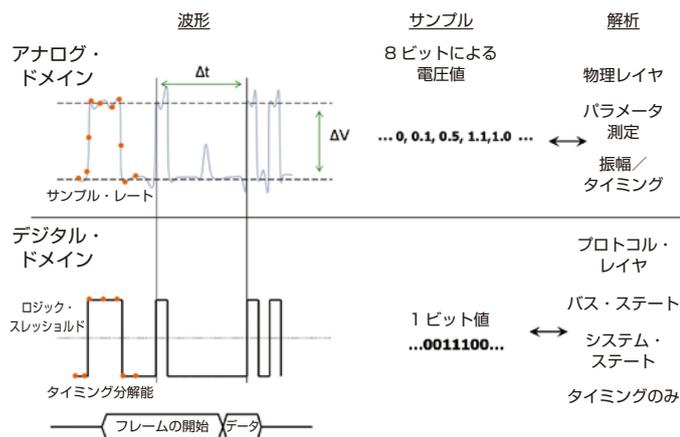


図1. アナログ、デジタルによる測定の違い

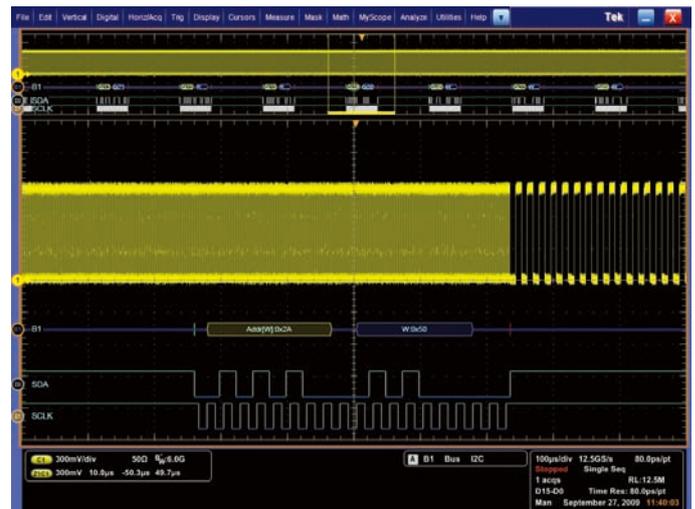


図2. MSO70000シリーズによるアナログ信号、デジタル信号の時間相関表示

## システム・テストの概要

機能、性能が向上するにつれ、エンジニアは回路内のアナログ信号、デジタル信号の両方に注意を払う必要があります。テストは複雑なため、DUT (Device Under Test、被測定デバイス) のさまざまなテスト・ポイントで信号を観測できる特殊なツールが必要になります。例えば、アナログ・テストでは、物理レイヤ解析のために正確な振幅、タイミング、またはアイ・ダイアグラムを測定しなければなりません。この測定には、主にオシロスコープが使われてきました。デジタル・システムのテストではロジック・ステートの値のみが使われ、タイミング情報のみが使われることもあります。時間的な相関関係を観測することで、数多くのデジタル信号のバス解析またはプロトコル・レベル解析を実行します。デジタル・システムのテスト、デバッグでは、メモリの書込み、読み出しなどの特定のバス・サイクルでトリガできなければなりません。デジタル・システムのテストでは、数多くのバスに対応できるロジック・アナライザが使用されてきました。

ソフトウェア・エンジニアとハードウェア・エンジニアが協力して特定の問題をトラブルシューティングする場合、バス情報が観測することが必要になります。すなわち、電気的な特性と同時に、シリアル・バス・プロトコルのデコードされた情報も必要になります。多くの回路設計では数多くのハードウェア・コンポーネントが使用されており、基板上のさまざまなコンポーネントによって特定のタスクが実行されます。コンポーネント間の相互関係を検証するには、DUTのシステムレベルでの観測が必要になります。ここで難しいのは、コンポーネントの動作が正しく同期していることを確認することです。すなわち、テスト機器は正確なタイミング情報を提供し、高いレベルでの観測、解析ができなければなりません。

ミックスド・シグナル・オシロスコープ (MSO) は、アナログ信号の特性評価とデジタル・バスのイベント、タイミング解析が行えるため、システム・デバッグに最適なツールといえます。MSOのタイミング相関機能、ステートの観測機能、データの取込み機能という3つの特長により、アナログとデジタルの混在した設計と検証に威力を発揮します。

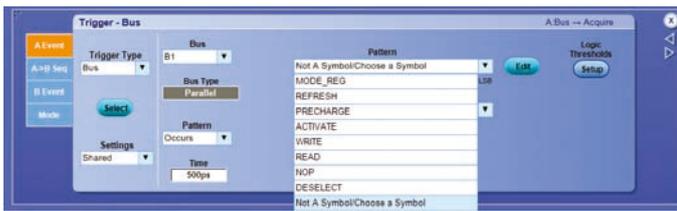


図3. バス条件によるトリガ設定



図4. メモリのリード・サイクルによるバス・クオリファイド・トリガの例

## アナログとデジタルの相関関係

アナログ信号とデジタル信号の相関関係がとれると、検証、デバッグがより効率的になります。ミックスド・シグナルの制御システムでは、ソフトウェアベースの制御ループの動きは、アナログ入力信号と応答信号で相関関係をとることができます。システムのデバッグでは、正しくないデジタル・ステート（正しくないキャラクタなど）は、物理レイヤにおいて低レベルでの信号の影響（データ依存性ジッタなど）となって現れます。

イベントが発生する前後の関係を理解することは、デジタル・システムのデバッグでは重要となります。例えば、どのメモリ位置がアクセスされたか、このバケット情報はどこから来たか、バス障害が発生したときのASICのステートは何かなどです。低レベルまたは物理レイヤの詳細は原因究明で必要になりますが、より大きなシステムにおける状態を理解することでより効率的な原因究明が可能になります。システムの信号の流れを取込むことができれば、より詳細な情報をすばやく調べることができます。

リード・サイクル時のシグナル・インテグリティ、またはメモリの特定のバンクにおける書込み時のタイミング・ジッタなど、特定のサイクルを解析しなければならないことがあります。DDRなどの最新のシグナリングでは、デバッグも複雑なものになります。さまざまなデジタル信号によってサイクル情報が伝わる場合、リアルタイムに観測するためには優れたトリガ機能が必要になります。したがって、デバッグを効率的に行うためには、特定のバス・サイクルでのみ異常信号を検出する能力が求められます。デジタル・パターンの識別機能があれば、ロジック異常検出トリガにより、リード・サイクルにおけるグリッチなどの異常信号をリアルタイムに検出することができます。

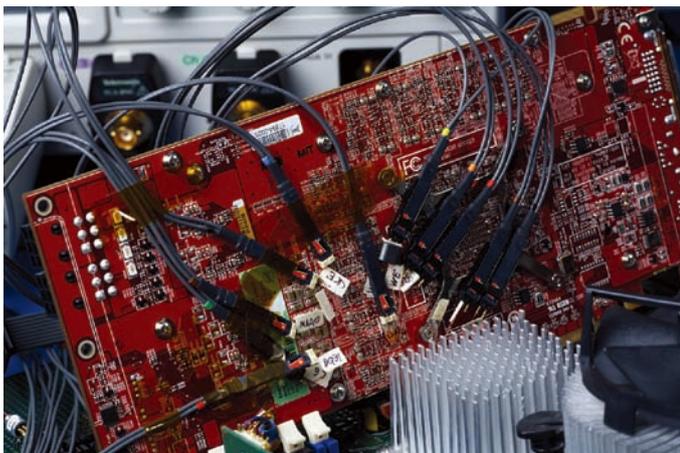


図5. GDDR5ビデオ・グラフィック・カードに接続したP6780型差動ロジック・プローブ

## 信号プロービング

デバイスへのプローブ接続も難しい問題の一つです。デバイスがますます小型になり、プロービングすべきボード上のテスト・ポイントの数は増えています。また、プローブを接続することで容量負荷が増え、デバイスの動作特性が変化するなどの問題もあります。このためには、容量負荷が小さく、デバイスへの接続が容易で、接続したプローブ（またはプローブのラベル）とディスプレイに表示される波形が簡単に区別できるようなプロービング・ソリューションが必要になります。

MSO70000シリーズ・ミックスド・シグナル・オシロスコープには、P6780型差動ロジック・チャンネルなどの高性能16チャンネル・ロジック・プローブが用意されています。P6780型には、ほんだ付け接続のためのアクセサリが付属しており、小さなビアやコンポーネントなどに簡単に接続することができます。

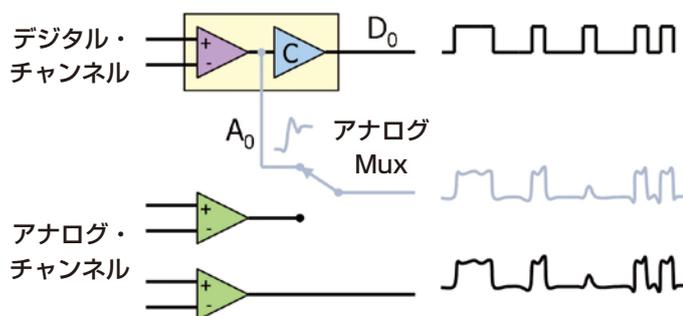


図6a. アナログMuxのブロック図

## アナログMux（マルチプレクサ）

MSO70000シリーズにはiCaptureアナログ・マルチプレクサ機能があり、16チャンネルのロジック・プローブで接続した任意の信号のデジタル波形とアナログ波形を同時に観測することができます。iCaptureには、2つの優れた特長があります。まず、デジタルとアナログの信号を観測するのにダブル・プロービングが不要であるということです。容量負荷が軽減できるため、DUTの信号忠実度が損なわれることはありません。次に、16デジタル・チャンネルのタイミング性能、確度が向上します。オシロスコープのユーザ・インターフェースからアナログ信号をオンにしたり、ソフトウェアでアナログMuxのオン/オフを自動化したりすることもできます。

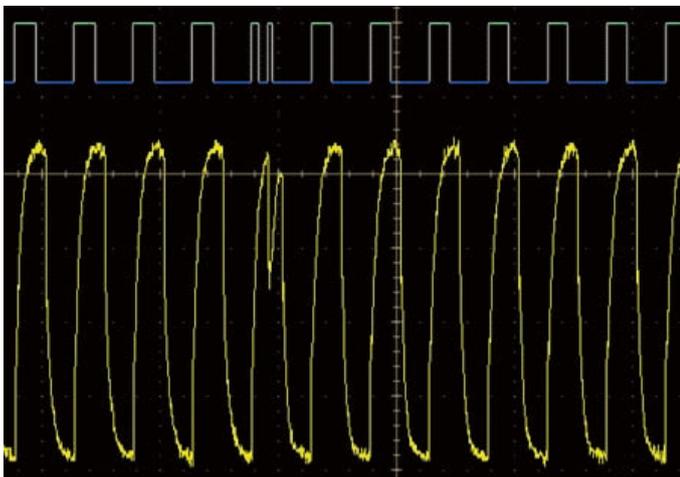


図6b. iCaptureによりデジタル波形、アナログ波形で観測されるグリッチ。1本のプローブでデジタルとアナログの両方の信号が取込まれる

### アナログとデジタルの混在したデバイス

ミックスド・シグナル設計では、デバッグが難しく、複数のドメインにおける測定技術が必要になるという問題があります。MSO 70000シリーズにはアナログとデジタルの両方の信号の解析機能があり、ターゲット・システムのハードウェアとソフトウェアの相互関係を調べることができます。以下に、MSO70000シリーズを使用した、FPGA設計、RFサブシステムなどの高速シリアル技術によるアナログ／デジタル・システムのデバッグの3種類の例をご紹介します。

### 高速シリアル設計

PCI-Express、HDMI、SATAなどの高速シリアル・バスは、優れたデータ・スループット、差動シグナリング、少ないピン数、小さな基板レイアウトなどの優れた特長を持っています。これらの最新規格に共通しているのは、高速なエッジ・レート、幅の狭いデータ・パルスであり、設計エンジニアにとってはやっかいな問題となっています。デジタル・システムでは数ギガビットのデータ・レートは一般的になっており、集積回路の正しい動作のためのシグナル・インテグリティ、すなわち信号品質は設計エンジニアにとっては最優先の課題となっています。データ・ストリームの間違った1ビットであっても、インストラクションまたはトランザクションの出力に大きな影響を及ぼすことがあります。

高性能ビデオ・システムには、RFレシーバ、ビデオ・プロセッサ、メモリ、高速シリアル・インタフェースなど、さまざまな技術が使われています。図7は、高性能セットトップ・ボックスのブロック図を示しています。このシステムはHDMIインタフェースを実装しており、3つのデータ・レーンは3.4Gbpsで動作します。図8はHDMIリンクのアーキテクチャを示しており、高速のクロック、データ・ライン、スタンダード・モード（10MHz）によるI<sup>2</sup>Cシグナリングを使用したDDC（Display Data Channel）を含んでいます。DDCラインは、ソース（トランスミッタ）とシンク（レシーバ）・デバイス間の情報交換に使用されています。

# アプリケーション・ノート

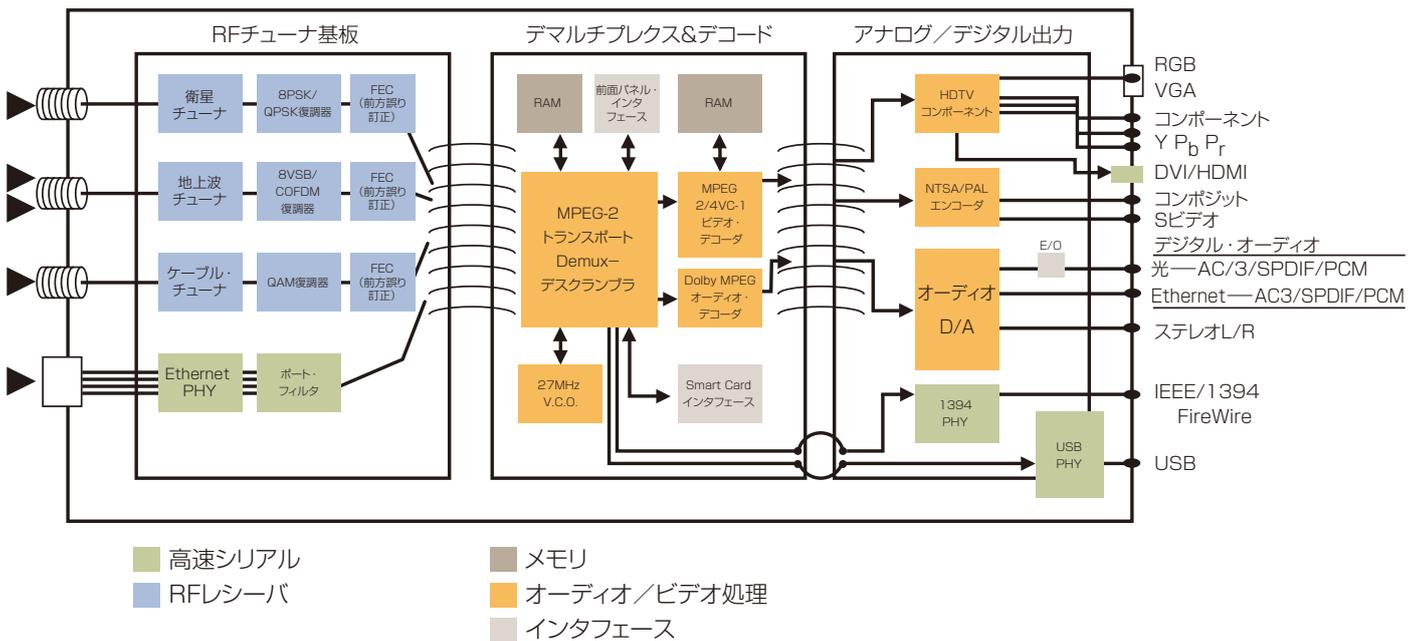


図7. 代表的なHDセットトップ・ボックスのブロック図

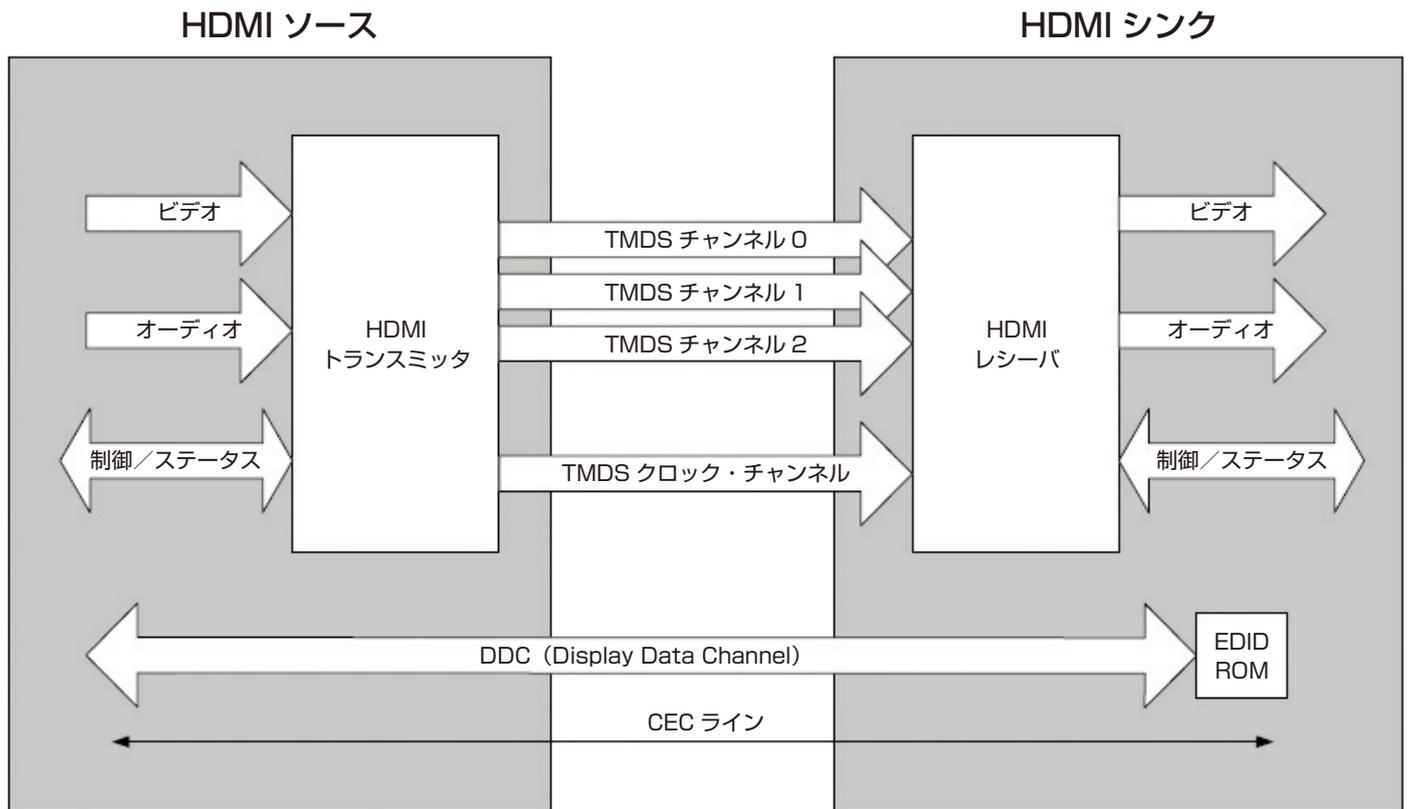


図8. HDMIシステム・アーキテクチャ

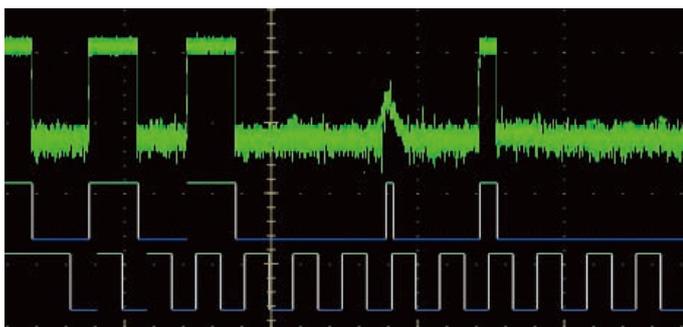


図9. I<sup>2</sup>CのSDATAラインにのったグリッチ

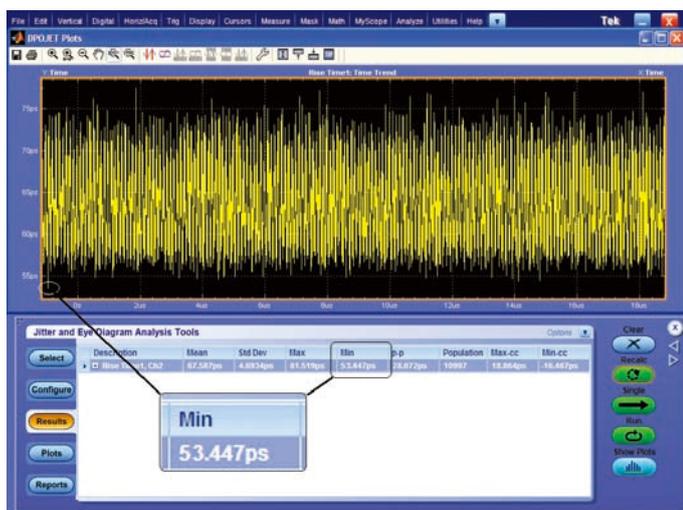


図10. I<sup>2</sup>Cのグリッチ付近の19 $\mu$ sウィンドウにおける立上り時間のトレンド・プロット。最も高速なエッジ・レートは53psと測定されている



図11. クロストークの問題が解決された後のMS070000シリーズによるアドレス0xA0のデコード

この設計では、モニタ出力が間欠的にオフになるため、デバッグが必要です。まず、物理レイヤをチェックし、機能が正しく動作していることを確認しました。また、各レーンのアイ・ダイアグラム、ジッタ測定も問題ありませんでした。高速クロックとデータ・レーンの測定後、I<sup>2</sup>Cのコントロール・ラインにエラー・コードあるいは無効なデータが確認されました。通常の動作では、DDCはアドレス0xA0と0xA1を使用します。しかし、MS070000シリーズでI<sup>2</sup>Cトラフィックを取込み、デコードしたところ、電源投入時に正しくないアドレスがときどきアサートされていました。図9は、MS070000シリーズのiCaptureツールでSDATAラインをデジタル、アナログで表示しています。アナログ信号を見ると、クロストークまたはその他のノイズ結合によりI<sup>2</sup>Cトラフィックがトラブルを起こしていることがわかります。

グリッチの原因を探るため、隣接したレーンを解析し、各高速レーンにおけるエッジ・レートを検証しました。図10は、19 $\mu$ sの時間ウィンドウと、グリッチ付近で発生しているエッジのトレンド・プロットを示しています。この解析から、信号異常の原因がわかってきました。最小の立上り時間53psというのは、通常のHDMIシステムで見られるエッジ・レート90~100psに比べるとかなり高速です。エッジ・レートを遅くするように設計を変更し、データとクロックのシールドを強化しました。図11に示すように、アドレス0xA0と0xA1、データ書き込み前のアクノレッジ・ビットが表示されており、正しいI<sup>2</sup>Cトランザクションであることを示しています。

### FPGA (Field Programmable Gate Arrays)

デザイン規模の拡大とさらなる複雑化は、最新のFPGAをベースとしたシステムにおけるデザイン検証の障害となっています。FPGA内部信号へのアクセスは限られる方向にあり、最新のFPGAパッケージ、PCB (回路基板) の電氣的ノイズなど、これらはすべてデザイン・サイクルのデバッグと検証を難しいものになっています。

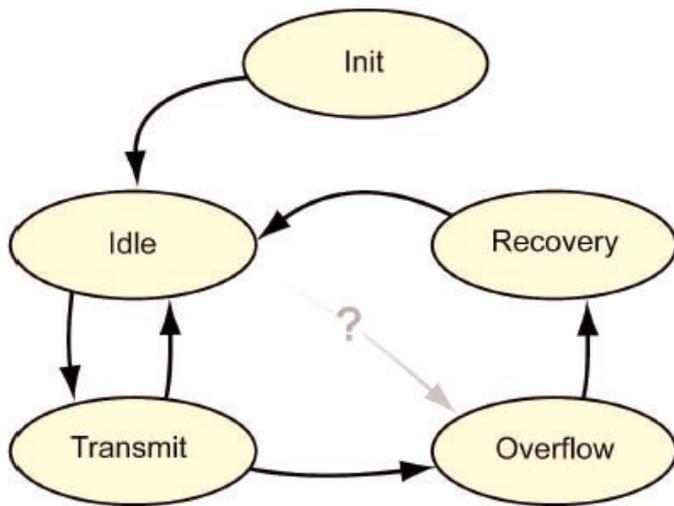


図12. PCI Expressレシーバのデバッグ・ポート・ステート・マシン図

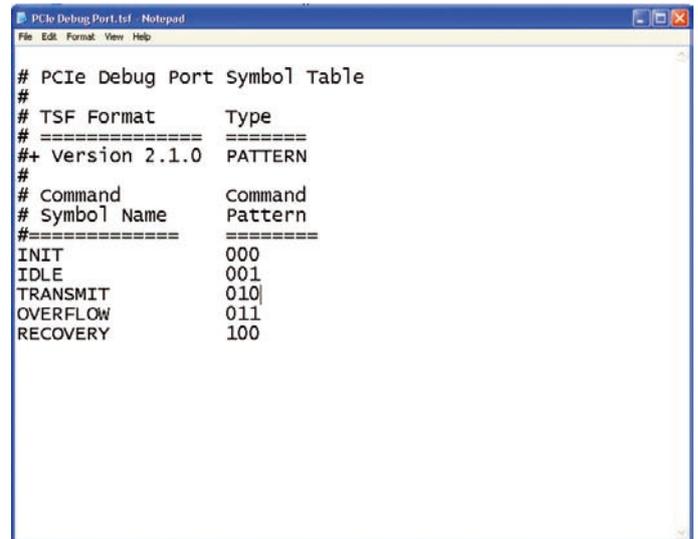


図13. PCIeデバッグ・ポートのテクトロニクス・シンボル・ファイル

FPGAベースの設計で問題が発生した場合、MS070000シリーズを使用して入出力信号などのアナログ・イベントや電源ライン、またFPGAロジックの内部ステータスを示すデジタル・ラインを観測することになります。デバッグが必要になりそうな問題を以下に示します。

- 電源問題などのシミュレーションできない状況
- 強いライン・ドライバによって隣り合ったラインが影響を受け、複数のドライバが同時にオンになるときのみに発生する高速ライン間のクロストーク
- ステート・マシンが予期しない振る舞いになる、正しくないソフトウェア・コマンド・セット
- ステート・マシンのロジック・エラー、ロックの外れたPLL、FIFOオーバーラン

MS070000シリーズを、PCI ExpressリンクとDDRメモリ・バス間の橋渡しとして使用してFPGAをデバッグする様子を見ましょう。この例では、外部でFPGAをモニタすることにより、FPGAのステート・マシン問題を迅速にデバッグする方法を説明します。

PCI Expressのトランスミッタ/レシーバの組み合わせは、シリアル・リンクだけではなく、ビルトインのデバッグ・ポートを持つこともあります。このパラレル・ポートは、デバイス内で発生するトランザクションを要約したリアルタイムのデータを出力します。トランスミッタとレシーバの両方のデバッグ・ポートにより、開発エンジニアは伝送リンクの健全性を監視でき、さまざまなタイプの問題があった場合に、それがトランスミッタ側にあるのか、レシーバ側にあるのかわかります。図12は、PCI Expressシリアル・レシーバで見られるステート・マシンを示します。この簡略化された相互関係では、リンク・プロシージャのルーチンがシンボル化され、黒の矢印は状態遷移を示しています。図13は、MS070000シリーズでデバッグ・ポートの解析を行うためにNotepadで作成したテクトロニクス・シンボル・ファイル (.tsf) のスクリーン・イメージです。図14は、PCI Expressのシリアル・リンクを取込んだ例を示しています。MS0でバス違反にトリガし、バスのエラーを検出しています。きれいな信号品質で表示されていることから、アナログが原因ではないことがわかります。図14からもわかるように、タイミング問題、その他のデジタル競合によってロジック問題が起こっているものと考えられます。

シリアル・データのエラーはデバッグ・ポートのオーバフロー・ステートと一致していること、またシリアル・データはSERDESによってドライブされることから、問題はタイミングに関係しており、SERDES内にその原因があると仮定するのが妥当です。ここでは、構造的な配慮またはその他のデバッグ結果を考慮して、いくつかのトラブルシューティング方法が考えられます。

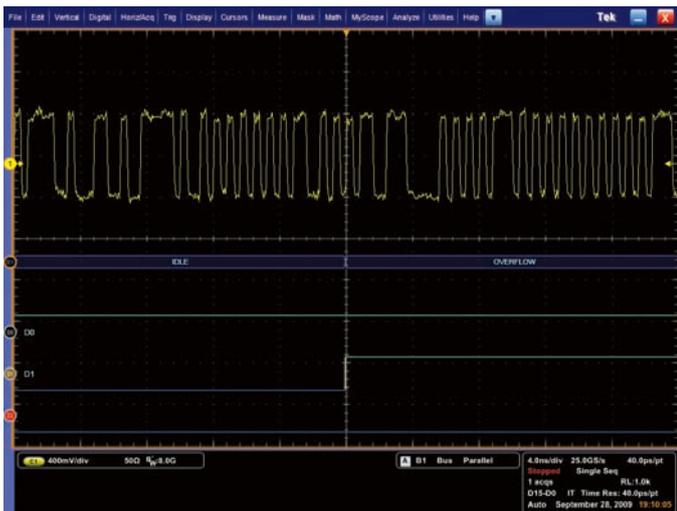


図14. バス・エラー（オーバフロー・ステート）は、デバッグ・ポートのステート・マシンのステート変化と一致している。これはSERDESでのタイミング問題を意味しており、FPGAのシンセシス・プロセスにおけるエラーが原因である可能性がある

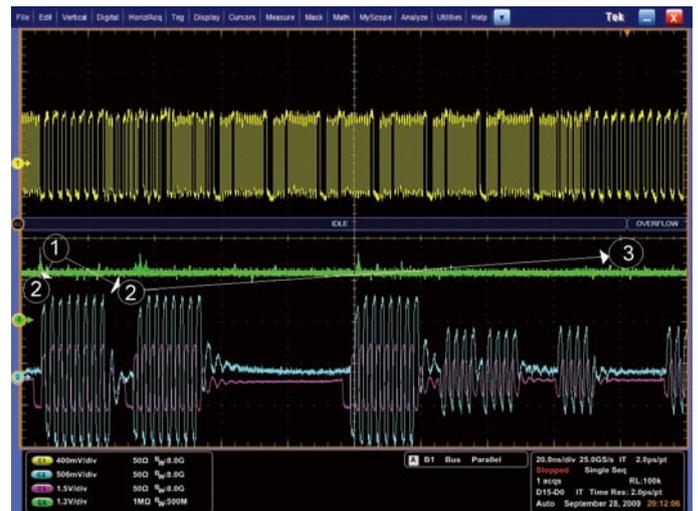


図15. グランド・バウンス (1) によりリード・データ (2) のセットアップ/ホールド時間違反が発生し、PCIeバスに無効なデータを返すことになる

FPGAでは、設計はプログラマによって機能要素に組み替えられます。この「組み替え」プロセスはシンセシス (Synthesis) とも呼ばれ、内部のゲートを使って希望の機能を文字通り合成します。このことを理解しているエンジニアであれば、トラブルシューティングにおいて、まずFPGAの合成結果をダブルクリックし、ステート・マシンのすべての遷移のタイミングが正しいことを確認します。

これで問題の原因が特定できない場合は、次にデバッグ・コネクタの他の信号を当たり、デバイスの動作を追跡します。例えば、図12の現在のステート・データを検証した後、デバッグ・ポートに「次のステート」を送るようにFPGAは再プログラムされます。現在のステートでは見ることのできないところに問題があるかもしれません。もちろん、それ以外にも調査すべきステートは数多くあります。

FPGA設計をデバッグするもう一つの代表的な方法は、エラー・ソースからデータ・フローを遡ることで原因を特定します。さらに詳細に調べると、電源ラインはDDRメモリ・バス上にノイズを含んでいることがMSO70000シリーズによる観測からわかりました。FPGAのステート・マシンでPCIeリンクがアイドル・ステートに入る直前に、メモリのリード・リクエストが発行されています。スイッチング・ノイズによりメモリ・バスに問題が発生し、それがPCIeバスに戻って伝播します。これが、FPGAステート・マシン・エラーの根本原因だったのです。

システム問題の追跡が、単にグリッチの原因、それを発生するロジック・デバイスを突き止めるだけでは済まなくなりつつあります。1つのバスで発生するエラーが原因となり、それがシステムの複数のバスに影響を及ぼすことがあります。このため、クロスバス解析は欠くことのできないトラブルシューティング手法になりました。MSO70000シリーズは、時間相関のとれたデジタル、アナログのイベント表示を1つのスクリーンに表示することができるため、FPGAやマルチバス・システムのトラブルシューティングにおける強力なツールとなります。クロスバス解析により、システム内の相互関係を同時に観測することかでき、エラーを突き止めるだけでなく、その根本原因まで短時間に特定することができます。

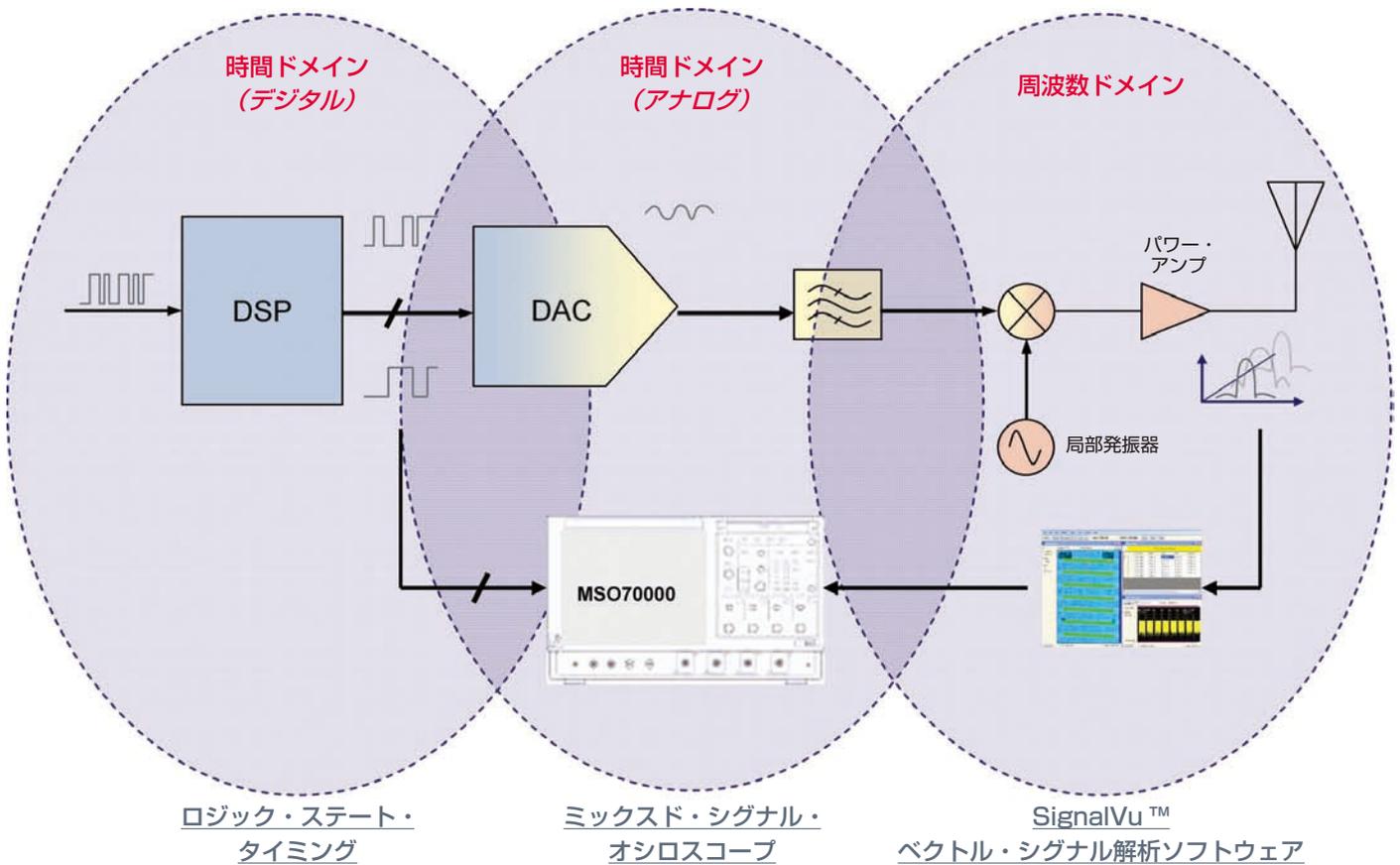


図16. トランスミッタのブロック図とミックスド・シグナル・オシロスコープとの接続

## RF テスト

ソフトウェア無線の設計の問題点は、ハードウェア/ソフトウェア・エラーのトラブルシューティングと軽減にあります。DSPによるアナログ機能の制御が進むようになると、設計のデジタル・ベースバンド部の不正状態または異常なフィルタの値がトランスミッタのフィルタや増幅器部分に伝わると、RFスペクトラム・エラーとなって現れてきます。

図16は、複雑なマルチドメイン解析におけるMSOの接続例を示しています。デジタルとアナログが解析できるだけでなく、ベクトル・シグナル解析ソフトウェアを組込むことにより、周波数ドメインを含む優れた解析が1回のデータ取込みから行えるようになります。

例えば、MSOのロジック・トリガでは、D/Aコンバータの入力における不正な状態を取込むように設定することができます。ロジック・トリガでは、すべての「1」の状態 (0x3F) の値にトリガすることができます。図17に示すアナログ信号の相関表示では、約34nsの遅延が観測されています。これは、高速デバイスのD/A変換プロセスにおける絶対遅延を示しています。

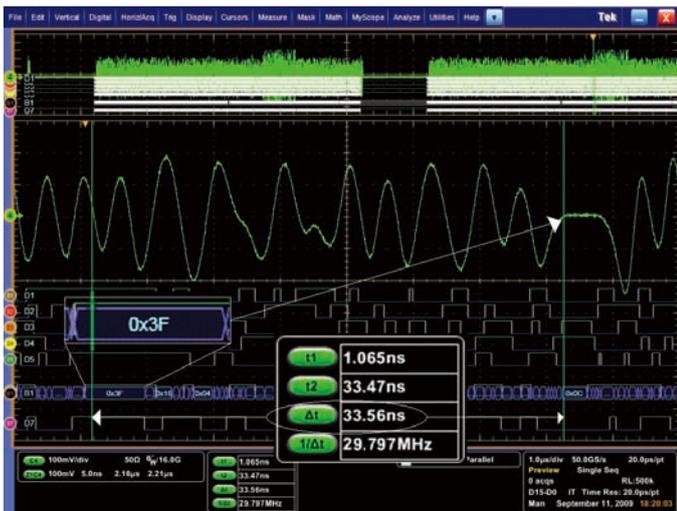


図17. D/Aコンバータとアナログ入力におけるロジック・ステートの統合表示

この解析により、ロジック・ステートとアナログ・チャンネルの幅の広いパルスの相関関係がわかります。RF信号の時間ドメイン表示では、ソフトウェア無線設計における影響を理解することは難しいため、さらに詳細なRF性能の解析が必要になります。

SignalVu™ソフトウェアを使用すると、1回の取込みから信号のRF性能を直接評価することができます。図18は、図17で取込んだ同じデータからRF解析を行った例です。ロジック・ステート・トリガを使用してデータを取込み、SignalVuによってRF性能を解析しています。

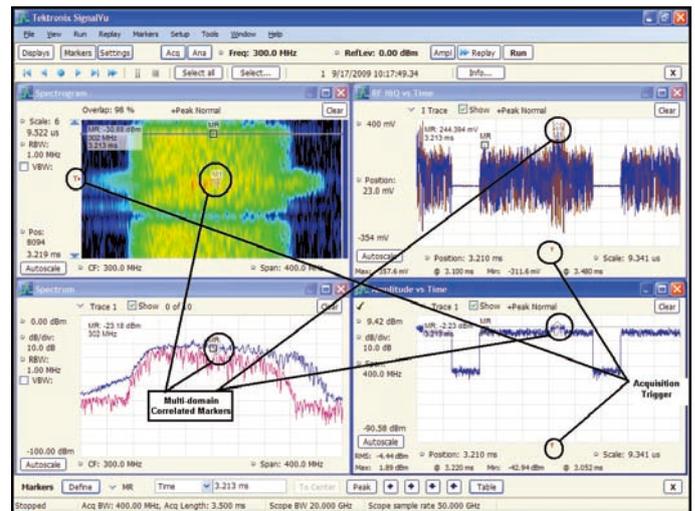


図18. SignalVuによる、相関関係のとれたマルチドメインの詳細解析

この例では、DFT (Discrete Fourier Transform、離散フーリエ変換) によってスペクトログラム表示とスペクトラム解析を行い、時間サンプルされたデータはRF I&Q対時間、振幅対時間として表示されています。

時間相関マーカをオンにすると、さまざまな表示方法で時間相関のとれたRF解析が行えます。DAコンバータでの不正なステートによるトリガから、異常なRFスペクトラムが表示されている様子がはっきりと確認できます。このスペクトラムからブロック図のデジタル・ステートに戻ることににより、トランスミッタのアナログ部ハードウェアに問題があることがわかりました。

## まとめ

デジタル設計エンジニアは、クロストークやジッタなどのシグナル・インテグリティ問題から、セットアップ/ホールド時間違反やドロップ・パケットなどのバス障害まで、さまざまな問題をすばやく検出して解析する必要があります。MSO70000シリーズには80psのタイミング分解能があり、最大20チャンネル同時の正確なタイミング測定が行えます。iCapture機能により、追加プローブの必要なしに、短時間に、DUTに与える負荷を最小にしながら、デジタル・チャンネルのアナログ特性をすばやく観測することができます。バスにトリガし、デコードすることで、不正ステートがすばやく検出できます。

高性能デジタル・システムは、ますます進化し、複雑になり、信号品質に対して影響を受けやすくなり、トラブルシュートにも時間がかかるようになっていきます。MSOは、効率的なシステム解析、デバッグを行い、製品をすばやく市場に投入するための最適なツールです。

## Tektronix お問い合わせ先：

日本  
お客様コールセンター  
0120-441-046

### 地域拠点

米国 1-800-426-2200  
中南米 52-55-54247900  
東南アジア諸国/豪州 65-6356-3900  
中国 86-10-6235-1230  
インド 91-80-42922600  
欧州/中近東/北アフリカ 41-52-675-3777  
他 30 カ国  
Updated 9 October 2009

### 詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ ([www.tektronix.com/ja](http://www.tektronix.com/ja)) をご参照ください。



TEKTRONIX および TEK は、Tektronix, Inc. の登録商標です。Dolby は、米国 Dolby Laboratories, Inc. の登録商標です。記載された商品名はすべて各社の商標あるいは登録商標です。

11/09

55Z-23433-0



## 日本テクトロニクス株式会社

[www.tektronix.com/ja](http://www.tektronix.com/ja)

〒108-6106 東京都港区港南2-15-2 品川インターシティ B棟6階

お客様コールセンター TEL: 0120-441-046  
ヨッ!良い オシロ

電話受付時間 / 9:00~12:00・13:00~19:00 (土・日・祝・弊社休業日を除く)

■ 記載内容は予告なく変更することがありますので、あらかじめご了承ください。

© Tektronix