

図1. ビット・シーケンスを重ね書きすることで得られるアイ・ダイアグラム

アイ測定的基础

アイ・ダイアグラムは、デジタル信号の品質をすばやく、直感的に評価するのに優れた方法です。適切に構築されたアイには、単純な101や010のビット・シーケンスから、連続した長いシーケンスの0の後の独立した1や、システム設計で見られる問題のシーケンスなど、あらゆる可能性のビット・シーケンスが含まれています。

アイ・ダイアグラムでわかること

アイ・ダイアグラムには、システム帯域の健全性など、物理特性による影響を示す、信号に関するパラメータ情報が表示されます。プロトコルやロジック問題がわかるものではなく、例えばアイでロジック1が正しく表示されても、システムが0を送ったという事実を示すものではありません。しかし、システムの物理特性により、システムを經由する間にロジック1が歪み、レシーバの遠端で間違っ0と読み取られる場合、正しいアイ・ダイアグラムであればこれを表示することができます。

アイの特性評価には、立上り／立下り時間、アイの中央交差点におけるジッタ、オーバーシュートの有無、その他アイの振る舞いを示す数値の測定があり、測定するデバイスの比較に使用されます。通常、計測器には自動測定機能があり、このような測定が簡単、迅速に行えます。

アイ・ダイアグラムのトリガによる影響

BERT (ビット・エラー・レート・テスト) で生成されるPRBSパターンなど、繰り返し性のあるテスト・パターンを使用するテスト機器では、数多くのアイ・ダイアグラムが構築されます。このような機器は、さまざまなトリガ信号を生成します。

1. データ信号と同じレートをもち、同期したクロック・トリガ
2. $\div 4$ 、 $\div 16$ など、データ・レートのべき乗の分割比による分割クロック・トリガ
3. パターン・トリガ — パターンの繰り返しごとに一度だけトリガを発生する信号
4. データ自身がトリガとして使用できるもの
5. データ信号のクロック・リカバリを使用してトリガ信号を得るもの (図2を参照)

それぞれの方法は、波形の構築で異なった結果となります。

クロック・トリガ — 一般的なアイ・ダイアグラムで使用され、すべてのビット・トランジションが一つの表示内に表わされます。

分割クロック・トリガ — アイ・ダイアグラムを作成しますが、アイを生成するのに使用される機器のトリガ入力帯域が、観測する信号のデータ・レートよりも狭い場合に有効です。この方法は、パターン長を分割比で割ったものが整数倍にならない限り、例えば128ビット・パターンを4分周クロックで観測しない限り、完全なアイが生成できます。整数倍になると、トリガ信号はパターンと一致してしまい、パターンに一部を失うことになり、不完全なアイになります (図3を参照)。

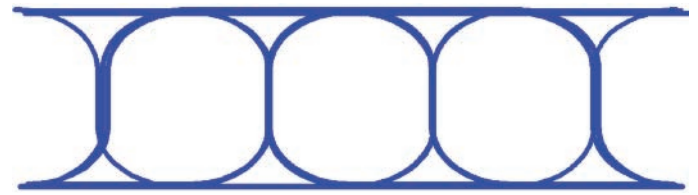


図2. フル・レートのクロック・レートで生成されたアイ・ダイアグラム

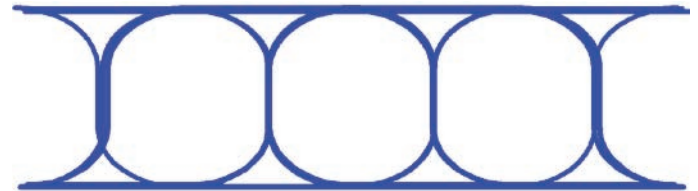


図3. 分割されたクロック・レートで生成されたアイ・ダイアグラム



図4. パターン・トリガで取込まれたビット・シーケンス

パターン・トリガ — パターンの個々のビットを表示する場合には使用します。すべてのパターンを観測するには、オシロスコープの時間軸またはパターン・トリガ・ポジションに切り替えてスクロールしなければなりません。オシロスコープの時間軸で長い時間間隔をスクロールすると、時間軸回路の弱点により、表示される信号に明らかなジッタが増えてしまいます。この問題を避けるためには、BERTまたは最新のオシロスコープが必要になります (図4を参照)。

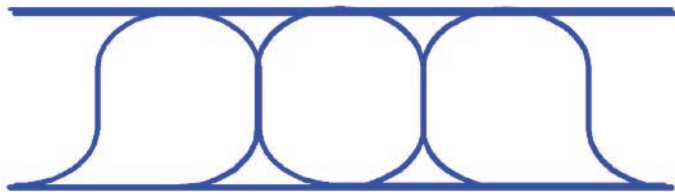


図5. データでトリガして表示される不完全なアイ・ダイアグラム

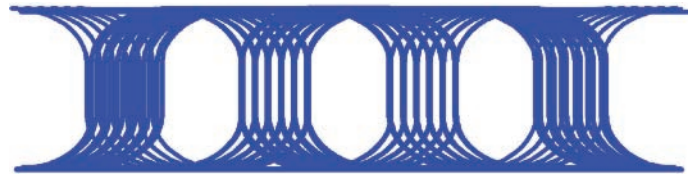


図6. 狭いループ帯域のクロック・リカバリを使用してデータ信号から抽出したクロックでトリガしたアイ・ダイアグラム

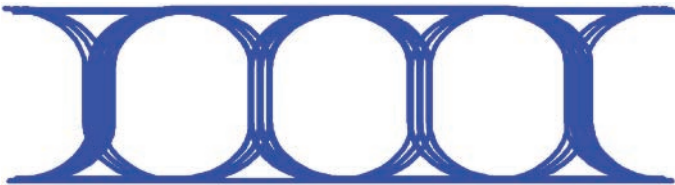


図7. 広いループ帯域のクロック・リカバリを使用してデータ信号から抽出したクロックでトリガしたアイ・ダイアグラム

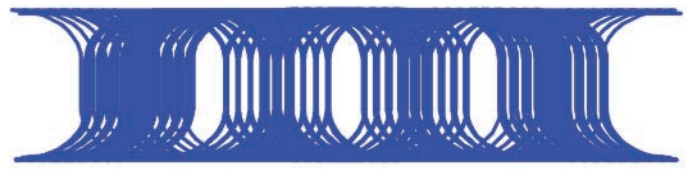


図8. ジッタのあるクロック、ジッタのあるデータによる著しい干渉で遅延したトリガによるアイ・ダイアグラム

データにトリガするのは、アイ生成の必要最低限な方法であり、簡単なチェックでのみ使用します。同一キャラクタが長い時間間隔で続く場合は、トリガのためのトランジションがないため、完全にアイを生成することができません（図5を参照）。

クロック・リカバリを使用したトリガ：複雑にはなりますが、次のような利点があります。

- クロック信号が利用できないような場合に使用されます。
- その他のケース、特に長距離光ファイバ通信では、送信端のクロックと受信端でのデータ関係は、伝送経路による急激な時間変動の影響により大きく損なわれます。
- 最後に、レシーバがクロック・リカバリを使用し、レシーバ基準にアイを調べる必要がある場合は、ジッタ・テストなどのなんらかの規格が必要になります。

クロック・リカバリで使用される回路には、通常ループ帯域またはフィルタ関数があり、データ信号のジッタをクロック信号から取り除きます。測定によりますが、役立ったり、逆に有害だったりするため、理解が必要です。

狭いループバック帯域のクロック・リカバリは、リファレンスとして堅固なクロック・トリガになる傾向にありますが、アイ・ダイアグラムのジッタ、時間的なエッジの移動は表示されます。便利な測定ですが、レシーバがジッタのトラックのためにクロック・リカバリを使用する場合は、実際のシステムで見られるジッタは再現できないかもしれません（図6を参照）。

広いループバック帯域のクロック・リカバリは、データ信号のより多くのジッタがクロックにのります。これは、データのエッジが一つの方向、次に別の方向に移動してふらつくと、リカバリされるクロックもそれをトラックするため、結果としてジッタは非常に小さなものになります。このトラッキング機能は、多くのシステムのレシーバがシステムを通過させるジッタを低減させるために使用されている方法です（図7を参照）。

条件によっては正反対の効果が現れることもあり、データ信号とトリガ信号間の遅延が、データ・エッジが一方向の最大量で移動するような場合、それからトリガされるリカバリ・クロック信号は別の方向に大きく移動するため、アイに表示されるジッタは、データ信号のジッタの2倍にもなります（図8を参照）。

最後の状況は望ましいものではありませんが、最初の2種類の状況はすべてのジッタが表示されるか、ほとんどのジッタがトラッキングされるかであり、その使用は測定でどのような情報が望まれているかによって使い分けられます。幸いなことに、ほとんどの規格では、測定に必要なトリガ方法を規定しています。

アイ・ダイアグラムとBER

アイ・ダイアグラムは、パラメータ性能の観測において便利で直感的な方法であり、システムはビットを忠実に、エラーなく送ることができるかという能力を判定されます。BER(ビット・エラー・レシオまたはビット・エラー・レートとも呼ばれます)は、正しく受信できなかったビット(エラー)の数を、受信したすべてのビット数で割った比率になります。システム全体の総合的なスコアにはなりますが、なぜ期待以上の性能にならないのかということに対しては役に立ちません。BERは、ロジック問題、およびパラメータ問題、すなわちビットが正しく送られたかをテストすることなのです。

では、なぜアイ・ダイアグラムとBERは簡単にリンクできないのでしょうか。完全なアイ・ダイアグラムは、どの程度まれに影響が現れるかにかかわらず、すべてのビット・シーケンスのすべてのパラメータの様子が表示されます。言い換えれば、非常に深い情報を持っていると言えます。通常、アイ・ダイアグラムは、データ・レートよりも桁違いに低いサンプル・レートで元のデータから取込まれた電圧/時間サンプルによって生成されます。サンプリング・オシロスコープでは、10Gbps(1010ビット/秒)のレートで1秒あたり105サンプルになります。これは、ほとんどのアイ・ダイアグラムが非常に少ない数のデータで生成されていることを意味します。

これは、まれにしか問題が発生しない場合に問題となります。この問題とは、パターンに関係したもの、ノイズに関係したもの、またはクロストーク、その他の干渉などによる影響によって発生するものなどがあります。オシロスコープのアイ・ダイアグラムでは観測できないかもしれませんが、望まれるレベルのリンク性能を阻害することになります。例えば、リンク性能は1兆回に1回以下のエラー性能(1×10^{-12} BER)で動作するよう求められ、この場合、アイ・ダイアグラムは 1×10^{-5} より確率の低いイベントを表示しなければなりません。

解決すべき問題はまだ残っています。まず、より高いサンプリング効率のアーキテクチャによる電圧/時間測定からアイ・ダイアグラムを構築することです。BERTScopeなどのシステムは、サンプリング・オシロスコープよりも3桁ほど深い情報が得られます。

2番目のソリューションはBERTの使用です。BERTはライン・レートで直接データをサンプルするため、システム性能を制限するような、まれにしか発生しないイベントを観測することができます。

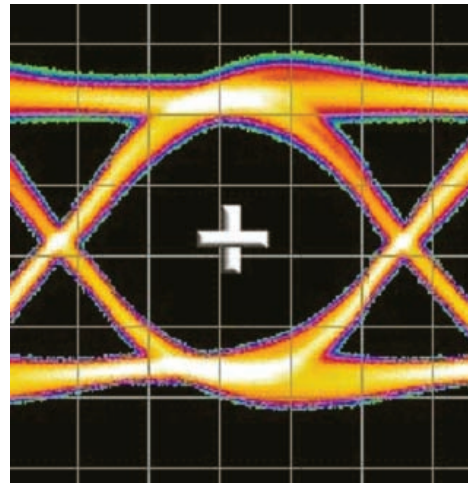


図9. アイ中心点のレシーバ・デジジョン・ポイント

アイのスライス

一般的なレシーバは、信号が特定のスレッショルド電圧より大きいか小さいかを、瞬時に決定するように設計されています(図9を参照)。

これにより、入力信号がデータ1か、データ0かを決定します。賢明なシステム設計エンジニアであれば、このデジジョン・ポイントを、立上り/立下りエッジ、ハイ/ロー・レベルから最も遠いポイント、すなわちアイの最も影響の少ない部分、通常はアイの中心に設定します。ほとんどのBERTには、このデジジョン・ポイントを時間、電圧の適切な位置から移動できます。デジジョン・ポイントを移動することによりアイの他の部分を調べることができ、発生するエラーを測定することによりアイ・ダイアグラムを詳細に評価できます。

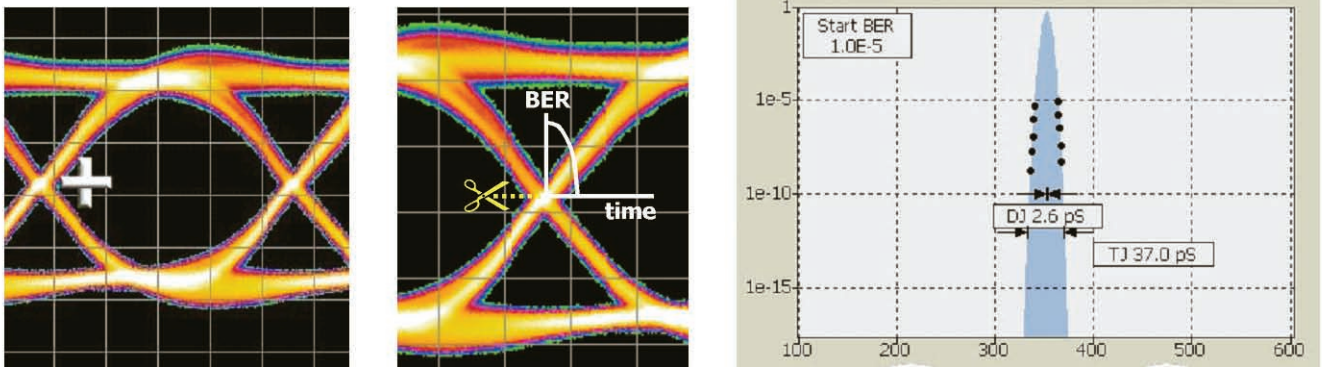


図10 (a)、(b)、(c) . BERTのデシジョン・ポイントを時間的に移動し、交差点のBERプロファイルを明らかにする

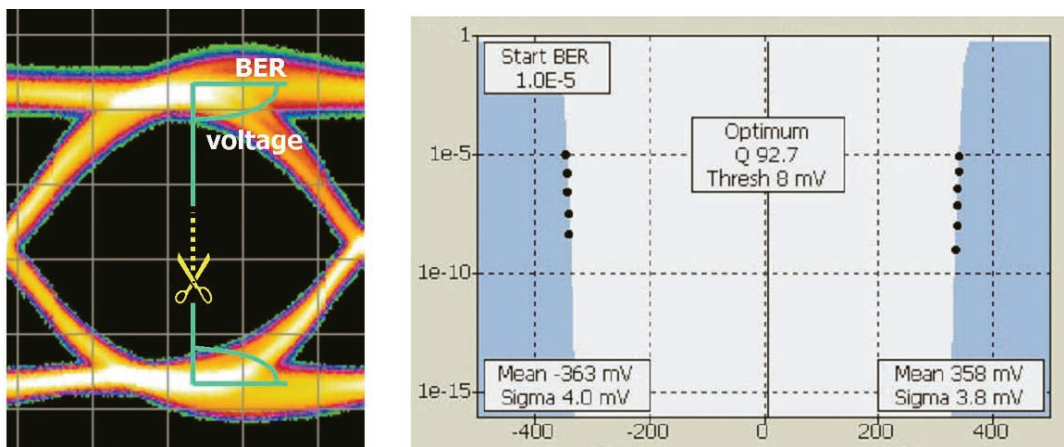


図11 (a)、(b) . BERTのデシジョン・ポイントを電圧方向に移動し、0、1レベルのBERプロファイルを明らかにする

ジッタ・プロービングは、BERTで行う一般的なテストであり、アイの交差点をプロービングすることで実行します。この測定は、BERTScan、バスタブ・ジッタ、ジッタ・ピークなど、さまざまな呼び名があります。詳細は、MJSQに記載されています。BERTによる測定では、すべてのビットが観測できるため、まれにしか発生しないジッタ・イベントも確実に捕捉できるという利点があります (図10を参照)。

信号対ノイズ・プロービング — 光ファイバ業界ⁱⁱⁱにおける2番目に一般的なアイ・テストがQファクタです。このテストは、ノイズで性能が制限されるシステムで有効です。デシジョン・ポイントは、ビット周期のアイの中間における垂直スライスでプロービングします。BERがアイの中央に向かってロールオフする様子を測定することにより、どの程度ノイズがあるのか、またそのリンクへの影響がわかります (図11を参照)。

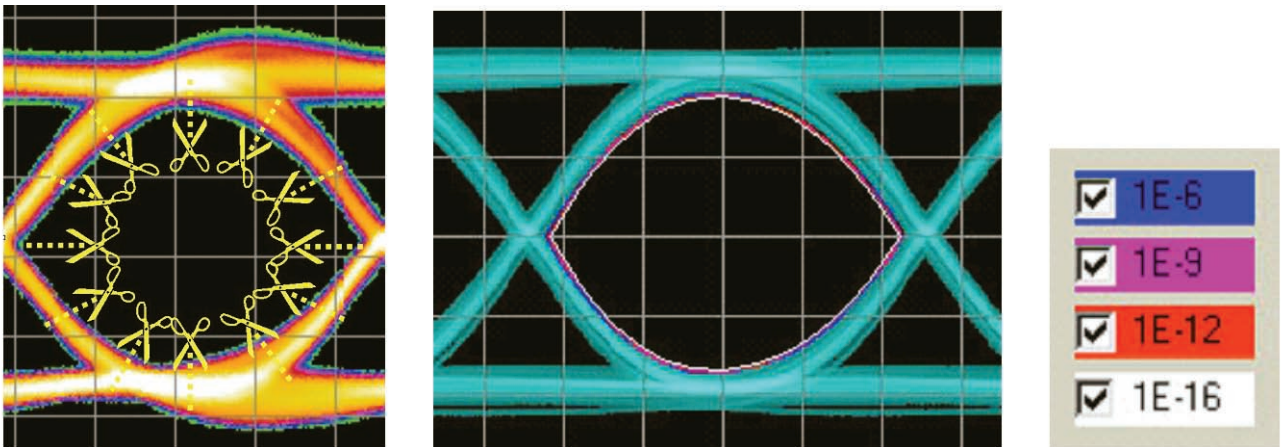


図12 (a)、(b) . 数多くの軸でアイをスライスし、アイ等高線を作成

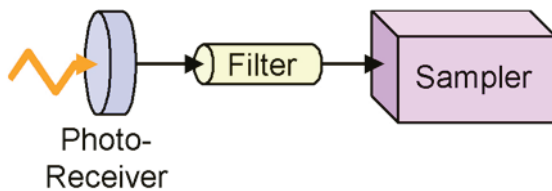


図13. リファレンス・レシーバのブロック図

BER等高線 (BER Contour) は最後の2つの測定の上位セットであり、BERとアイ・ダイアグラムを完全にリンクします。デシジョン・ポイントはアイの内側にステップ状に配置され、BERのプロファイルはアイ周囲の一連の角度によるスライスにより描かれます。これにより、システムのパラメータ問題がどこに潜んでいるか、はっきりと示されます。BERTScopeは、この測定が迅速に実行できるように最適化されています (図12を参照)。

測定スピードへの要求

この測定に要する時間は、10Gbps、一点での 1×10^{-12} BER測定で数分かかります。一点での測定に数か月かかる一方、多くのシステムが 1×10^{-15} 以上で機能することが求められているため、迅速な測定に測定し、外挿することが重要になります。BER等高線の測定時間は求められるレベルまで短縮されており、外挿による不確かさも大幅に抑えられています。

トランスミッタのテスト

アイ・ダイアグラムは、一般にトランスミッタのテストで使用されます。テスト機器の入力特性は変化するため、リファレンス・レシーバと呼ばれるテストの標準化手順は、光トランスミッタをテストする機器のためのITUなどの国際規格ⁱⁱⁱで考案されています。入力フィルタの同様の使用方法は、電気規格でも検討されています (図13を参照)。

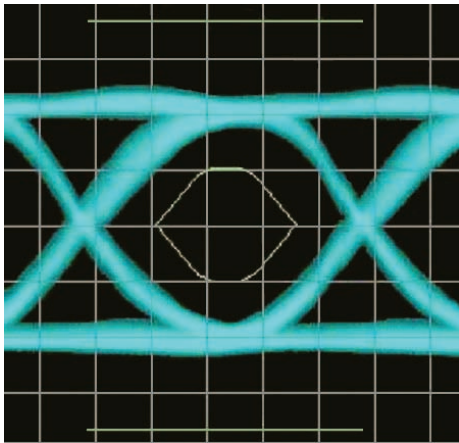


図14. アイ・マスク・テスト

その目的は、測定システムの周波数全域における応答が制御されており、設定されたトレランス・ウィンドウ、ビット・レートの0.75におけるシステムの-3dBポイントで4次のベッセルトムソン曲線にしたがうことにあります。理論上は、どの計測器で測定しても互換性があることとなります。

マスク・テストは、トランスミッタ製造時の迅速なテストのために簡略化されたアイ・ダイアグラム・テストです。アイのすべてのパラメータを測定する代わりに、アイ・マスク・テストでは立ち入り禁止エリアと見なされる重要なアイの領域を設定し、この領域に信号が入るとデバイスはフェイルになります。通常、マスク・テストは数秒で終わります。ここで注意すべき点は、マスク・テストはトランスミッタの全体の問題を検出するものであり、まれにしか発生しないイベントを短時間に検出できるような十分なデータは持っていないということです。一方、BERTScopeなどの計測器は、わずか数秒で膨大な量のデータを取込むことができます（図14を参照）。

チャンネルのテスト

チャンネルは、単独に、またはトランスミッタとチャンネルの組み合わせでテストされます。単独でチャンネルをテストする場合、ロス、減衰、反射、散乱などのパラメータ特性を測定します。この測定は光リンク、電気リンクで適用されますが、バックプレーンなどの短距離電気の場合は、これらのすべてのパラメータを正確に表わすものとしてSパラメータが測定されます。独立した要素としてチャンネルを特性評価することの難しい点は、リンク端でのアイとBERの様子を理解するため、測定内容をどのように変換するかということです。StatEye^{iv}などのモデリング・プログラムを使用すれば、パラメータの特性を変換してBER等高線の推定に役立てることができます。

もう一つの方法は、代表的なトランスミッタによるチャンネル測定です。この方法の欠点は、トランスミッタとチャンネルの特性が畳み込まれているため、チャンネルの特性を求めするためには、測定結果からトランスミッタの特性を逆コンボリューションしなければならないということです。利点としてはアイの特性とBERの性能を直接測定できることです。この方法は、測定したBER等高線をStatEyeなどのプログラムでモデリングした結果と比較できるという点で有益です。

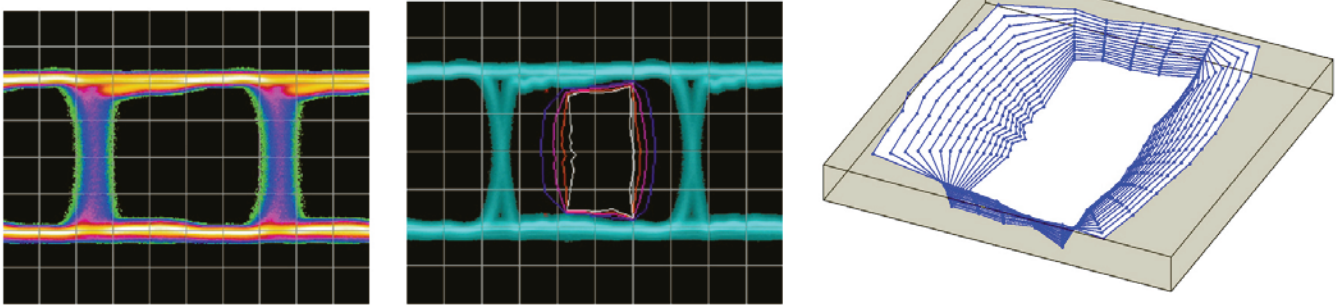


図15 (a)、(b)、(c) . (a) アイ・ダイアグラム、(b) BER等高線、(c) 3D-BER等高線

3次元 (3D) でのBER等高線

BER等高線を3次元にプロットすると、まれにしか発生しないイベントによる影響も含め、アイの健全性を視覚化することができます。

レシーバのテスト

従来、レシーバのテストはアイに関連したテストではなく、BERのテストでした。レシーバへの入力信号は小さくなったり、損なわれたりすることがあるため、被測定デバイスの条件に制限が加えられます。レシーバがエラーなく機能すれば、パスします。

レシーバ・テストで興味深いのは、ジッタ耐性をテストすること、または信号データのエッジが時間的に不規則に変化してもそれぞれの入力ビットを正しく判定する能力を測定することです。先にも説明したように、クロック・リカバリはこのジッタの多くを除去します。SONET/SDHのジッタ耐性は、温度によって振幅、周波数が変化する正弦波を注入してデータ・エッジを確定的に移動することでテストしました。最近ではストレス・アイの概念が導入されており、さまざまな方法でデータのエッジを歪ませることができます。

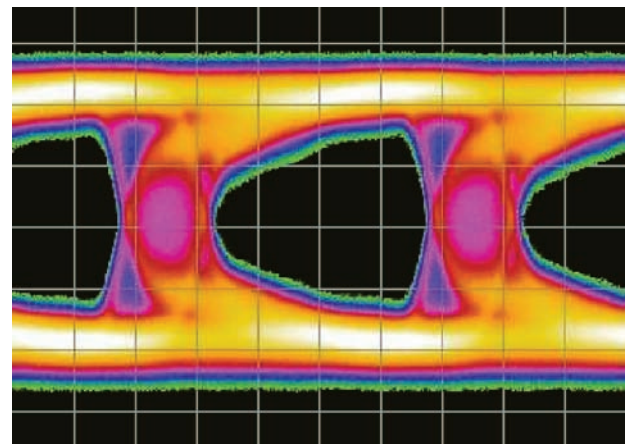


図16. ストレスのかかったアイ

この方法は、ジッタ・テストだけでなく、振幅方向に対してもストレスを加えられるようになりました。一般的な概念としては、レシーバのワースト・ケースとしての動作条として設定され、このような信号でもエラーなく動作すれば、デバイスはパスします (図16を参照)。

まとめ

アイ・ダイアグラムは、正しく十分に取込めることができれば、その中に膨大な量の情報が蓄積されます。アイ・ダイアグラムを理解することで、設計エンジニアは設計した回路に関するパラメータ性能を知ることができ、製造エンジニアは部品が市場に出回った場合に問題の原因となり得るかを知ることができます。

参考文献

- i MJSQ — 「Methodologies for Jitter and Signal Quality Specification (ジッタ／信号品質仕様)」はINCITS project T11.2hの一部として書かれています。詳細については、ウェブサイト (www.t11.org/index.html) をご参照ください。
- ii N.S. Bergano, F.W. Kerfoot, and C.R. Davidson, "Margin Measurements in Optical Amplifier Systems," in IEEE Photonics Technology Letters, vol. 5, no. 3, pp. 304-306, Mar. 1993.
- iii TIA/EIA-526-4-A Optical Eye Pattern Measurement Procedure (<http://www.tiaonline.org/standards/>) Also measuring optical SDH transmitters: ITU G.957, Similarly for SONET transmitters: Bellcore GR-253-CORE
- iv Stateye modeling of channel responses to predict BER Contour: <http://www.stateye.org>



www.tek.com/ja

テクトロニクス／ケースレイインストゥルメンツ

各種お問い合わせ先：<https://www.tek.com/ja/contact-tek>

技術的な質問、製品の購入、価格・納期、営業への連絡、修理・校正依頼

〒108-6106 東京都港区港南2-15-2 品川インターシティB棟6階

記載内容は予告なく変更することがありますので、あらかじめご了承ください。

Copyright © 2022, Tektronix. All rights reserved. TEKTRONIX およびTEK はTektronix, Inc. の登録商標です。記載された製品名はすべて各社の商標あるいは登録商標です。

2012年/11月 65Z-26042-0