

PCI Express (Rev1.1) テスト方法 データ信号品質、リファレンス・クロック・ジッタ

オシロスコープを使用する場合のユーザ・ガイド:
テクトロニクス・リアルタイム・オシロスコープ
(DSA/DPO70000シリーズ、TDS6000B/Cシリーズ、またはTDS7704B型)

September 2006

Revision 1.0

保証の否認

この手順書は、権利の非侵害性に関する保証、商品性に関する保証、特定目的への適合性に関する保証、法的権利に関する保証、並びに申し出、仕様及びサンプルから生ずる保証を含む明示又は黙示の如何なる保証もなく現状のまま提供されるものであり、これらの保証は、総て明示的に否認されます。

上記規定の一般性を制限することなく、インテル・コーポレーション及びこの手順書の著作権者は、この手順書の使用が第三者の知的財産権を侵害しないことを保証又は表明するものではありません。この手順書の使用者には、斯かる侵害に関する総てのリスクを負担して頂き、侵害に関する請求があった場合、インテル・コーポレーション及び著作権者に対し何等の請求を行わないことに同意して頂きます。

インテル・コーポレーションは、この手順書の使用から生ずる派生損害、特別損害その他一切の損害につき、何等の責任を負担しません。

社内使用限定ライセンス

インテル・コーポレーションは、この手順書を社内使用の目的に限り複製及び配布するライセンスを本書面により許諾します。禁反言又は他の事由による明示又は黙示の他のライセンス、及び知的財産権に関するライセンスは、本書面により許諾されるものではありません。

総ての製品名は、各権利者の商標又は登録商標です。

目次

1	Signal Quality テスト.....	7
1.1	信号品質の概要.....	7
1.2	Signal Quality Test で必要な機器.....	7
1.3	Signal Quality テスト・ソフトウェア.....	10
1.3.1	SigTest Signal Quality ソフトウェアのインストール.....	10
1.4	デジタル・ストレージ・オシロスコープの校正.....	13
1.4.1	シングルエンド入力による垂直軸入力のセットアップ.....	15
1.4.2	差動入力による垂直軸入力のセットアップ.....	17
1.5	信号品質テスト手順.....	18
1.5.1	Signal Quality Load Board の接続.....	18
1.6	トランスミッタの信号品質テスト.....	22
1.6.1	シングルエンド入力による波形データの取込み.....	22
1.6.2	差動入力による波形データの取込み.....	27
1.6.3	SigTest ソフトウェアの実行.....	30
2	リファレンス・クロックの位相ジッタ手順.....	40
2.1	リファレンス・クロック・ジッタの概要.....	40
2.2	クロック・ジッタ測定に必要な機器.....	40
2.3	Clock Jitter Tool のインストール.....	40
2.4	差動プローブのセットアップ.....	44
2.5	クロック波形の取込み.....	46
2.6	クロック周期トレンドの測定とエクスポート.....	48
2.7	クロック位相のジッタ解析.....	50

図表

図 1-1 シングルエンド SMA 入力に必要なコネクタ.....	8
図 1-2 一般的な接続例.....	8
図 1-3 差動 SMA 入力で使用する SMA プローブ.....	9
図 1-4 SigTest のインストレーション例 1.....	10
図 1-5 SigTest のインストレーション例 2.....	11
図 1-6 SigTest のインストレーション例 3.....	11
図 1-7 SigTest のインストレーション例 4.....	12
図 1-8 SigTest のインストレーション例 5.....	12
図 1-9 SigTest のインストレーション例 6.....	13
図 1-10 SigTest のインストレーション例 7.....	13
図 1-11 Instrument Calibration.....	14
図 1-12 SPC (Signal Path Compensation).....	14
図 1-13 垂直軸入力校正のための接続.....	15
図 1-14 垂直軸入力の校正.....	15
図 1-15 デスキューのための接続.....	16
図 1-16 デスキュー調整の例.....	17
図 1-17 SMA プロービング・オプション.....	18
図 1-18 SMA プロービングでないレーンにおける終端抵抗.....	19
図 1-19 PCI Express Quality Test フィクスチャの接続.....	19
図 1-20 CBB1 (Compliance Base Board) アドイン・カード・フィクスチャ.....	20
図 1-21 CBB1 SMA プロービング・オプション.....	20
図 1-22 TipClip を使用した CBB アクティブ・プロービング・オプション.....	21
図 1-23 Vertical Setup メニュー.....	22
図 1-24 Ch1 と Ch3 の波形.....	23
図 1-25 Math1 波形の例.....	23
図 1-26 コンプライアンス・パターンのデコード・データ.....	24
図 1-27 CSV フォーマットの演算のエクスポート設定.....	25
図 1-28 演算 CSV ファイルのエクスポート.....	25
図 1-29 演算設定の保存.....	26
図 1-30 Differential Vertical Setup メニュー.....	27
図 1-31 差動波形の例.....	28
図 1-32 差動波形を CSV でエクスポートするための設定.....	29
図 1-33 差動 CSV ファイルのエクスポート.....	29
図 1-34 SigTest のユーザ GUI の開始.....	30
図 1-35 Signal Quality Eye Rendering プログラムのメイン・メニュー.....	30
図 1-36 CSV データ・ファイルのインポート.....	31
図 1-37 Verify Data ボタン.....	31
図 1-38 エラー・ウィンドウの例.....	32
図 1-39 テンプレートの選択.....	32
図 1-40 解析結果ウィンドウ.....	33
図 1-41 HTML によるレポート.....	34
図 1-42 Worst Non Transition Eyes ボタン.....	34
図 1-43 ノン・トランジション・アイ.....	35
図 1-44 Worst Non Transition Eyes ボタン.....	35
図 1-45 トランジション・アイ.....	36
図 1-46 Voltage Data ボタン.....	36

図 1-47 電圧データ.....	37
図 1-48 SigTest のテスト設定メニュー	37
図 1-49 セカンド・モニタの設定.....	38
図 1-50 セカンド・モニタに表示された SigTest の設定と結果ウインドウ	38
図 1-51 ×16 ポートの 4 レーンをテストした結果のフォルダ	39
図 2-1 Clock Jitter のインストレーション例 1	41
図 2-2 Clock Jitter のインストレーション例 2	41
図 2-3 Clock Jitter のインストレーション例 3	42
図 2-4 Clock Jitter のインストレーション例 4	42
図 2-5 Clock Jitter のインストレーション例 5	43
図 2-6 Clock Jitter のインストレーション例 6	43
図 2-7 Clock Jitter のインストレーション例 7	44
図 2-8 テクトロニクス P7300 シリーズ・プローブとスクエア・ピン・アダプタ	44
図 2-9 CLB に接続した P7300 シリーズ・プローブ	45
図 2-10 PCI Express システム・スロットに取り付けた P7300 シリーズ・プローブと CLB	46
図 2-11 PCI Express のリファレンス・クロック信号	47
図 2-12 最高サンプル・レートで取込んだ 2ms のデータ.....	47
図 2-13 Advanced Jitter Analysis の選択.....	48
図 2-14 Jitter Wizard によるセットアップ	48
図 2-15 クロック周期測定の結果.....	49
図 2-16 クロック周期測定の結果.....	49
図 2-17 Clock Jitter Tool で使用するためにエクスポートされた TXT ファイル	50
図 2-18 PCI-SIG の Clock Jitter Tool のスタートアップ画面	50
図 2-19 クロックの TXT ファイルの参照とインポート.....	51
図 2-20 クロックの TXT ファイルの参照とインポート.....	51
図 2-21 位相ジッタのテスト結果	52

変更履歴

文書番号	Rev. No.	変更内容	変更日
	0.8	初版	04-05-2006
55Z-21080-0	1.0	PCI-SIGレビュー・コメント。テクトロニクスの新機種を追加 (DPO/DSA70000シリーズ)	10-13-2006

注: この手順書(日本語版)は、PCI-SIGから入手できる版を一部更新しています。

1 Signal Quality テスト

1.1 信号品質の概要

PCI Express の信号品質ツール (Signal Quality Tool) は、製品が PCI Express Base Specification および CEM Specification に適合することを検証するために開発されています。このツールには、PCI Express システム/マザーボードと PCI Express アドイン・カード製品を評価するためのさまざまなテストが含まれています。テスト・ツール・キットは、以下のもので構成されています。

- PCI Express Signal Quality Test Methodology ドキュメンテーション
 - SIGTEST Post Capture Analysis Software (解析ソフトウェア)
<http://www.pcisig.com/specifications/pciexpress/compliance/> からダウンロード可能
 - システム・テスト用の PCI Express CLB (Compliance Load Board)
 - アドイン・カード・テスト用の PCI Express Rev1.1 CBB1 (Compliance Base Board)
- コンプライアンス・フィクスチャ CLB と CBB1 は、PCI-SIG

http://www.pcisig.com/specifications/order_form からダウンロード可能

本ドキュメントが含まれている計測器セットアップ・ファイル

この手順書には、実装設計の信号品質を計測するための PCI Express Signal Quality Test Procedure が含まれています。以下のセクションからは、テスト機器の校正手順と Signal Quality Load Board の設定手順、また SIGTEST 解析ソフトウェアの使用方法についても詳細に説明します。参考にサンプル出力も記載されています。

注: この手順書で説明されているテストは、PCI-SIG のコンプライアンス・テストで実施されている DUT の電気性能を簡単にチェックするためのものであり、膨大なテスト検証プランに置き換わるものではありません。

1.2 Signal Quality Test で必要な機器

PCI-SIG は特定の機器メーカを承認することはありません。この手順では、テクトロニクスの実タイム・オシロスコープとプローブを使用します。

リアルタイム・デジタル・ストレージ・オシロスコープ

- 最低でも 6GHz の周波数帯域、20GS/s (50ps サンプル間隔) 以上のサンプル・レートを持ったリアルタイム・デジタル・ストレージ・オシロスコープとプローブの組合せ。テクトロニクスの製品では、DPO/DSA70000 シリーズ、TDS6000/B/C シリーズ、TDS7704B 型が該当します。
- この手順書では、テクトロニクスの DSA70804 型 8GHz、25GS/s デジタル・ストレージ・オシロスコープを使用しています。TDS6000/B/C シリーズ、TDS7704B 型でも同じ手順を使用することができます。TDS6000B シリーズと TDS7704B 型では、1M サンプルの取込みに対応します。TDS6604 型は 200K サンプルしかありませんので、同等の統計測定を得るためには、ここで説明されている手順を 5 回実行する必要があります。

プローブ — トランスミッタ・テストでは、3種類のプロブ設定が必要になります。この手順書で説明している PCI-SIG テスト・フィクスチャには、SMA とアクティブ・プローブのプロビング・ポイントが装備されています。

1. **擬似差動 SMA (シングルエンド入力)** — DPO/DSA70000 シリーズまたは TDS6000/B シリーズにおいて最高サンプル・レートで差動演算信号の+と-をシングルエンド信号として取込み、演算で差動化するために SMA で直接入力します。TCA-SMA 型あるいは SMA と互換のある TCA-292MM 型を使用します。また、以下のアダプタも使用します。

- **マッチングのとれたSMAケーブルが1組** — 50Ω 同軸 (SMA Maコネクタ)、60.96cm [24インチ] 以下のRG316/Uあるいは同等品。テクトロニクス部品番号: 174-4944-00。
- **SMA デスキュー・コネクタ** — TDS6000B/C シリーズで使用します。SMA Tアダプタまたは SMA パワー・スプリッタと、Ma-Ma SMA アダプタで構成されています。
- **BNC デスキュー・コネクタ** — TDS6604型で使用します。BNC Tアダプタと2つのBNC-SMA アダプタで構成されています。

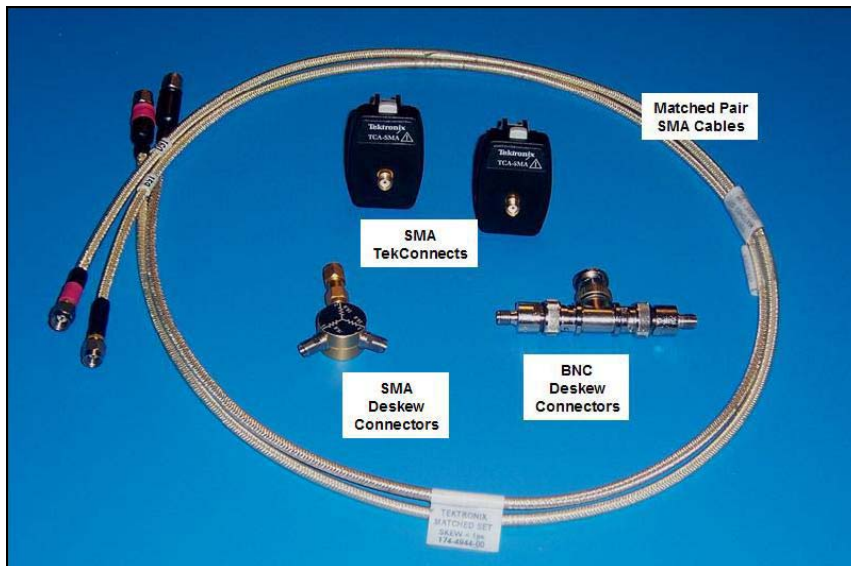


図 1-1 シングルエンド SMA 入力に必要なコネクタ



図 1-2 一般的な接続例

2. **差動 SMA プロビング・システム** — TDS7704B 型では 20GS/s のサンプリングは 1 チャンネルのみで実現されるため、P7380SMA 型を使用します。DPO/DSA70000 シリーズ、TDS6000/B/C シリーズで P7380SMA 型を使用すると、チャンネル間のデスクューの必要がなくなります。差動ペア間でマッチングのとれた SMA ケーブルが付属することに加え、ケーブル損失が補償されるため、ボードの接続ポイントで校正された差動測定が可能になります。前述の擬似差動シングルエンド入力と相関性のある測定を行うためには、垂直軸の Attenuation メニューの External Attenuation (dB) に -0.5dB の減衰比を入力します。

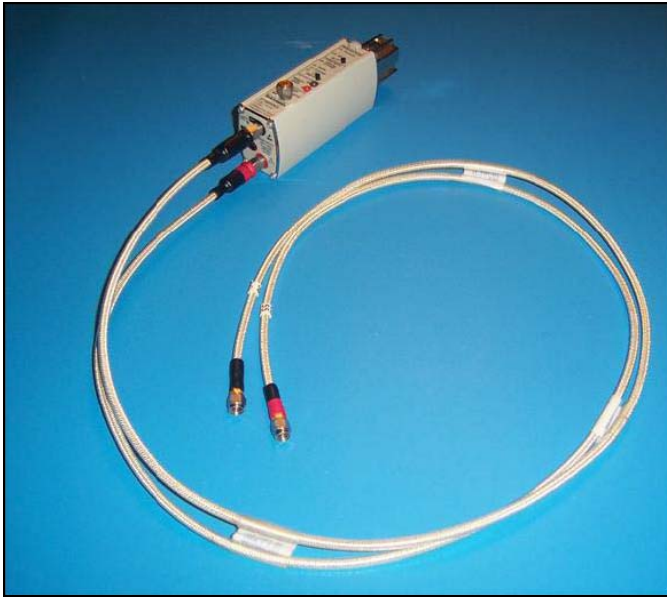


図 1-3 差動 SMA 入力で使用する SMA プロブ

3. **シングルエンドまたは差動アクティブ・プローブ** — 最良の結果を得るためには、測定する信号の帯域よりも十分に高い周波数のプローブを使用します。この手順書の例では、P7300 シリーズ・アクティブ・プローブを使用しています。1 本のプローブでコンプライアンス・ボードの差動ペアの 2 本の端子にプローブするか、1 本のプローブで別々にプロービングします。

テスト PC — 最低要件: Intel Pentium III 700MHz、256MB メモリあるいは同等で、Microsoft Windows XP Professional または 2000 Professional OS を搭載していること。テスト・ソフトウェアは、外部 PC またはオシロスコープの Windows XP (DPO/DSA70000 シリーズおよび TDS6000B/C シリーズ) または Windows 2000 (TDS7704B 型および TDS6604 型) OS にインストールします。

1.3 Signal Quality テスト・ソフトウェア

1.3.1 SigTest Signal Quality ソフトウェアのインストール

SigTest は、PCI Express Signal Quality Tool に含まれる解析ソフトウェアです。デジタル・ストレージ・オシロスコープで取込まれたデータは、ソフトウェアにインポートされて解析されます。SigTest は、デジタル・ストレージ・オシロスコープで取込んだ信号品質のアイを描画します。描画されたアイは、規定されたパス／フェイルの限界値と比較されます。

OSの要件: Microsoft Windows XPまたはWindows 2000 Professionalが必要。

1. SigTest Version 2.1
(http://www.pcisig.com/specifications/pciexpress/compliance/compliance_library から入手可能)を Windows デスクトップのサブディレクトリにダウンロードします。
2. Test Tool インストール・ファイルがコピーされたサブディレクトリを開きます。

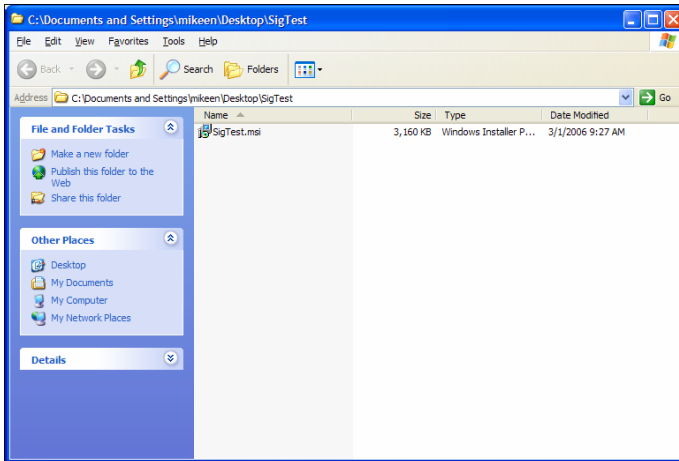


図 1-4 SigTest のインストール例 1

3. **SigTest.msi** をダブル・クリックします。

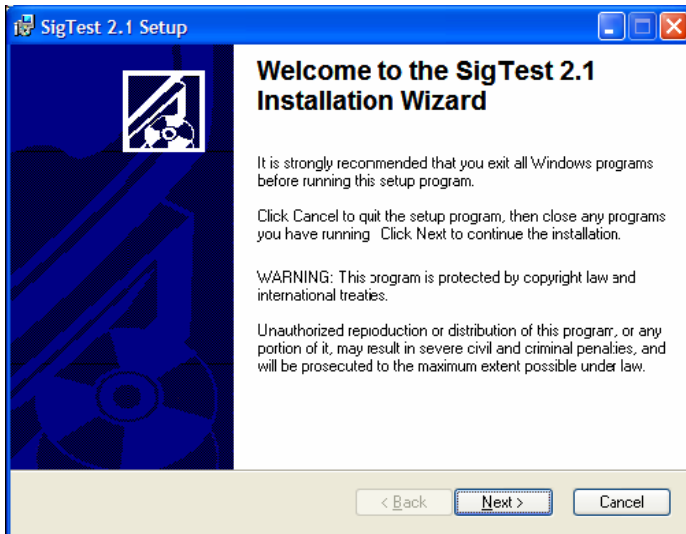


図 1-5 SigTest のインストール例 2

4. Windows のプログラムがバックグラウンドで実行していないことを確認します。Next をクリックしてインストールを開始します。

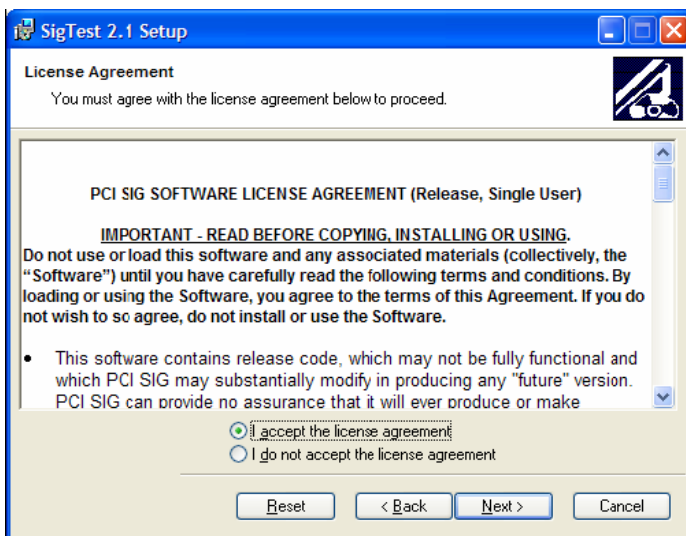


図 1-6 SigTest のインストール例 3

5. ライセンス同意書を確認し、I accept the license agreement. を選択し、Next をクリックします。

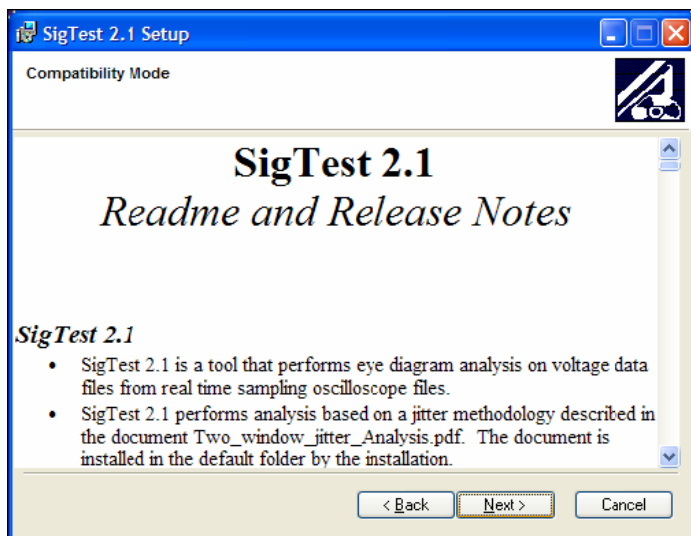


図 1-7 SigTest のインストール例 4

6. 右のスクロール・バーを使ってリリース・ノートを確認し、**Next** をクリックします。

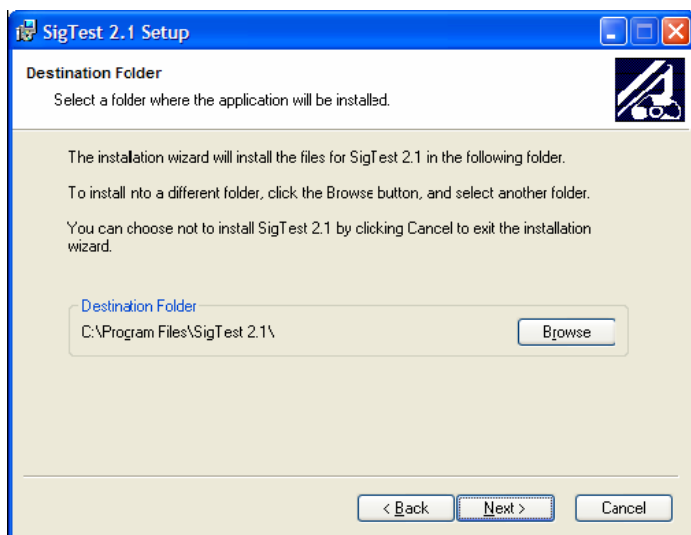


図 1-8 SigTest のインストール例 5

7. インストールするディレクトリを選択して **Next** をクリックします。

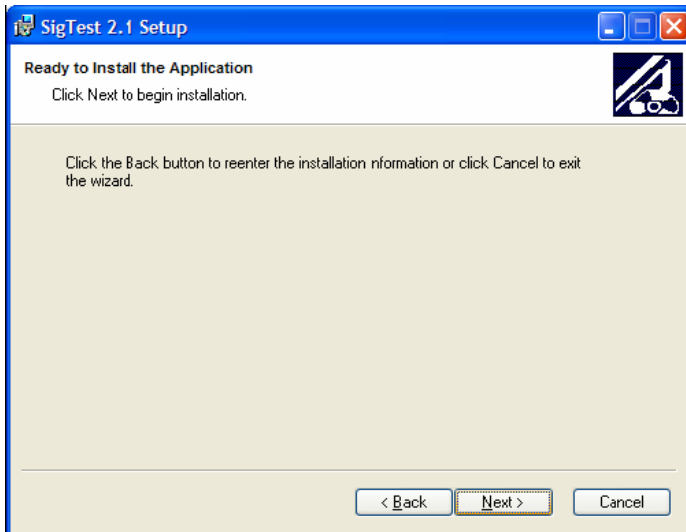


図 1-9 SigTest のインストール例 6

8. **Next** をクリックしてインストールを開始します。

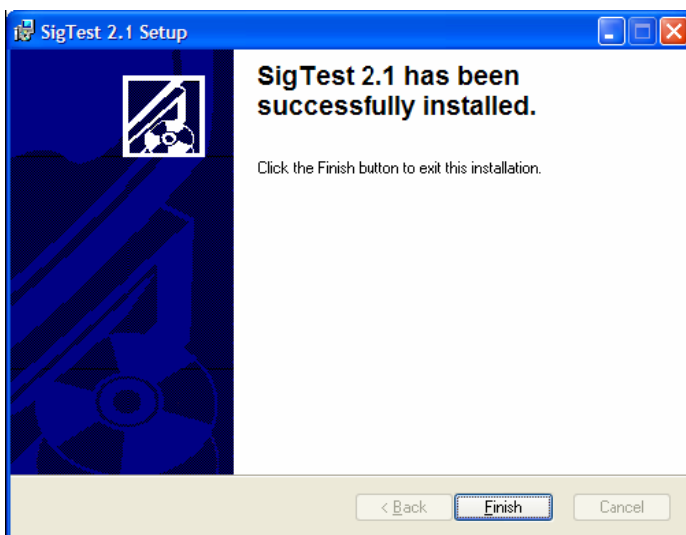


図 1-10 SigTest のインストール例 7

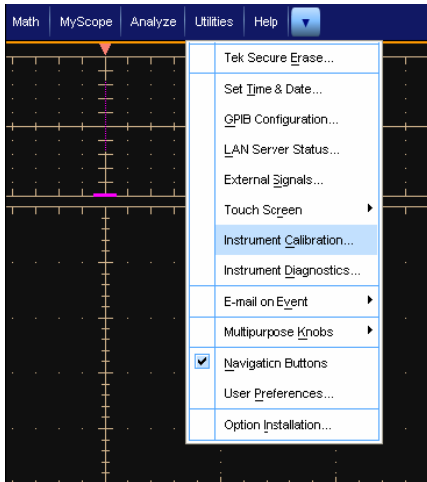
9. **Finish** をクリックしてインストールを完了します。

1.4 デジタル・ストレージ・オシロスコープの校正

内部診断と校正サイクル:

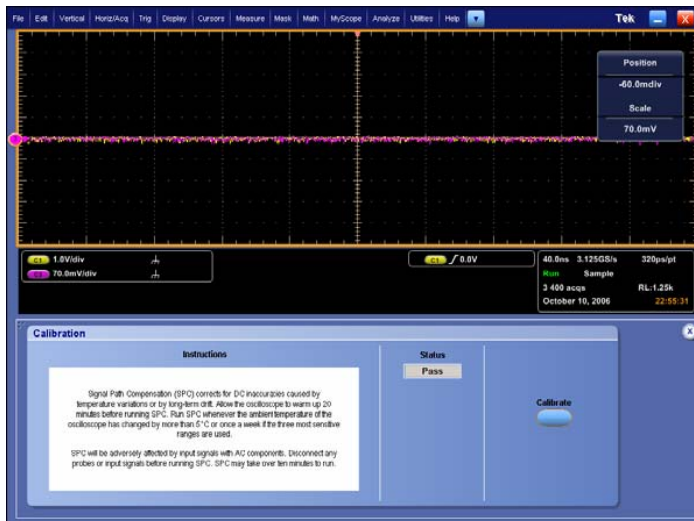
1. デジタル・ストレージ・オシロスコープは最低 20 分間ウォームアップします。
2. オシロスコープの内部診断と校正サイクルを実行します。テクトロニクスのおシロスコープでは、これを SPC (Signal Path Compensation) と呼びます。
 - a. SPC 実行前に、テクトロニクスの TCA-SMA 型、あるいは TCA-292MM 型入力アダプタがすべての 4 チャンネルに接続され、SMA 入力、あるいは 2.92mm 入力に何も接続されていないことを確認します。

- b. テクトロニクスのおシロスコープでは、SPC は Utilities のドロップダウン・メニューにあります。



☒ 1-11 Instrument Calibration

3. **Calibrate** ボタンをクリックして SPC を実行します。**PASS** が表示されることを確認して校正を終了します。なお、校正には 10～15 分ほどかかります。
4. SPC はテスト実行時に必ず実行しなければならないものではありませんが、最後に SPC が実行されてから温度が 5°C 以上変化した場合は、この手順を実行します。



☒ 1-12 SPC (Signal Path Compensation)

1.4.1 シングルエンド入力による垂直軸入力力のセットアップ

垂直軸校正:

DPO/DSA70000 シリーズまたは TDS6000 シリーズのシングルエンド入力を使用する場合は、Ch1 と Ch3 の SMA(あるいは 2.92mm) インタフェースの 50Ω ダイレクト・カップリング入力校正を実行します。

1. BNC-SMA 変換アダプタを使用し、デジタル・ストレージ・オシロスコープの前面パネル左側にある Probe Compensation 信号 (TDS6604 型) または Probe Calibration 信号 (DPO/DSA70000 シリーズまたは TDS6000B/C シリーズ) を、RG-316 同軸ペア・ケーブルの 1 本を使ってオシロスコープの Ch1 に接続します。BNC-SMA 変換アダプタを使用します。



図 1-13 垂直軸入力校正のための接続

2. Vertical メニューで Ch1 ボタンをクリックし、次に PROBE ボックスで CAL ボタンをクリックします。
3. **CLEAR PROBE CAL** を選択し、前回の校正データをクリアします。何らかの理由で校正エラーが発生した場合は、以前の校正データに戻ります。

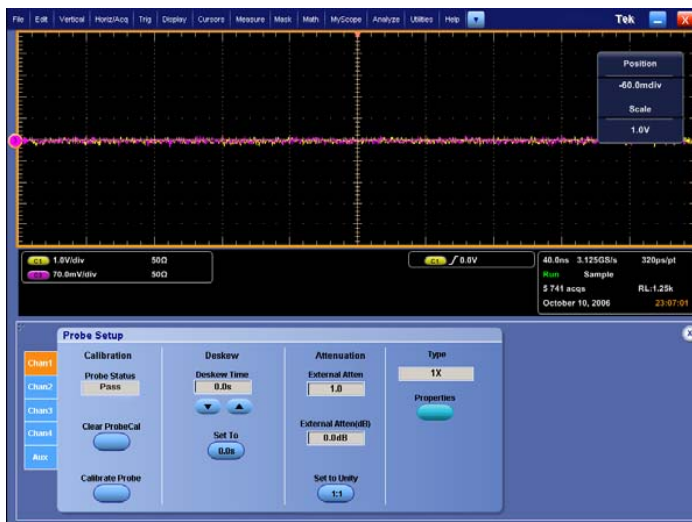


図 1-14 垂直軸入力力の校正

4. 校正が始まると、実行中である旨の GUI が表示されます。校正が問題なく終了して **PASS** が表示されることを確認します。
5. Ch3 でこの手順 1～4 を繰り返します。

チャンネルのデスキュー:

6. マッチングのとれた SMA 同軸ペア・ケーブルを、1 本は Ch1 に、もう 1 本を Ch3 に接続します。TDS6604 型では、20GS/s のサンプル・レートは 2 つのチャンネル (Ch1 と Ch2、および Ch3 と Ch4) をインターリーブすることで実現されるため、Ch1 と Ch3 を使用します。DPO/DSA70000 シリーズ (25GS/s のサンプル・レート) と TDS6000B/C シリーズ (20GS/s のサンプル・レート) ではすべての 4 チャンネルで最高のサンプル・レートが実現されるため、任意の 2 つのチャンネルを使用します。TDS6000C シリーズでは、さらに分解能が必要な場合は、Ch1 と Ch3 の 2 つのチャンネルを使用して 40GS/s を実現します。
7. Ch1 と Ch3 の両方の入力を、デジタル・ストレージ・オシロスコープの前面パネル右側にある **Probe Compensation** 出力ジャックに接続します。
 - **DPO/DSA70000シリーズまたはTDS6000シリーズの場合:** SMA-T アダプタまたは SMA パワー・スプリッタを使用して Probe Compensation と接続します。
 - **TDS6604型の場合:** Probe Compensation の BNC コネクタに対しては、BNC-SMA アダプタと SMA-T アダプタを使用します (BNC-T と 2 つの SMA-BNC アダプタでも可)。以下の図を参照してください。

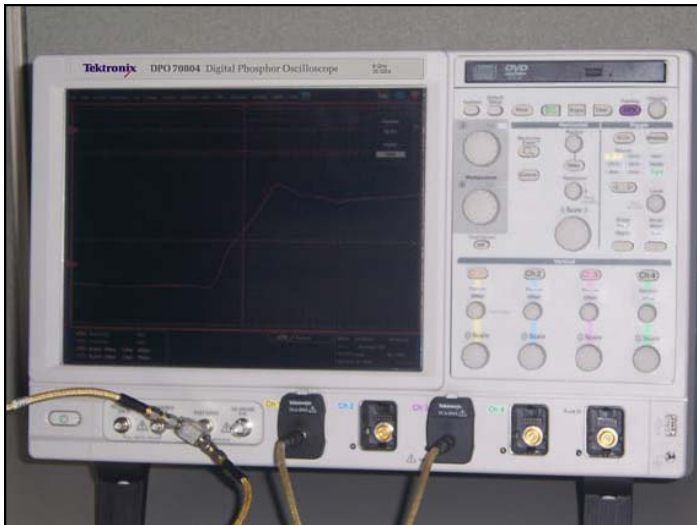


図 1-15 デスキューのための接続

8. オシロスコープのユーザ・インターフェースから、Ch1 と Ch3 がデスキューされていることを確認します。
 - c. **Default Setup** ボタンを押します。
 - d. **Vertical** メニューから **Setup** メニューを選択し、**Ch3** をオンします。これで Ch1 と Ch3 の両方が表示されます。
 - e. **Setup** メニューで、**Ch1** と **Ch3** のスケールを **70mV/div** に設定します。
 - f. **Scope** メニューから **Horz/Acq** → **Acquisition Mode** → **Average** と選択します。
 - g. **RESOLUTION** ノブを回してサンプル・レートを **20GS/s** (レコード長: 40K ポイント) に設定します。
 - h. 前面パネルの MultiView Zoom セクションにある **HORIZ** ボタンを押します。
 - i. 汎用ノブを回して水平ズーム (**Factor**) を **1000** に設定します。

- j. **Vert** メニューから **Deskew** メニューを選択します。
- k. 汎用ノブを回し、Ch1 と Ch3 のエッジが次の図のように重なるように Ch1 (または Ch3) の **Deskew** を調整します。
- l. Deskew メニューで **Display Only** が **Off** になっていることを確認します。これにより、後で取込んだ演算機能のサブサンプルのデスクューが有効になります。
- m. 後のために、**Instrument Setups** → **Save Setups** と選択し、設定を **PCI-E Deskew** と名前を付けます。



図 1-16 デスキュー調整の例

デスクューが完了したならば、電気テストの間はケーブル・ペアは交換しないようにします。

1.4.2 差動入力による垂直軸入力のセットアップ

1. オシロスコープの Ch1 に P7380SMA 型差動プローブを接続します。プローブに付属のケーブル・ペアを必ず使用します。
2. P7380SMA 型の減衰比設定を **12.5:1**、Internal ターミネーションを **0V** に設定します。ターミネーション電圧設定は、**Probe** → **Configuration** メニューにあります。P7380SMA 型を使用する場合は、以上で校正は完了です。

1.5 信号品質テスト手順

1.5.1 Signal Quality Load Board の接続

PCI Express の信号品質テスト・フィクスチャには数多くの SMA コネクタ・ペアが装備されています。各ペアは、被測定対象のアドイン・カードまたはシステム／マザーボードの送信差動ペアまたは受信差動ペアに対応しています。

システム／マザーボードのテストの場合：

1. システム／マザーボードの電源を切り、Compliance PCI Express Signal Quality Load Board を被測定コネクタに接続します。PCI Express Signal Quality Load Board には、×1、×4、×8、×16 コネクタのエッジ・フィンガがあります。すべてのレーンが SMA プロービング・オプションを持っているわけではありません。残ったレーンの信号品質テストでは、広帯域差動プローブまたは広帯域シングルエンド・プローブを使用します。最低推奨帯域は 6GHz です。

PCI Express Signal Quality Load Board は、PCI Express 1.1 Base Specification のシステム／マザーボードをコンプライアンス・サブステートにします。この状態では、被テスト・デバイスは PCI Express Base Specification で規定されたコンプライアンス・パターンを繰り返し送り出します。

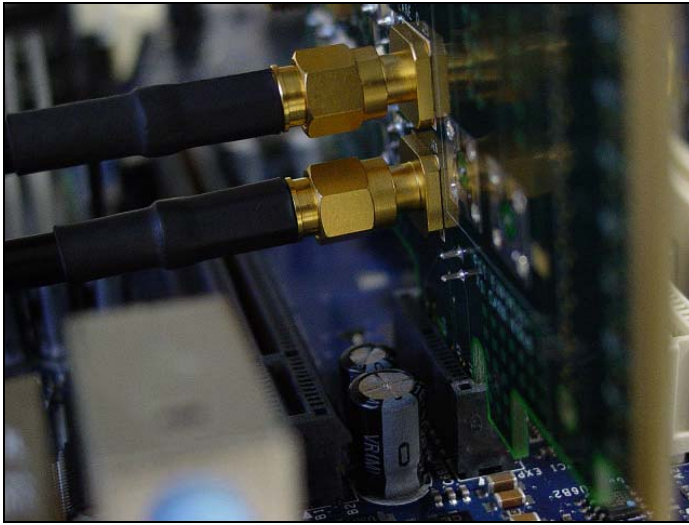


図 1-17 SMA プロービング・オプション

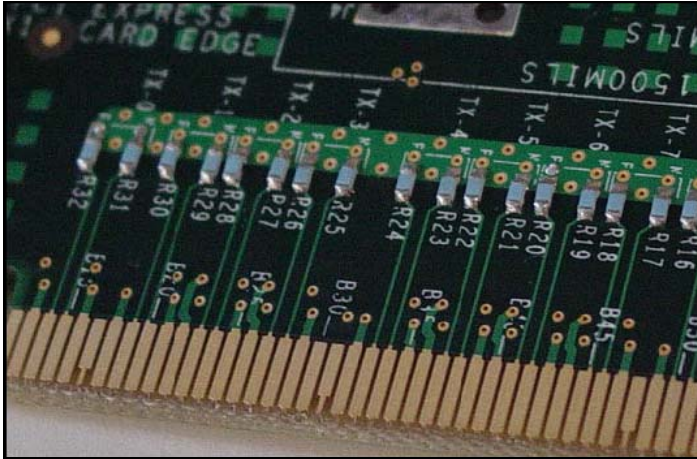


図 1-18 SMA プロービングでないレーンにおける終端抵抗

2. 次のようにケーブルを接続します。
 - a. 被テスト・デバイスがシステム/マザーボードの場合は、次のように接続します。
 1. デジタル・ストレージ・オシロスコプのCh1をTX LANE 1 P(レーン1をテストする場合)に接続します。
 2. デジタル・ストレージ・オシロスコプのCh3をTX LANE 1 N(レーン1をテストする場合)に接続します。

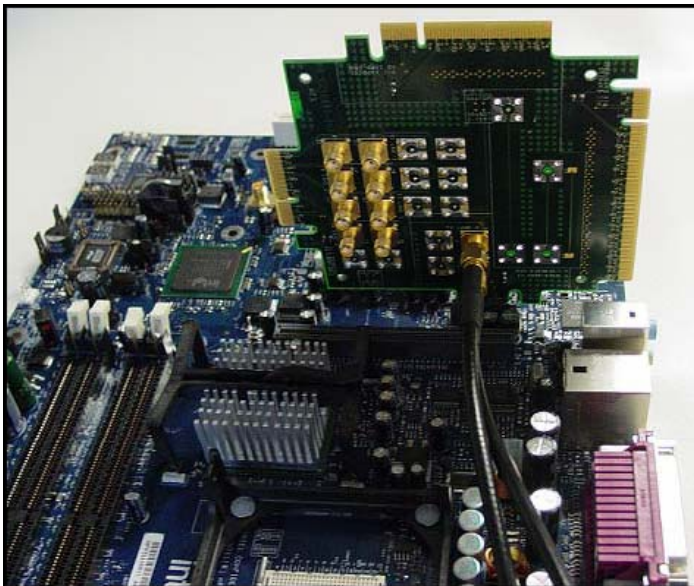


図 1-19 PCI Express Quality Test フィクスチャの接続

アドイン・カードのテストの場合：

1. Rev1.1 CBB1 (Compliance Base Board) 電源の PWR スイッチをオフにし、電源コネクタをアドイン・カードのテスト・フィクスチャに接続し、テストするアドイン・カードを × 16 コネクタ・スロットに接続します。

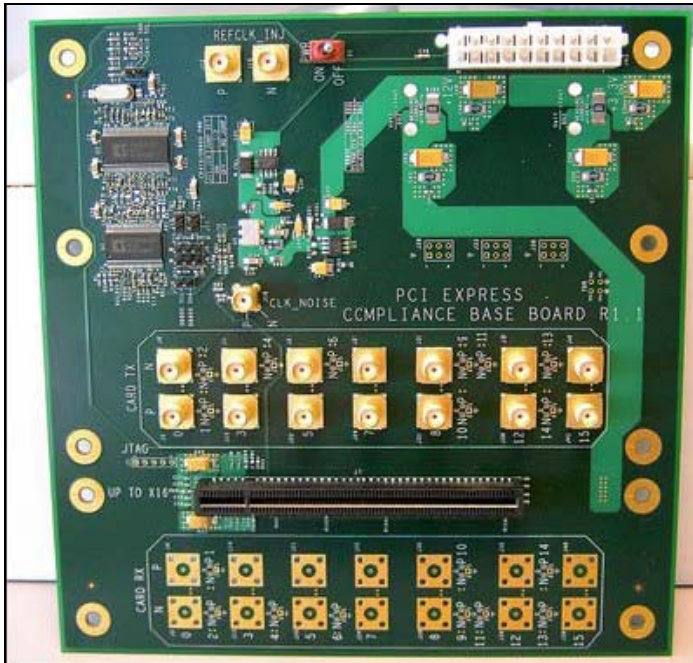


図 1-20 CBB1 (Compliance Base Board) アドイン・カード・フィクスチャ

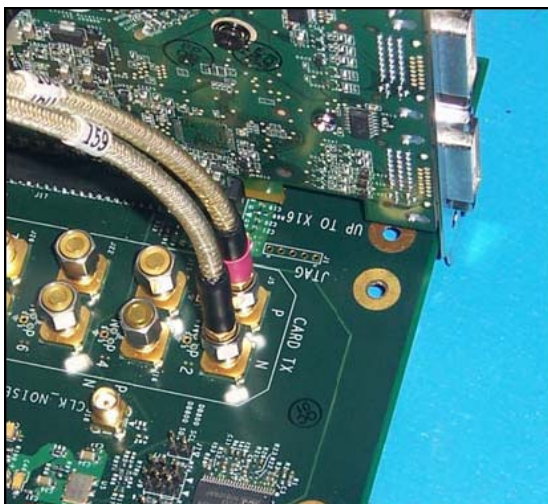


図 1-21 CBB1 SMA プロービング・オプション

2. 次のようにケーブルを接続します。

2つのチャンネルを使用して直接SMA入力を演算する場合：

- a. Ch1 を TX LANE 0 P (レーン 0 をテストする場合) に接続します。
- b. Ch3 を TX LANE 0 N (レーン 0 をテストする場合) に接続します。

P7380SMA型差動プローブを使用する場合：

- c. P7380SMA 型の正入力 (赤) を TX LANE 0 P (レーン 0 をテストする場合) に接続します。
- d. P7380SMA 型の負入力 (黒) を TX LANE 0 N (レーン 0 をテストする場合) に接続します。

3. 電源に適切な負荷を接続し、電源が入ることを確認します。一般に、1 台の IDE ハード・ディスク・ドライブが適切な負荷となります。
4. 電源をオンにします。DS1 の LED が点灯することを確認します。
5. CBB と CLB では、SMA 接続のレーンが定められています。テストしない SMA レーンは、 $50\ \Omega$ SMA ターミネーションで終端します。SMA が無いレーンは、精密 $50\ \Omega$ で終端してあります。これらのレーンをテストするには、2 本のシングルエンド・アクティブ・プローブを使って差動の両サイドを取込むか、1 本の差動アクティブ・プローブを使って差動信号を直接取込みます。P7300 シリーズ用の TipClip アダプタは差動プローブ・ヘッドと組合せてアクセス・ポイントにハンダ付けすることができます。ノイズを抑えるため、プローブの減衰比は 5:1 に設定します。

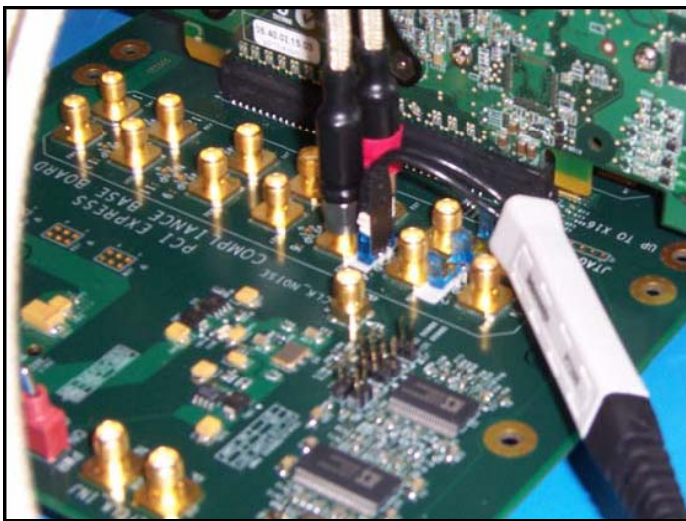


図 1-22 TipClip を使用した CBB アクティブ・プロービング・オプション

1.6 トランスミッタの信号品質テスト

1.6.1 シングルエンド入力による波形データの取込み

ここで説明する手順は SMA 入力を想定していますが、アクティブ・プローブを 2 本使用する場合も同様の手順となります。

1. 次の手順を実行し、セクション 1.4.1 で保存した **PCI-E Deskew** 設定を呼び出します。
File → **Instrument Setup** → **Recall function**
2. オシロスコープのユーザ・インタフェースで Ch1 と Ch3 を最適化します。
 - a. 次の手順を実行してアベレーシングをオフにします。
Horz/Acq → **Acquisition Mode** → **Sample**
 - b. **Horizontal Scale** を $4 \mu\text{s}/\text{div}$ に設定します。
 - c. **RESOLUTION** を $40\text{ps}/\text{pt}$ (1M サンプルのレコード長、DPO/DSA70000 シリーズの場合) または $50\text{ps}/\text{pt}$ (800K サンプルのレコード長、TDS シリーズの場合) に設定します。
 - d. 信号の垂直軸スケールを調整する場合は、Vertical Setup メニューで調整します。精度良く測定するためには、Ch1 と Ch3 の波形は共にフルスケール近くまで大きく表示させます (Vert → Setup メニュー)。これには、オシロスコープの A/D コンバータの 10div ダイナミック・レンジをフルに活用します。垂直軸スケールが大きすぎる、すなわち振幅が 10div より大きくなると波形はクリッピングされ、正しい測定になりません。Ch1 と Ch3 の垂直軸スケールは同じ設定にします。DPO/DSA シリーズではフルスケールの 10div すべてが表示されていますが、TDS シリーズでは 8div だけが表示されています。



図 1-23 Vertical Setup メニュー

- e. Vertical Setup メニューを閉じます。



図 1-24 Ch1 と Ch3 の波形

3. エクスポート用の演算波形を作成します。
 - a. **Math** メニューから **Setup** メニューを選択します。
 - b. **Editor** ボタンを選択します。
 - c. **Math1** 関数で **Ch-Ch3** と入力し、**OK** をクリックします。
 - d. 前面パネルの **CH1** と **CH3** のボタンを押して Ch1 と Ch3 をオフにします。
 - e. 前面パネルの MultiView Zoom セクションにある **HORIZ** ボタンを押します。
 - f. 汎用ノブを回して水平ズーム (**Factor**) を 200 に設定します。

これにより、Math1 (M1)波形が表示されます。テストするデバイスが、PCI Express Case Specification で規定されているコンプライアンス・パターンを送信していることを確認します。



図 1-25 Math1 波形の例

4. 送信された信号が、Base Specification の Section 4.2.8 で規定されているコンプライアンス・パターンであることを確認します。この確認は、目視で行うか、またはオシロスコープに搭載のプロトコル・トリガおよびデコード・ソフトウェア(オプション PTD)でデコードします。次の手順でデコードします。
 - a. **Analysis** メニューから **Decode** を選択します。
 - b. **Decode Data** ボタンを押します。以下の値が表示されます。
 - c. コンプライアンス・パターンが正しいパターンと表示になっていることを確認します。

Symbol	K28.5	D21.5	K28.5	D10.2
Current Disparity	0	1	1	0
Pattern	0011111010	1010101010	1100000101	0101010101

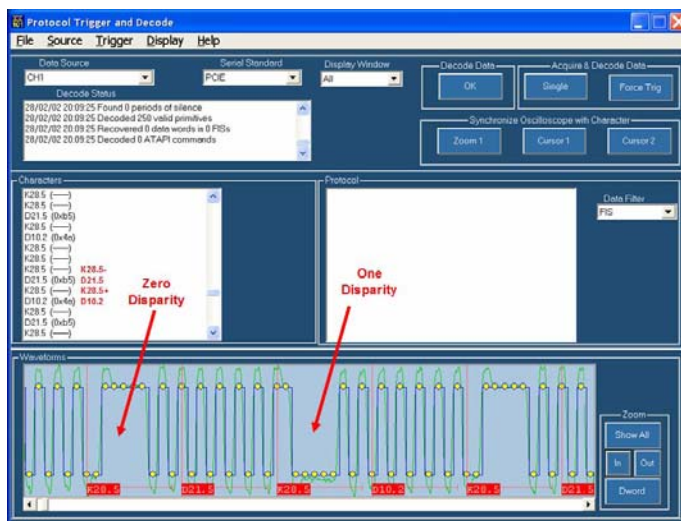


図 1-26 コンプライアンス・パターンのデコード・データ

5. **RUN/STOP** ボタンを押してデータ取込みを停止します。
 - a. TDS6604 型では 20GS/s(200K レコード長)で $10 \mu\text{s}$ のデータが使用され、10,000UI のデータが取込まれます。 $10 \mu\text{s}$ では 33kHz の SSC の 1 サイクルの 33%にしかならないため、5 回繰り返して取込むことで適合性を確認する必要があります。
 - b. TDS7704B 型または TDS6000B/C シリーズでは 20GS/s(800K レコード長)で $40 \mu\text{s}$ のデータが使用され、100,000UI のデータが取込まれます。DPO/DSA70000 シリーズでは 25GS/s(1M レコード長)で $40 \mu\text{s}$ のデータが使用されます。 $40 \mu\text{s}$ は 1 回の 33kHz SSC サイクルに対して十分な時間であるため、1 回の信号品質テストで適合性を確認することができます。
6. 取込んだサンプルを、カンマ区切りの CSV ファイルで保存します。
 - a. **File** のドロップダウン・メニューから **Export Setup** を選択します。
 - b. **Data Destination** スクロール・ボックスから **Spreadsheet CSV** を選択します。
 - c. **Source** スクロール・ボックスから **Math 2** を選択します。
 - d. **Include waveform scale factors** のチェック・ボックスにチェックを入れます。

- e. 画面下の **Export** をクリックします。

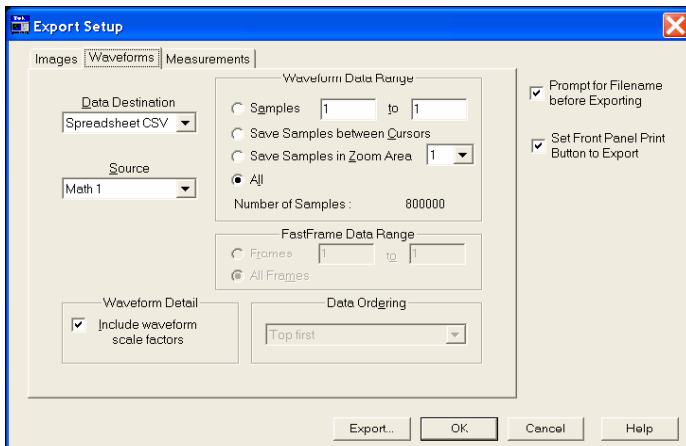


図 1-27 CSV フォーマットの演算のエクスポート設定

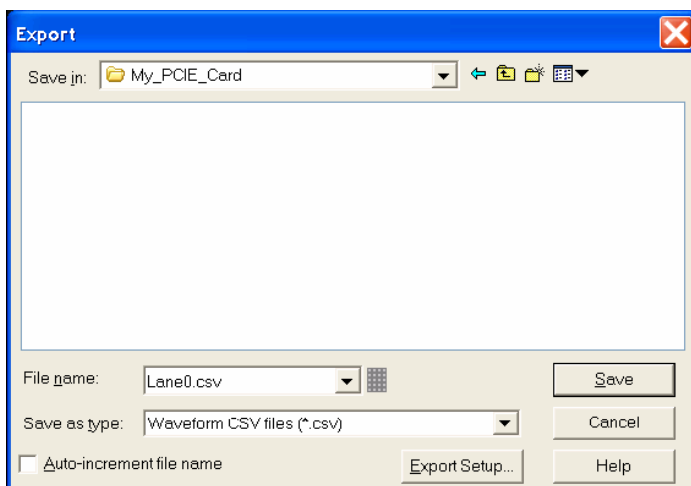


図 1-28 演算 CSV ファイルのエクスポート

7. 必要に応じてエクスポート先を指定します。適切なファイル名を付けて CSV ファイルを保存します。
8. 保存された CSV ファイルを、PCI Express Quality Eye Rendering Program (SigTest) を使ってコンピュータ内の適切なフォルダにコピーします。オシロスコープの PC でテストを実行しない場合、CSV ファイルは非常に大きいため、外部 PC に転送する前にファイルを圧縮しておくことをお勧めします。または、ファイルをリファレンス波形として保存し、WFM ファイルとして SigTest にインポートします。こうすると、ファイル・サイズは CSV ファイルに比べて約 1/10 になります。
9. 次の手順で演算設定を保存します。Instrument Setups → Save Setup と選択し、PCI-E Add-In Card または PCI-E System と名前を付けます。このセットアップ・ファイルは、リンクの各レーンをテストする前に呼び出します。

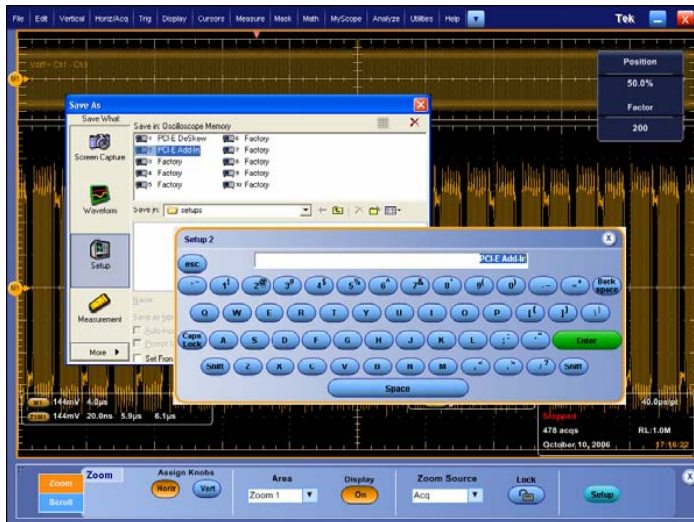


図 1-29 演算設定の保存

1.6.2 差動入力による波形データの取込み

ここで説明する手順は P7380SMA 型差動プローブの使用を想定していますが、P73XX 型差動アクティブ・プローブを使用する場合も同様の手順となります。

1. オシロスコープのユーザ・インタフェースで Ch1 を最適化します。
 - a. **Horizontal Scale** を $4 \mu\text{s}/\text{div}$ に設定します。
 - b. **RESOLUTION** を **40ps/pt** (1M サンプルのレコード長、DPO/DSA シリーズの場合) または **50ps/pt** (800K サンプルのレコード長、TDS シリーズの場合) に設定します。
 - c. 信号の垂直軸スケールを調整する場合は、Vertical Setup メニューで調整します。精度良く測定するためには、Ch1 の波形は共にフルスケール近くまで大きく表示させます (**Vert** → **Setup** メニュー)。こうすることで、オシロスコープの A/D コンバータのダイナミック・レンジをフルに活用できます。垂直軸スケールが大きすぎる、すなわち振幅が 10div より大きくなると波形はクリッピングされ、正しい測定になりません。



図 1-30 Differential Vertical Setup メニュー

- d. Vertical Setup メニューを閉じます。



図 1-31 差動波形の例

2. 送信された信号が、Base Specification の Section 4.2.8 で規定されているコンプライアンス・パターンであることを確認します。この確認は、目視で行うか、プロトコル・トリガおよびデコード・ソフトウェア(オプション PTD)でデコードします。手順については、セクション 1.6.1 を参照してください。
3. **RUN/STOP** ボタンを押してデータ取込みを停止します。
 - a. TDS6604 型では 20GS/s(200K レコード長)で $10\mu\text{s}$ のデータが使用され、10,000UI のデータが取込まれます。 $10\mu\text{s}$ では 33kHz の SSC の 1 サイクルの 33%にしかならないため、5 回繰り返して取込むことで適合性を確認する必要があります。
 - b. TDS7704B 型または TDS6000B/C シリーズでは 20GS/s(800K レコード長)で $40\mu\text{s}$ のデータが使用され、100,000UI のデータが取込まれます。DPO/DSA70000 シリーズでは 25GS/s (1M レコード長)で $40\mu\text{s}$ のデータが使用されます。 $40\mu\text{s}$ は 1 回の 33kHz SSC サイクルに対して十分な時間であるため、1 回の信号品質テストで適合性を確認することができます。
4. 取込んだ波形を、カンマ区切りの CSV ファイルで保存します。
 - a. **File** のドロップダウン・メニューから **Export Setup** を選択します。
 - b. **Data Destination** スクロール・ボックスから **Spreadsheet CSV** を選択します。
 - c. **Source** スクロール・ボックスから **Channel 1** を選択します。
 - d. **Include waveform scale factors** のチェック・ボックスにチェックを入れます。
 - e. 画面下の **Export** をクリックします。



図 1-32 差動波形を CSV でエクスポートするための設定

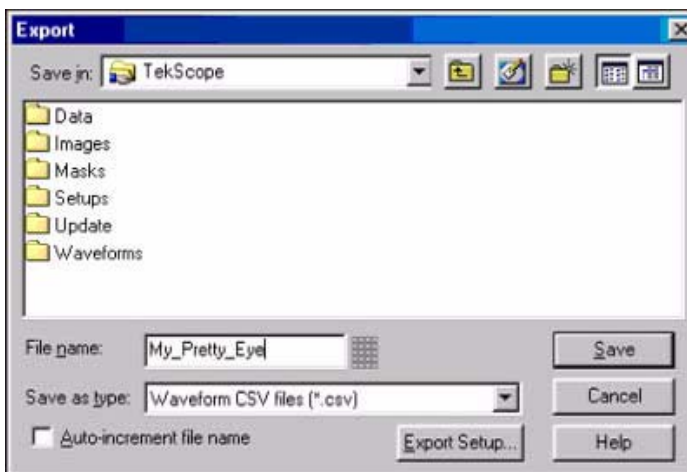


図 1-33 差動 CSV ファイルのエクスポート

5. 保存された CSV ファイルを、PCI Express Quality Eye Rendering Program (SigTest) を使ってコンピュータ内の適切なフォルダにコピーします。
6. 保存された CSV ファイルを、PCI Express Quality Eye Rendering Program (SigTest) を使ってコンピュータ内の適切なフォルダにコピーします。オシロスコープの PC でテストを実行しない場合、CSV ファイルは非常に大きいため、外部 PC に転送する前にファイルを圧縮しておくことをお勧めします。または、ファイルをリファレンス波形として保存し、WFM ファイルとして SigTest にインポートします。こうすると、ファイル・サイズは CSV ファイルに比べて約 1/10 になります。
7. 次の手順で設定を保存します。Instrument Setups → Save Setup と選択し、PCI-E Add-In Card または PCI-E System と名前を付けます。このセットアップ・ファイルは、リンクの各レーンをテストする前に呼び出します。

1.6.3 SigTest ソフトウェアの実行

波形データを保存したならば、次の手順でコンプライアンス・テストを実行します。

1. SigTest (PCI Express Post Capture Analysis Software) を起動します。

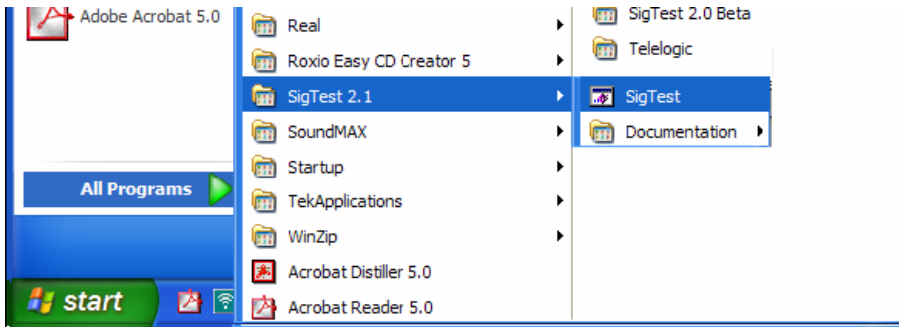


図 1-34 SigTest のユーザ GUI の開始

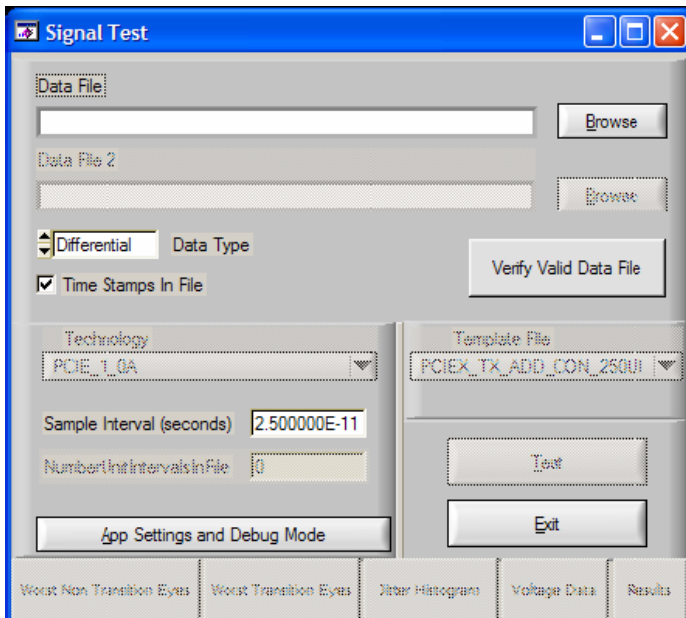


図 1-35 Signal Quality Eye Rendering プログラムのメイン・メニュー

2. **Data File** ブラウズ・ボタンをクリックし、取込んだ CSV ファイルのあるフォルダを指定します。該当する CSV ファイルを選択します。
3. **Sample Interval** が、前のセクションにおいてオシロスコープで取込んだ信号と等価であることを確認します。例えば、データが 50ps/pt で取込まれたならば、**Sample Interval** を **5.00000E-11** に設定します。これは、TDS6000B シリーズや TDS7704B 型でも同様です。DPO/DSA70000 シリーズでは **4.00000E-11** になります。

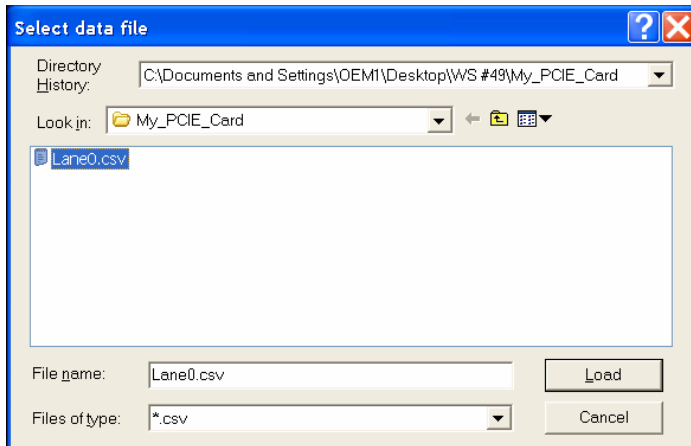


図 1-36 CSV データ・ファイルのインポート

- a. テスト・データにタイムスタンプが含まれている場合は、**Time Stamps in File** のチェック・ボックスにチェックを入れます。
- b. 1 つの差動データ・ファイルの場合は、**Data Type** を **Differential** にします。
- c. **Verify Valid Data File** をクリックします。テスト・データが正しく選択されていることを簡単にチェックします。

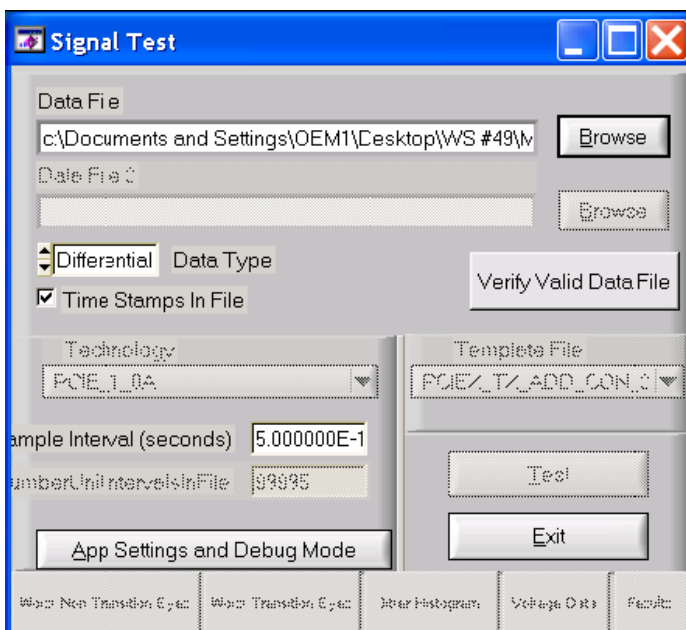


図 1-37 Verify Data ボタン

- d. データが正しいフォーマットの場合は、TEST ボタンが選択できるようになります。正しくない場合は、画面下のプログラム・ステータス・バーに “Unable to process data file.” と表示されます。また、次のようなエラー・ウィンドウが表示されます。

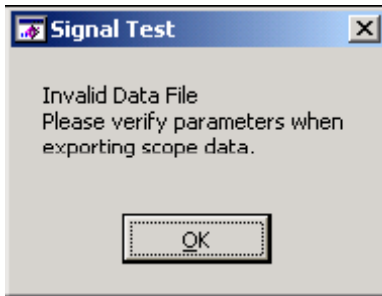


図 1-38 エラー・ウィンドウの例

4. Technology 選択ウィンドウにおいて、テストするプロービング・ロケーションと規格（ここでは **Rev.1.1**）を選択します。Template File は自動的に選択されます。
 - e. アドイン・カードのテストでは、**PCIE_CEM_CARD_1_1** を選択します。
 - f. システム・テストでは、**PCIE_CEM_SYS_1_1** を選択します。

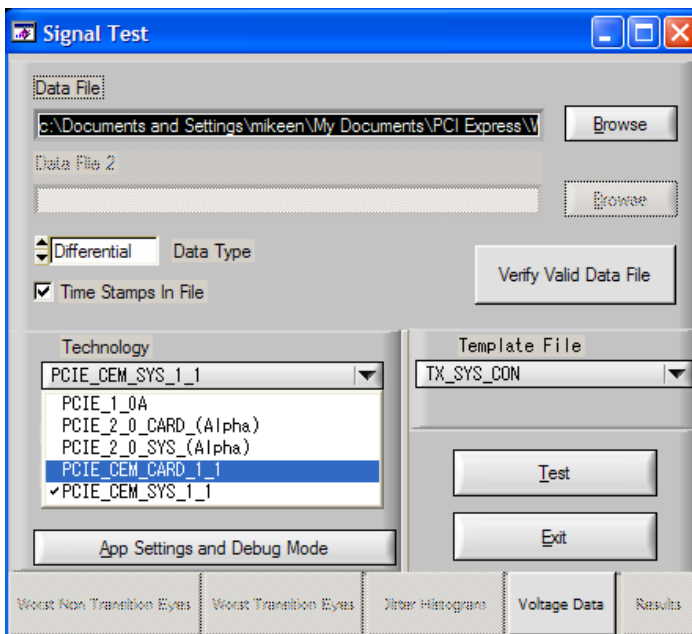


図 1-39 テンプレートの選択

5. **Test** ボタンをクリックします。

6. 結果が表示されます。

プログラムを完了すると、テスト・データの解析結果ウィンドウが表示されます。

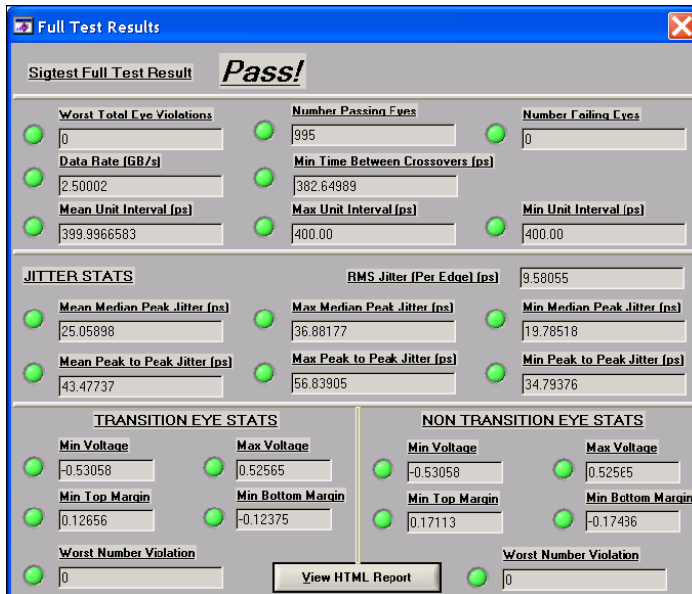


図 1-40 解析結果ウィンドウ

画面下のプログラム・ステータス・バーにも、次のように表示されます。



Eye Violation フィールドには、アイ・パターンから外れたエリア(アイの赤いゾーン)に入ったデータ・ポイントの数が表示されます。

その他のフィールドには、テスト・データから得られたパラメータの計算結果が表示されます。結果がテンプレート・ファイルのリミット値内であれば、結果フィールド横のラジオ・ボタンが緑になります。結果がフェイルの場合は、ラジオ・ボタンは赤になります。

テンプレート・ファイルの値は、プロービングの場所(例えば、トランスミッタのアイ・ダイアグラム)やテストしたい任意のマージンに合わせてユーザが定義することができます。

解析結果ウィンドウが閉じている場合は、**Results** ボタンをクリックすれば呼び出すことができます。

解析結果ウィンドウで **View HTML Report** ボタンをクリックすると、SIGTEST ツールで作成されたレポートが開きます。このレポートには、ワーストケースのノン・トランジション・シグナル・アイのアイ・ダイアグラム、ワーストケースのトランジション・シグナル・アイ、シグナル・データ・プロットその他、次のようなテスト結果が含まれています。

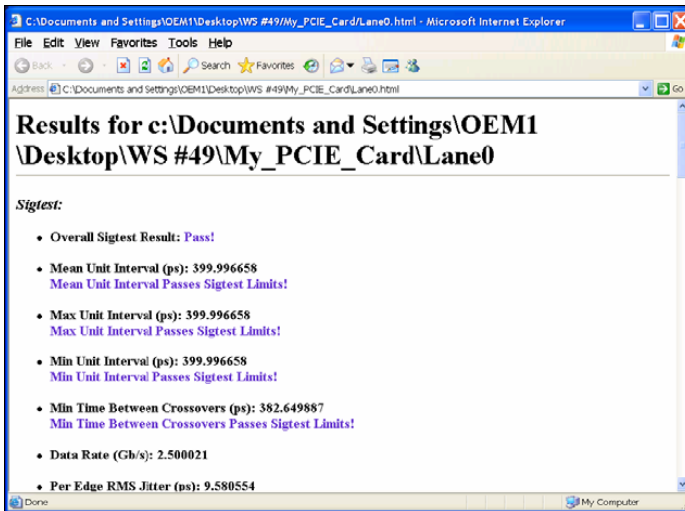


図 1-41 HTML によるレポート

Worst Non Transition Eyes のボタンを選択すると、ディエンファシス・ビット(データ・ラインのトランジションに続かないデータ・ビット)のアイ・ダイアグラムが表示されます。

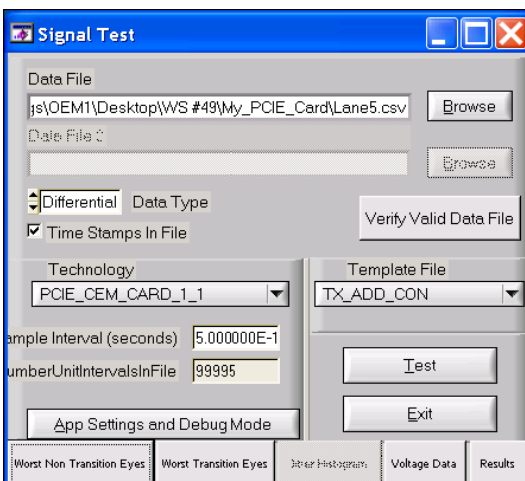


図 1-42 Worst Non Transition Eyes ボタン

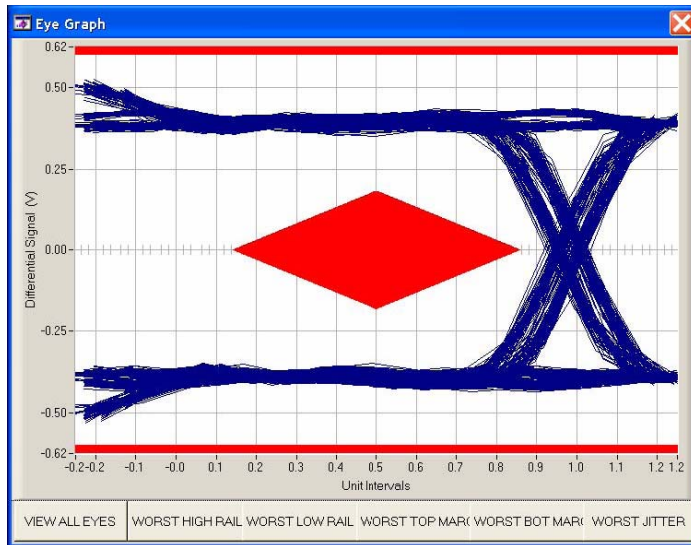


図 1-43 ノン・トランジション・アイ

ノン・トランジション・アイとトランジションのアイ・パターン・ウィンドウには 6 種類の表示オプションがあります。View All Eyes はデフォルトのオプションであり、5 種類のアイ・パターンが重ね書きされて選択できます。

画面下のボタンをクリックすることで、別々のアイ・ダイアグラムを表示したり、すべてのアイ・ダイアグラムをいっしょに表示したりすることができます。

Worst Transition Eyes ボタンを選択すると、トランジション・アイが表示されます。

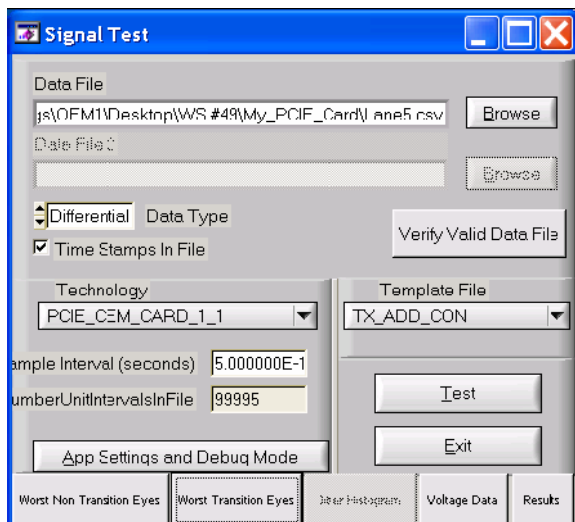


図 1-44 Worst Non Transition Eyes ボタン

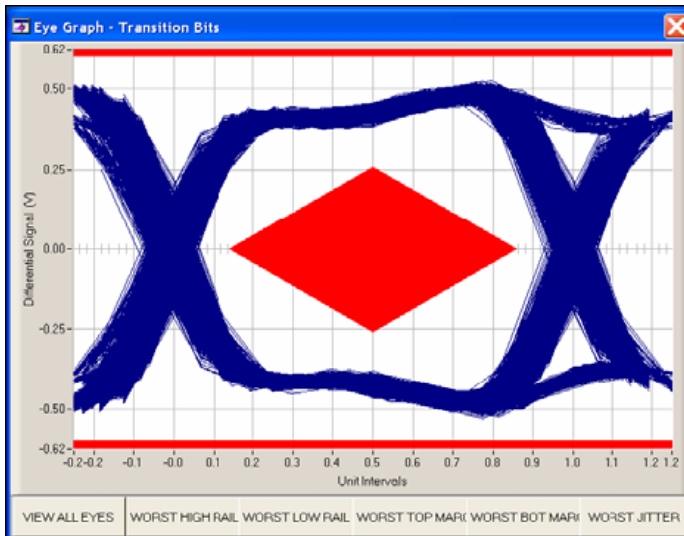


図 1-45 トランジション・アイ

Worst Transition Eyes ボタンを選択すると、差動信号のトランジションに続くビットのアイ・ダイアグラムが表示されます。仕様では、データがトランジション・ビットか、ノン・トランジション(ディエンファシス)ビットかによって異なるアイ・テンプレートが定義されています。

画面下のボタンをクリックすることで、別々のアイ・ダイアグラムを表示したり、すべてのアイ・ダイアグラムをいっしょに表示したりすることができます。

WORST JITTER ボタンを選択すると、すべてのテスト・データにおけるワーストケースのジッタを含んだトランジションに関連するアイ・パターンが表示されます。一般的に、ディエンファシス・ビットであるか否かにかかわらず、トランジション前の信号電圧は変化するので、トランジション・ビットのジッタはワーストケースになると考えられます。

Voltage Data ボタンを選択すると、解析されるテスト・データの差動信号電圧が表示されます。

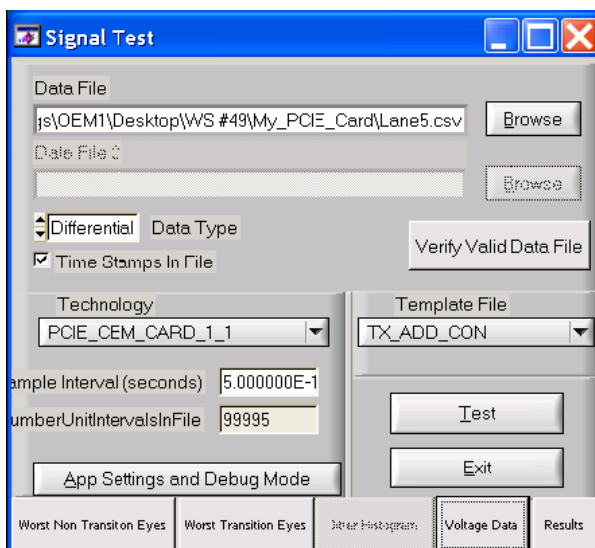


図 1-46 Voltage Data ボタン

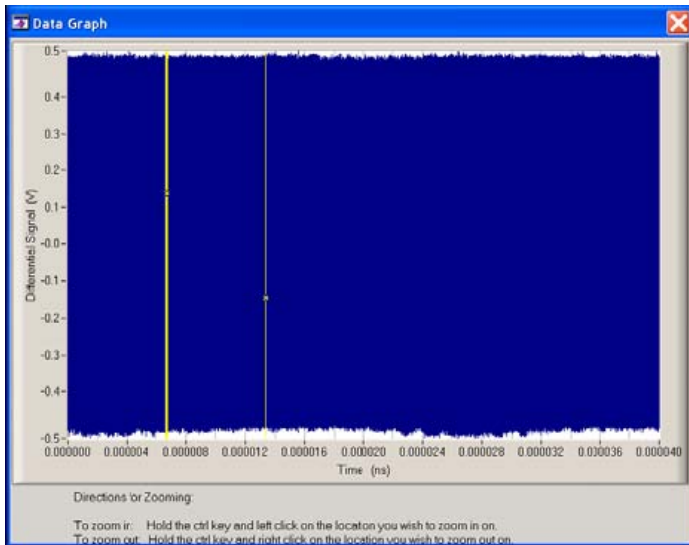


図 1-47 電圧データ

App Settings and Debug Mode ボタンを押すと、SigTest アプリケーションの設定とデバッグ・モードにアクセスできます。

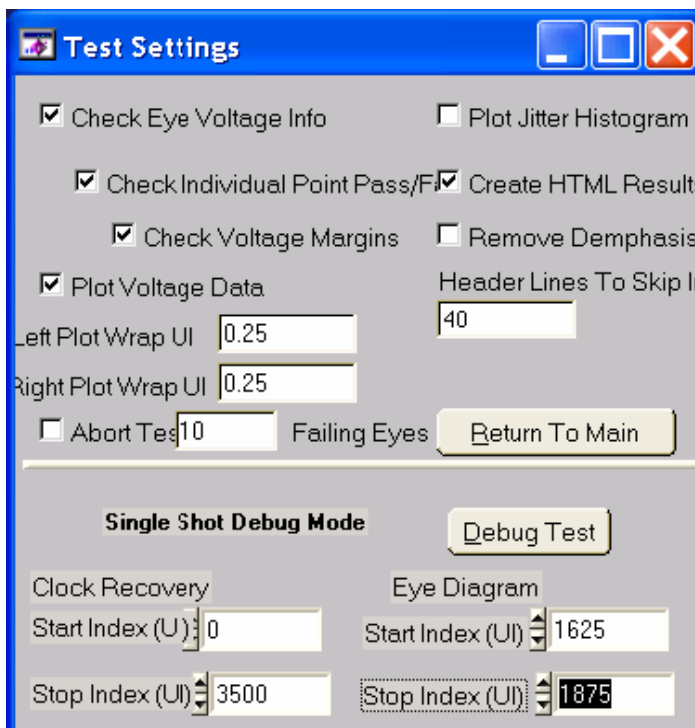


図 1-48 SigTest のテスト設定メニュー

7. 以上の手順を繰り返してすべてのレーンをテストします。

ウィンドウを管理し、ファイルを正しい場所に保存することは難しい作業です。DPO/DSA/TDS シリーズ・オシロスコープ上で SigTest を使用する場合は、結果の表示と進行状況の監視のためにセカンド・モニタのご使用をお勧めします。セカンド・モニタの設定は、オシロスコープ内の Windows デスクトップで右クリックして表示される表示設定メニューで行います。

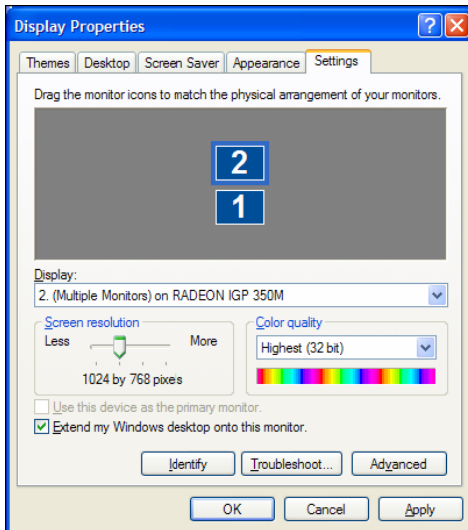


図 1-49 セカンド・モニタの設定

セカンド・モニタが設定できると、オシロスコープのディスプレイには取込んだ波形を表示し、セカンド・モニタで SigTest ツールを実行することができます。SigTest を実行するとセカンド・モニタの左下に表示され、解析結果ウィンドウはそのとなりに表示されます。データ・フォルダを開いている場合、CSV 波形ファイルが保存されて結果ファイルが生成されても進行状況を容易にモニタすることができます。

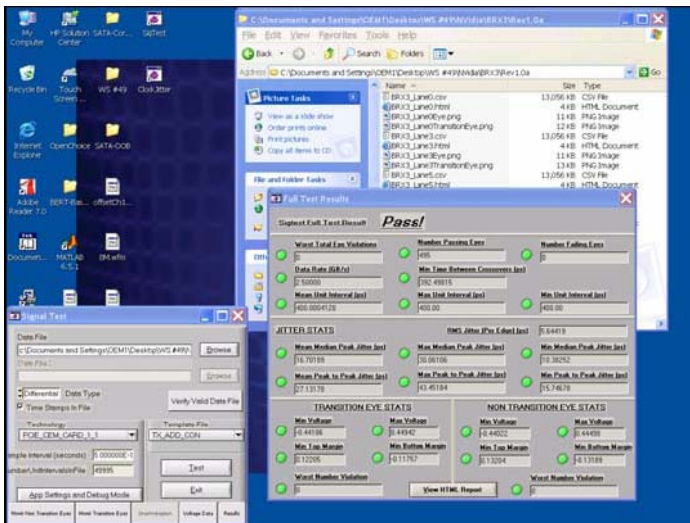


図 1-50 セカンド・モニタに表示された SigTest の設定と結果ウィンドウ

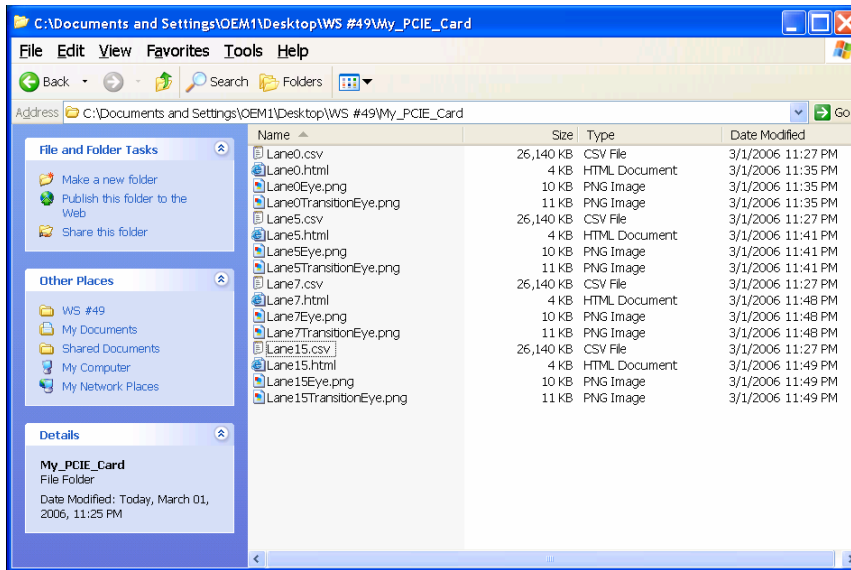


図 1-51 ×16 ポートの 4 レーンをテストした結果のフォルダ

2 リファレンス・クロックの位相ジッタ手順

2.1 リファレンス・クロック・ジッタの概要

PCI Express のリファレンス・クロックの位相ジッタ測定には、CLB (Compliance Load Board) とターゲットを使用します。代表的なターゲットは、PCI Express のマザーボードです。クロック周期のトレンド測定には、TDS6000B/C シリーズまたは TDS7704B 型リアルタイム・オシロスコープを使用します。データはファイルに保存し、PCI-SIG のクロック・ジッタ・ツール (Clock Jitter Tool) を使ってクロックの位相ジッタを計算します。PCI Express Specification Rev 1.1 では、1.5~22MHz における位相ジッタは 86ps 未満と規定されています。

2.2 クロック・ジッタ測定に必要な機器

PCI Express のリファレンス・クロック測定には、以下の機器が必要です。

- テクトロニクスDPO/DSA70000シリーズ、TDS6000B/Cシリーズ、またはTDS7704B型オシロスコープ (最低でも6GHzの周波数帯域と32Mサンプルのレコード長が必要です)
- TDSJIT3 Advancedジッタ/タイミング解析ソフトウェア
- テクトロニクスP7300シリーズ・プローブとスクエア・ピン用TipClipアダプタ (部品番号: 020-2701-xx)、P6248型でも代用可
- PCI-SIG CLB
- PCI-SIG Clock Jitter Tool

2.3 Clock Jitter Tool のインストール

PCI-SIG の Clock Jitter Tool は解析用ソフトウェアです。クロック周期のトレンド・データは、TDS シリーズ・オシロスコープで実行する TDSJIT3 ソフトウェアで取込まれます。Clock Jitter Tool は周期トレンド・データからさらに解析を行い、1.5~22MHz の位相ジッタを測定します。OS の要件: Microsoft Windows XP または Windows 2000 Professional が必要。

1. Clock Tool Version 1.0
(http://www.pcisig.com/specifications/pciexpress/compliance/compliance_library から入手可能) を Windows デスクトップのサブディレクトリにダウンロードします。
2. Test Tool インストレーション・ファイルがコピーされたサブディレクトリを開きます。

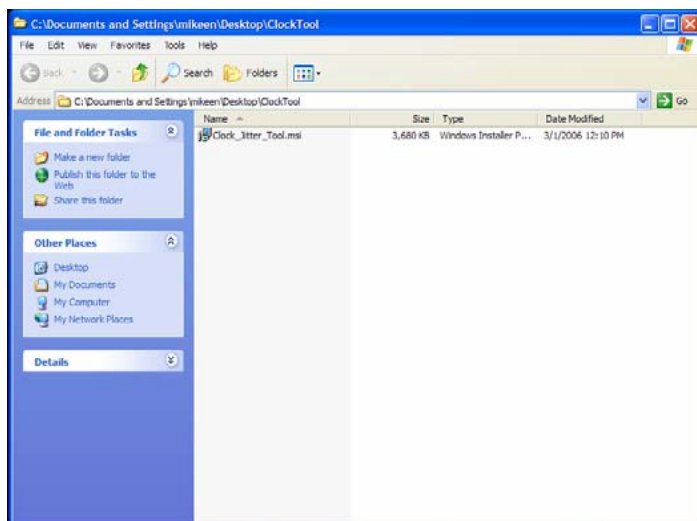


図 2-1 Clock Jitter のインストール例 1

3. **Clock_Jitter_Tool.msi** をダブル・クリックします。

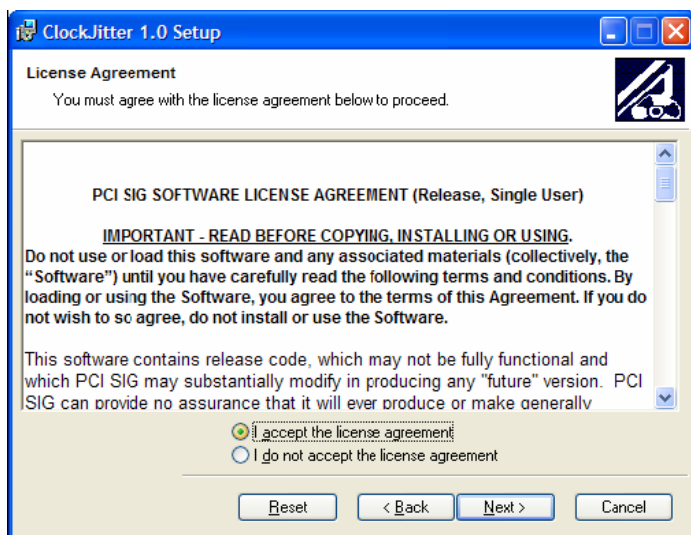


図 2-2 Clock Jitter のインストール例 2

4. Windows のプログラムがバックグラウンドで実行していないことを確認します。 **Next** をクリックしてインストールを開始します。

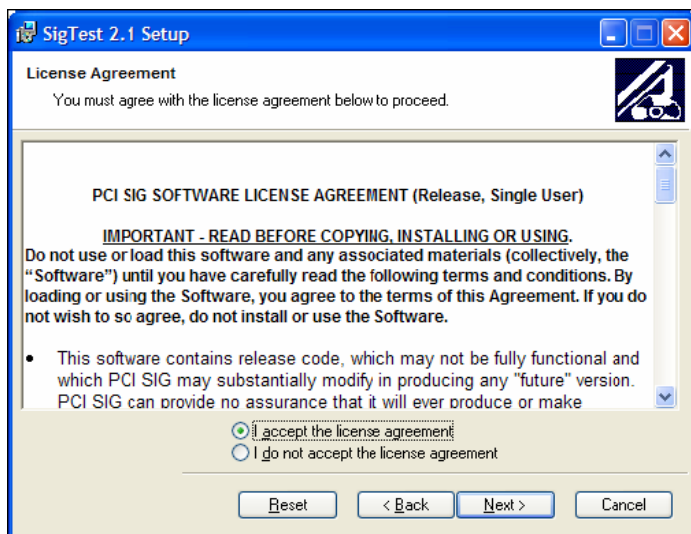


図 2-3 Clock Jitter のインストール例 3

5. ライセンス同意書を確認し、**I accept the license agreement.** を選択して **Next** をクリックします。

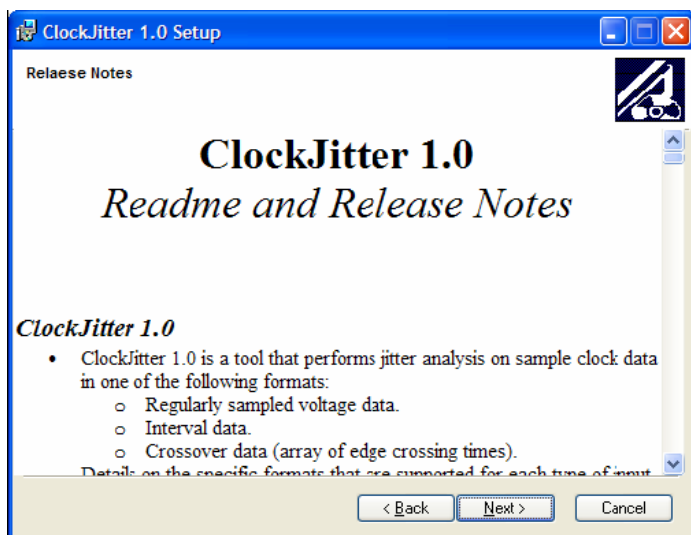


図 2-4 Clock Jitter のインストール例 4

6. 右のスクロール・バーを使ってリリース・ノートを確認して **Next** をクリックします。

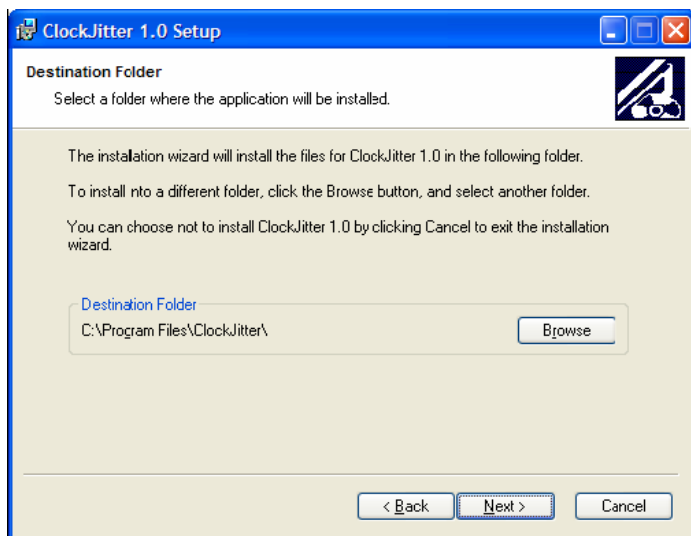


図 2-5 Clock Jitter のインストール例 5

7. インストールするディレクトリを選択して **Next** をクリックします。

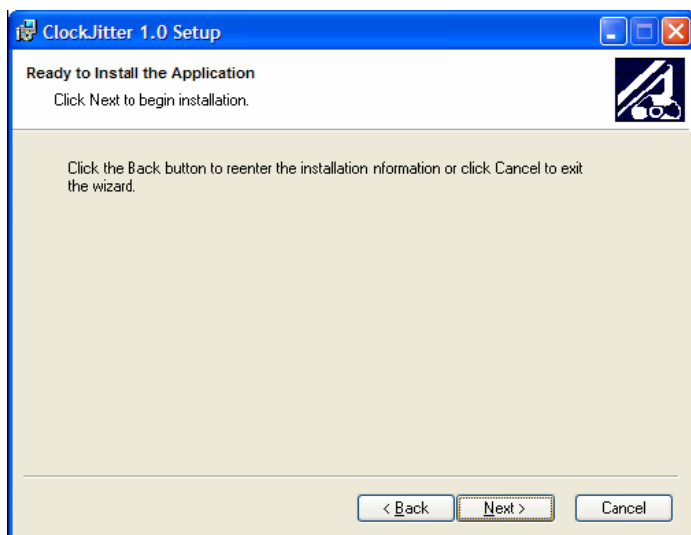


図 2-6 Clock Jitter のインストール例 6

8. **Next** をクリックしてインストールを開始します。

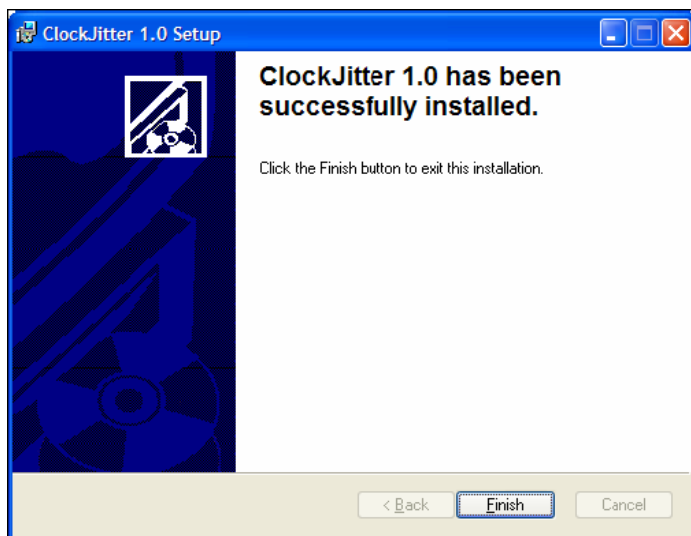


図 2-7 Clock Jitter のインストール例 7

9. **Finish** をクリックしてインストールを完了します。

2.4 差動プローブのセットアップ

最初の手順として、P7300 シリーズ・プローブを PCI-SIG CLB に接続します。

スクエア・ピン用 TipClip アダプタが P7300 シリーズのプローブ・ヘッドに正しく接続されていることを確認します。

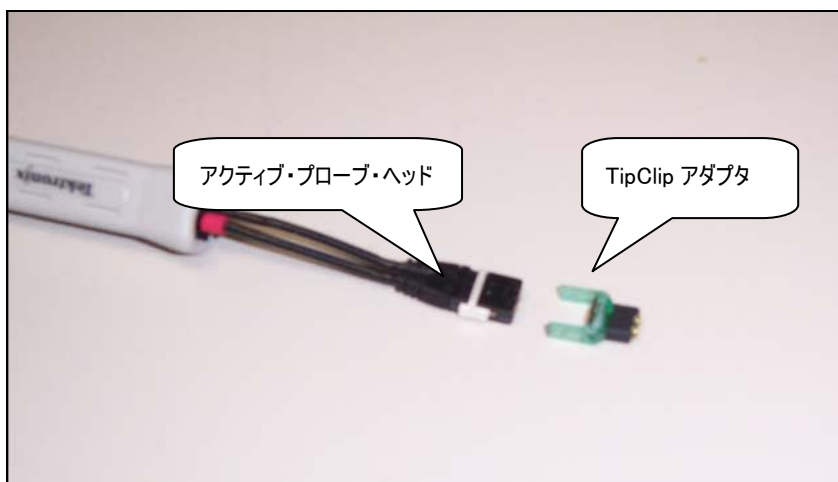


図 2-8 テクトロニクス P7300 シリーズ・プローブとスクエア・ピン・アダプタ

スクエア・ピン・アダプタをプローブ・ヘッドに接続したならば、次はプローブを CLB に接続します。

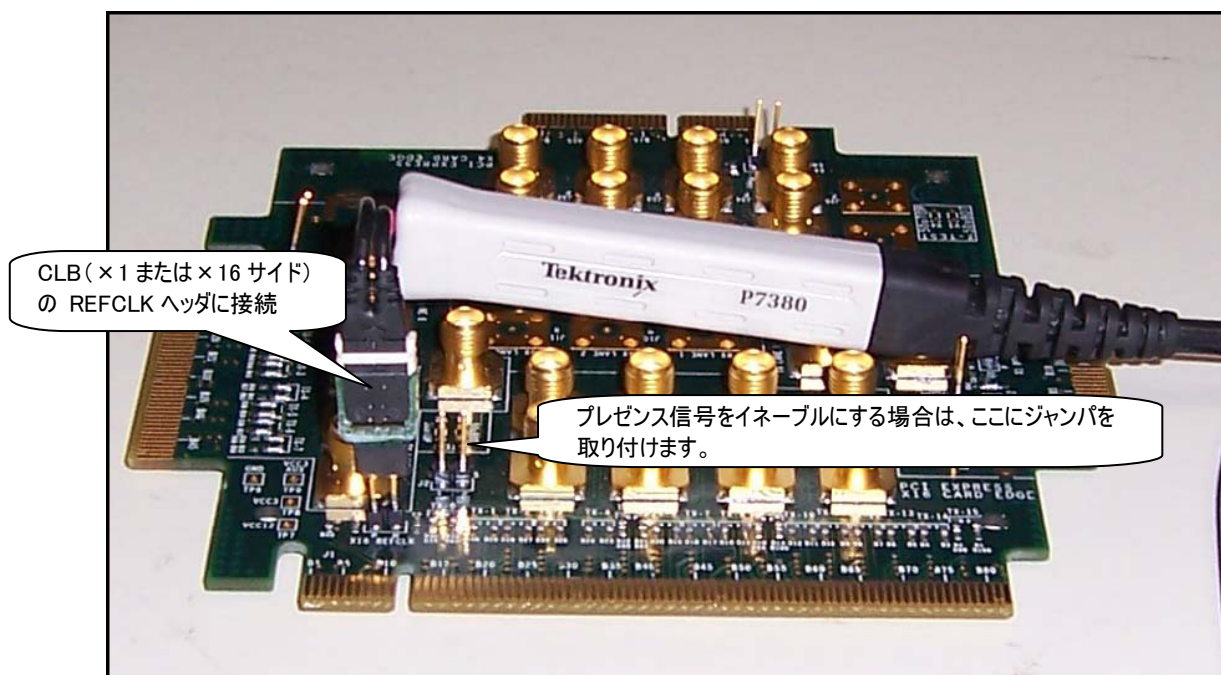


図 2-9 CLB に接続した P7300 シリーズ・プローブ

スクエア・ピン・プローブ・チップを CLB の REFCLK ヘッド・ピンに接続します。CLB のピア・ヘッドには、2 つの REFCLK アクセス・ポイントがあります。1 つは上記に示す CLB の $\times 16$ サイドに、もう 1 つは CLB の $\times 1$ サイドにあります¹。マザーボードによっては、リファレンス・クロックがイネーブルになる前に、プレゼンス信号を挿入しなければならないものもあります。システムにプローブを接続してシステムをオンにしてもクロックが観測できない場合は、プレゼンス・イネーブル・ヘッドにジャンプを接続します。

プローブをヘッドに正しく接続したならば、CLB とプローブ・アセンブリをターゲットのマザーボードに取り付けます。マザーボードまたはシステムの電源が切れていること、または CLB を取り付けの際に電源が入っていないことを確認します。

¹ REFCLK ヘッド・ピン背面のパッドに 2pF キャパシタ (REFCLK 測定の負荷条件) が取り付けられているか確認します。初期の CLB には取り付けられていません。

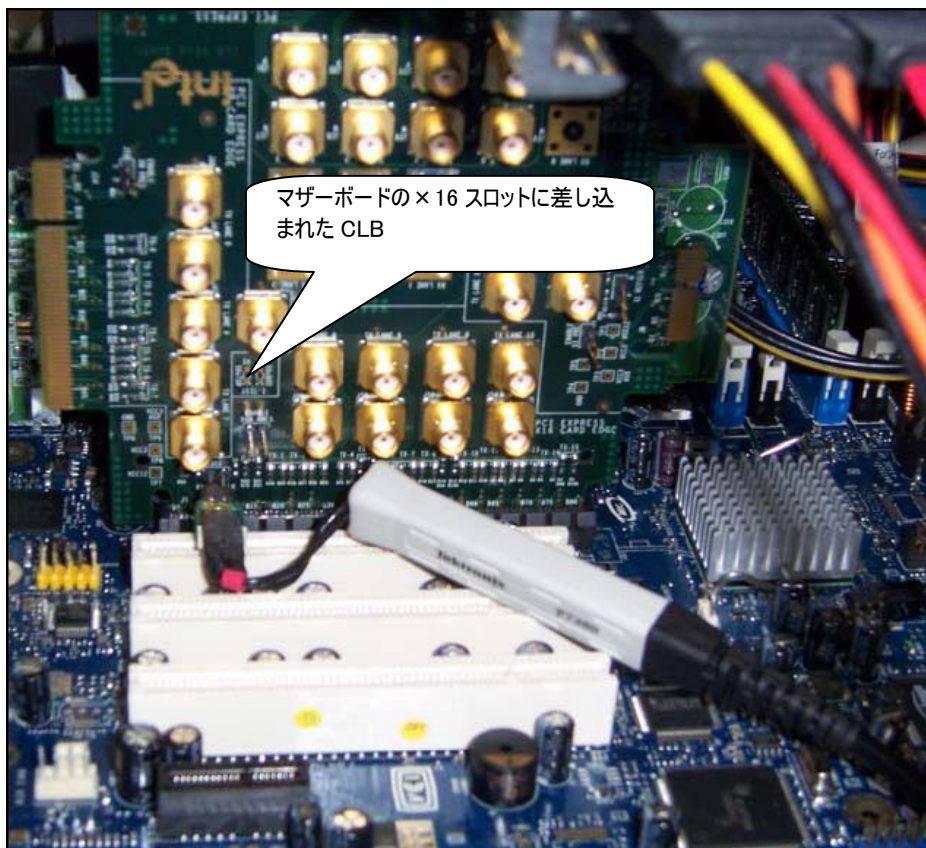


図 2-10 PCI Express システム・スロットに取り付けた P7300 シリーズ・プローブと CLB

ヘッド・ピンを曲げないよう、または短絡しないよう、CLBを正しく取り付けます。

2.5 クロック波形の取込み

次の手順を実行して初期クロック信号を TDS に表示させます。

1. P7300 シリーズ・プローブを Ch4 に接続します。データ信号の品質テストで Ch1 と Ch3 を接続したままなので、この手順では Ch4 を使用します。
2. **Default Setup** ボタンを押し、ターゲット・システムの電源をオンにします。
3. **Ch1** をオフにし、**Ch4** をオンにします。
4. **AUTOSET** ボタンを押すと、オシロスコープにクロック信号が表示されます。

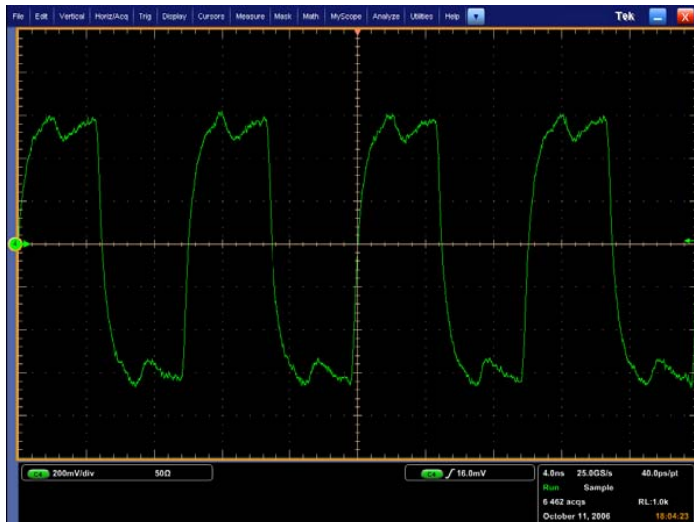


図 2-11 PCI Express のリファレンス・クロック信号

5. オシロスコープの垂直軸スケールを 200mV/div に設定します。
6. **Horz/Acq** メニューで水平軸スケールを最高サンプル・レートで $200\ \mu\text{s/div}$ に設定します。TDS シリーズでは 32M サンプルで 50ps/pt 、DPO/DSA シリーズでは 50M サンプルで 40ps/pt になります。
7. クロック信号を詳細に観測する場合は、ズーム・ウィンドウを表示させます。以下のような波形が表示されます。

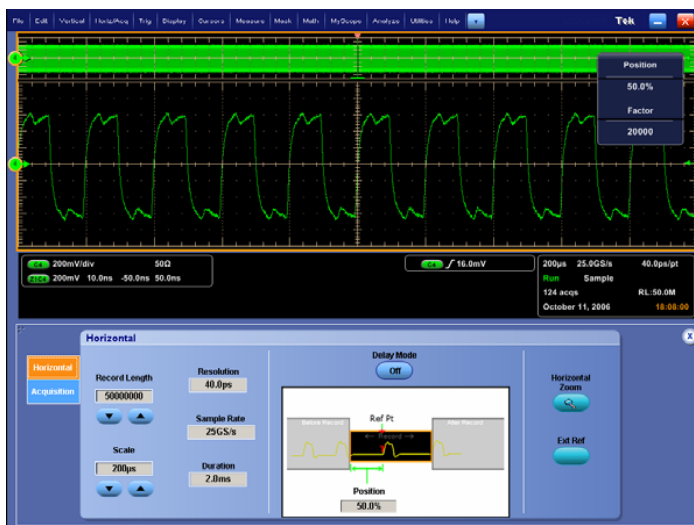


図 2-12 最高サンプル・レートで取込んだ 2ms のデータ

8. **Close** ボタンを選択して **Horz/Acq** メニューを閉じます。

2.6 クロック周期トレンドの測定とエクスポート

次は、クロック周期のサイクル・トレンド測定をセットアップします。これには TDSJIT3 Advanced ソフトウェアを使用します。TDSJIT3 は、TDS シリーズ・オシロスコープではオプションのジッタ／タイミング解析ソフトウェアです。オシロスコープの **App** → **Jitter Analysis** プルダウン・メニューから実行します。



図 2-13 Advanced Jitter Analysis の選択

1. Jitter Wizard でクロック周期のタイム・トレンドを作成します。Jitter Wizard を使用することで、クロック周期測定のセットアップが簡単に行えます。以下の図で黄色の文字で示される項目を選択します。クロック周期測定では Ch4 を、Autoset Source Scales と Autoset Reference Levels を No に(水平軸スケールと垂直軸スケールはすでに設定されているため)設定し、周期測定の Time Trend プロット表示をオンにします。

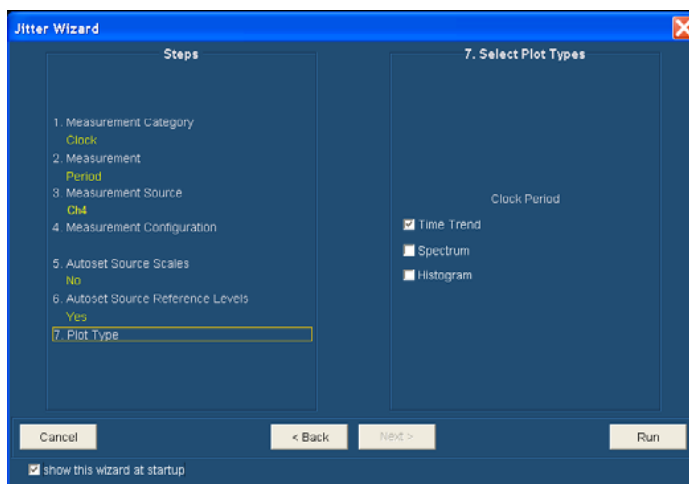


図 2-14 Jitter Wizard によるセットアップ

2. Jitter Wizard で **Run** ボタンをクリックします。しばらくすると、クロック周期の周期とタイム・トレンドが表示されます。

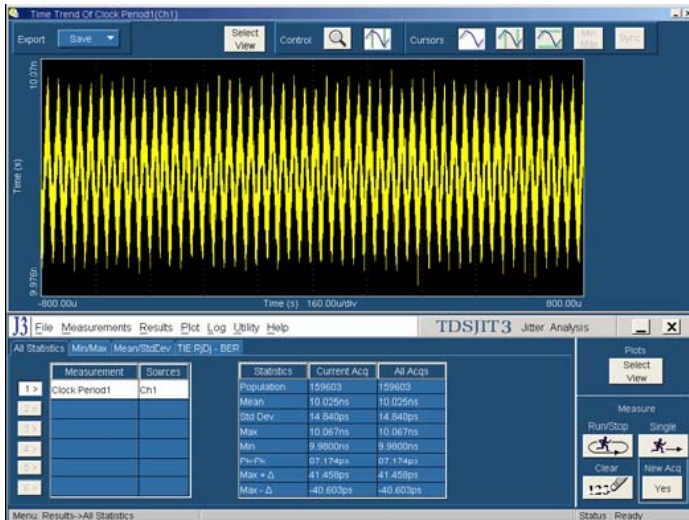


図 2-15 クロック周期測定の結果

タイム・トレンド曲線により、時間方向のクロック周期がプロットされます。

3. プロット・ウィンドウの左上の **Export** → **Data** から TXT ファイルでタイム・トレンド・データをエクスポートします。

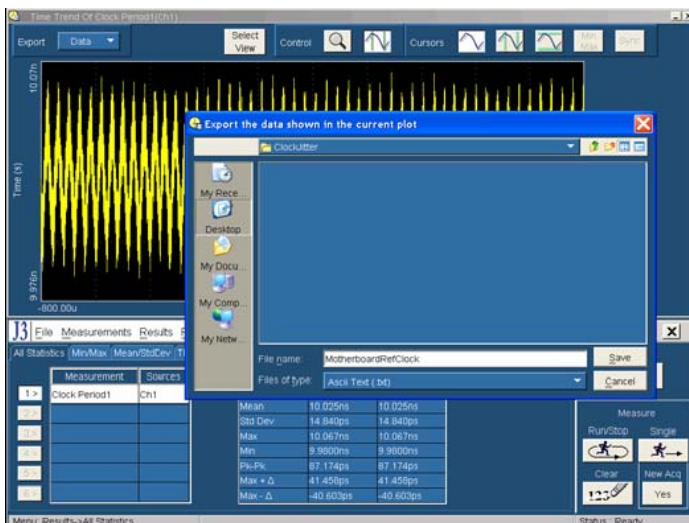


図 2-16 クロック周期測定の結果

データを保存したならば、保存した波形ファイルを Clock Jitter Measurement Tool にロードします。TXT ファイルは、周期測定のリストとして表示されます。ファイルは、Microsoft のメモ帳 (Notepad) で表示できます。

```

MyClock.txt - Notepad
File Edit Format View Help
Measurement Data for Time Trend of Clock Period1(R1)
Mon Apr 03 17:02:12 PDT 2006
TDSJIT Version = 2.1.0
Scope Model/Firmware = Tektronix TDS6804B CF:91.1CT FV:5.1.2
Data array (length = 160002)
<x-val> <y-val>
-7.999857970443862E-4,1.001322055133036E-8
-7.999757910920053E-4,9.99868421055778E-9
-7.999657965794456E-4,9.990340909030691E-9
-7.99955803644663E-4,9.995528656180953E-9
-7.999458021045911E-4,1.0007551487370772E-8
-7.999358075393738E-4,9.981578947388346E-9
-7.99925803208234E-4,1.00270833334642E-8
-7.999157914894833E-4,9.996354166630882E-9
-7.9990579346865E-4,9.999687500023176E-9
-7.998957903064477E-4,1.0006636904725044E-8
-7.998857846070429E-4,1.000476190478674E-8
-7.998757906811771E-4,9.983089826809052E-9
-7.998657957271728E-4,1.000681818191882E-8
-7.998557945908091E-4,9.995454545433033E-9
-7.998458081225077E-4,9.977482057351925E-9
-7.998358141183211E-4,1.0010526315870627E-8
-7.99825803167115E-4,1.0011376096403027E-8
-7.998158027666573E-4,9.989424818910263E-9
-7.998057970885739E-4,1.0021929347818134E-8
-7.9979578971865E-4,9.99281249996437E-9
-7.997857971364132E-4,9.99235197363113E-9
-7.997758010426632E-4,9.999835526362626E-9
-7.997657876305819E-4,1.0026988636309755E-8
-7.997557839430819E-4,9.98038636370463E-9
-7.997457924374E-4,1.0002624999984333E-8

```

図 2-17 Clock Jitter Tool で使用するためにエクスポートされた TXT ファイル

2.7 クロック位相のジッタ解析

PCI Express のクロック・ジッタ測定は、PCI-SIG で供給される簡単なクロック・ジッタ解析ユーティリティで実行します。この手順では、解析で使用する PC にユーティリティがロードされていると仮定します。マザーボードのクロック・ジッタを解析するには、ユーティリティを起動し、保存した TXT ファイルをロードします。

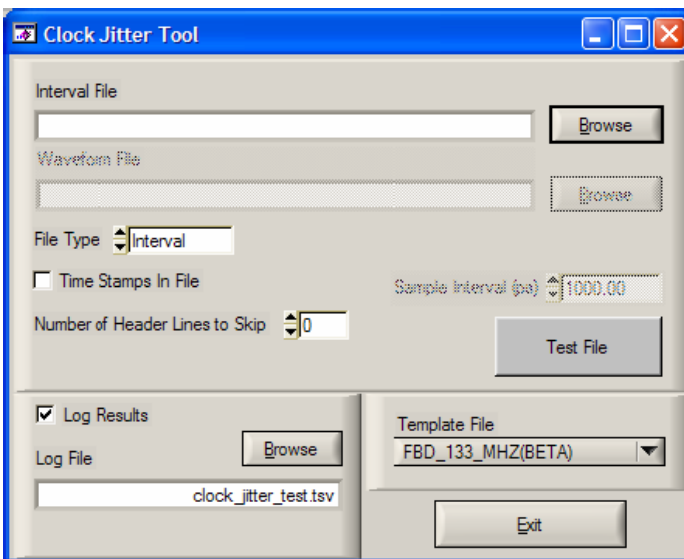


図 2-18 PCI-SIG の Clock Jitter Tool のスタートアップ画面

Clock Jitter Tool は、周波数ドメインでフィルタリング伝達関数を適用し、1.5~22MHz のジッタにフォーカスします。次に、フィルタした信号を時間ドメインに変換した後、アイ開口を計算します。PCIe 1.1 の仕様では、BER 10^{-6} では 86ps 未満と規定されています。

Browse ボタンをクリックし、解析する TXT ファイルを選択します。

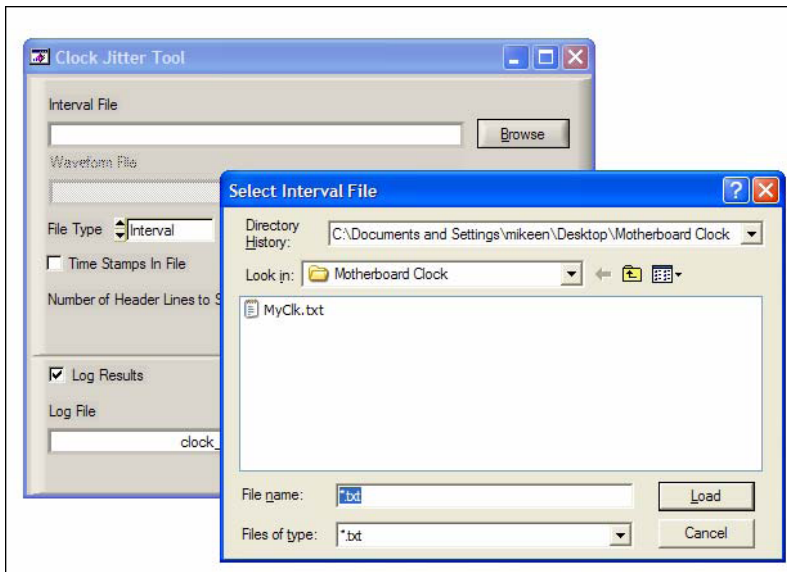


図 2-19 クロックの TXT ファイルの参照とインポート

Clock Jitter Tool は、周波数ドメインでフィルタリング伝達関数を適用し、1.5~22MHz のジッタにフォーカスします。次に、変換後、フィルタされた信号を時間ドメインに戻します。タイム・トレンド・データをインポートした後、Clock Jitter Tool で次のように設定します。

1. File Type: **Interval**
2. Number of Header Lines to Skip: **20**
3. Template File: **PCIE_1_1**

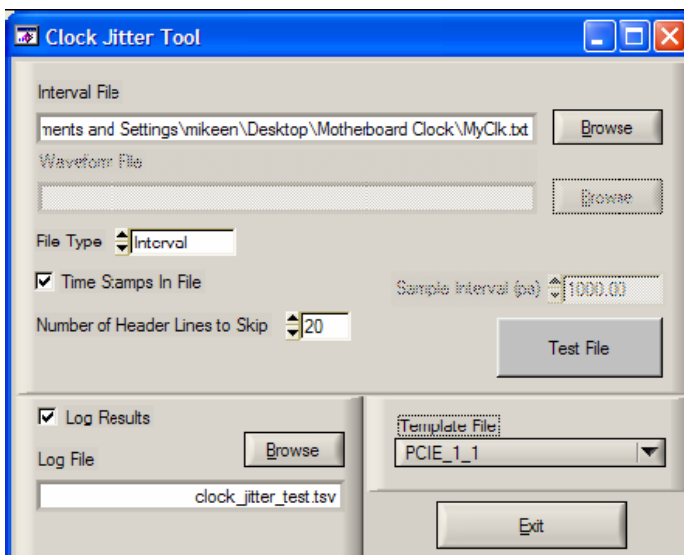


図 2-20 クロックの TXT ファイルの参照とインポート

4. **Test File** ボタンをクリックすると、以下のように結果が表示されます。

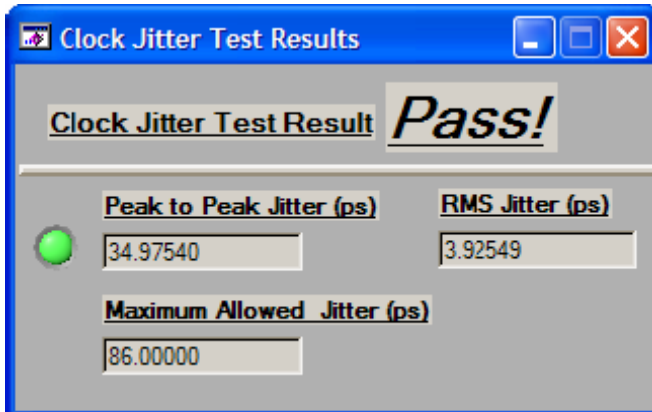


図 2-21 位相ジッタのテスト結果