

PCI Express 5.0 トランスミッタの検証

テクニカル・ノート



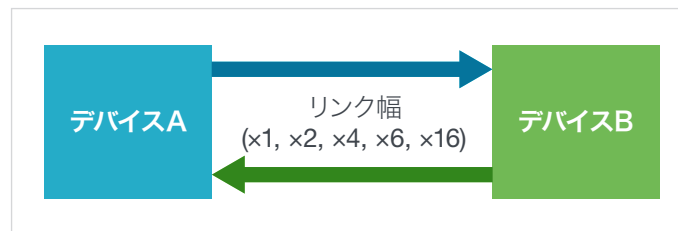
概要

予測された通り、インターネットに接続されるデバイスの急速な増加、およびそれに関連する5G、IoTの広帯域要求により、データ・センターのオペレータは、今日使用されている100ギガビットEthernet (100GE) よりもさらに広帯域のネットワークへの移行を迫られています。このような次世代の400GEネットワークへの移行には、高速のメモリと、高速のシリアル・バス通信が欠かせません。

Ethernetのインタフェースを400GEにアップグレードするだけでなく、サーバもより高速なシリアル拡張バス、メモリにする必要があります。PCIe®(PCI Express)の拡張バスは、最近発行されたPCIe 5.0 (PCIe Gen 5)に移行しています。同時に、DDR (Double Data Rate) メモリも、DDR 4.0からDDR 5.0に移行しています。

PCIe Gen 5の仕様は、PCI-SIG® (PCI Special Interest Group) によって開発されたPCIe 4.0規格のファースト・トラック拡張でした。PCI-SIG®は、すべてのPCIe仕様を規定する団体です。PCIe 5.0規格は、2021年6月に発行されたPCIe 5.0 CEM (Card Electromechanical) 仕様の完成をもって完了しました。これは、2019年に発行された、既存のPCIe 5.0 Base (シリコン) 仕様と対をなすものです。

PCIe規格の開発



PCIeによる二重リンク通信

1992年に発表された初期の平行PCI (Peripheral Component Interconnect) バスは、PCの機能拡張のために設計されたものであり、グラフィックス、ネットワーク・カード、さらに数多くの周辺機器の接続が可能になりました。PCIeは、PCIおよびPCI-X (PCI eXtended)、AGP (Accelerated Graphics Port) などの旧来のインタフェースを置き換えるために設計された高速シリアル・バスです。PCIeは優れたスループット、小型のフォーム・ファクタが特長であり、x1、x2、x4、x8、x16レーンのスケーラブルなリンク幅があります。PCIeは、全二重のパケットベース通信に対応するルートコンプレックス (システム／ホスト) とエンドポイント (アドイン・カード) 間のポイントツーポイントのバス・トポロジをベースにしています。PCIe 1.0規格は2003年に発表され、2.5GT/s (ギガ転送／秒) を実現しました。現在のPCIeの速度は、2.5GT/sから最高32GT/sとなっています。

PCIe 5.0の転送レートは、PCIe 4.0の16GT/sから、2倍の32GT/sになっていますが、その他に大きな機能追加は行われていません。これは、可能な限り短時間に速度を上げることを目標としたためです。

2003	2006	2010	2017	2019	2021
PCIe 1.0 (2.5GT/s)	PCIe 2.0 (5GT/s)	PCIe 3.0 (8GT/s)	PCIe 4.0 (16GT/s)	PCIe 5.0 (32GT/s)	PCIe 6.0 (64GT/s)

PCIe仕様の時系列

現在リリースされているすべてのPCIe規格は、NRZ (Non-Return to Zero) のシグナリングを使用しています。しかし、PCI-SIGは現在PCIe Gen 6の仕様を開発中であり、再度データ転送レートを2倍の64GT/sに上げ、NRZのシグナリングから離れようとしています。

Gen 6では、PAM-4 (4値/パルス振幅変調) のシグナリング、ローレイテンシFEC (Forward Error Correction) の使用により、データ・インテグリティを改善しようとしています。

すべてのPCIe規格は後方互換性が求められるため、PCIe 5.0 (最大データ・レート32GT/s) は2.5GT/s、5GT/s、8GT/s、16GT/s、さらに32GT/sにも対応する必要があります。

	ビット・レート／ レーン	リンク帯域幅	レーン帯域幅	x16 帯域幅
PCIe 1.x	2.5GT/s	2.0Gbps	250MB/s	8GB/s
PCIe 2.x	5.0GT/s	4.0Gbps	500MB/s	16GB/s
PCIe 3.x	8.0GT/s	8.0Gbps	約1GB/s	32GB/s
PCIe 4.x	16.0GT/s	16.0Gbps	約2GB/s	64GB/s
PCIe 5.x	32.0GT/s	32.0Gbps	約4GB/s	128GB/s
PCIe 6.x	64.0GT/s	64Gbps	約8GB/s	256GB/s

PCIeによる二重リンク通信

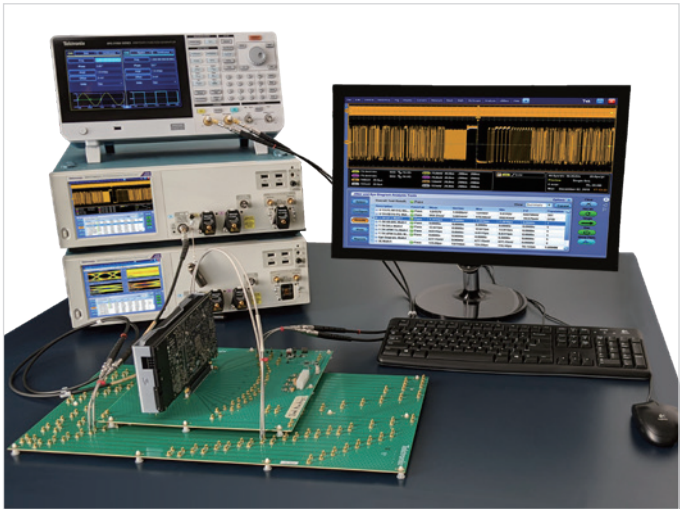
PCI-SIG® の概要

1992年に設立されたPCI-SIG (Peripheral Component Interconnect Special Interest Group) は、業界の900以上のメンバー企業から成り立つ規格団体です。PCI技術に興味のある企業であれば、誰でも会員になります。PCI-SIGは、非独占的なPCI技術規格と、現在サーバのインターコネクト規格における事実上のデファクトスタンダードであるPCIeを含む、関連仕様の開発団体です。PCI-SIGは、必要なI/O機能に対応し、従来の仕様との後方互換性を維持するためのPCIの仕様を策定しています。PCI技術を業界に広く採用してもらうため、PCI-SIGはどのテストを実行し、合格すれば規格適合性(コンプライアンス)が得られるかを含め、インターオペラビリティとコンプライアンス・テストの両方をサポートしています。

テクトロニクスはPCI-SIGのキー・コントリビュータ企業であり、PCIe 4.0および5.0の物理層試験仕様と、PCIe 6.0 Tx/Rxの測定手法の先行実験で協力しています。テクトロニクスはまた、PCIe規格の開発、実装におけるコンプライアンスおよびインターオペラビリティのテストにも協力しています。

PCIeのコンプライアンス・テスト

PCI-SIGのコンプライアンス・ワークショップは、インターオペラビリティ・テストを開催しており、メンバーの製品と他のメンバーの製品とを組み合わせることでテストすることができます。このワークショップではコンプライアンス・テストも実施しており、PCI-SIGが規定するテストによる製品試験が行えます。どちらの場合でも、製品が合格になったり不合格になったりします。正式に認証を得るには、製品はインターオペラビリティ・テストにおいて最低でも80%は合格し、すべてのノーマティブ(必要な)コンプライアンス・テストで合格しなければなりません。テクトロニクスは、PCI-SIGに認証された、すべてのデータ・レートにおける(Tx、Rx、PLL帯域)テスト・ソフトウェアを持っています。



テクトロニクスのPCIe Gen 5 Txコンプライアンス・テスト・ソリューション

PCIe 5.0特有の問題点

PCIe 4.0の16GT/sのスピードは、前回のPCIe規格におけるスピード・エンハンスメントでしたが、それ以前の規格よりも実装が困難であることがわかりました。PCIe 5.0では、コンピュータのPCIeチャンネルとマザーボードにとっては、32GT/sのデータ・レートを扱うのは非常に困難です。PCIe 5.0デバイスは、低いデータ・レートでは生じなかったようなシグナル・インテグリティの問題が予想されます。

PCIe 5.0トランスミッタ・テストの概要

Base（シリコン）またはCEM（システムおよびアドイン・カード）のレベルにおけるPCIe Gen 5トランスミッタ・デバイスの開発では、チップ・レベルの検証（PHY IP メーカーが実施）と、PCI-SIGによる公式のコンプライアンス・テストにデバイスを持ち込む前のプリ・コンプライアンス・テストが必要になります。そのため、適切なテスト機器と、関連する自動化ソフトウェアを使用することが重要になります。

PCIeコンプライアンス・テストには、以下の項目が含まれます。

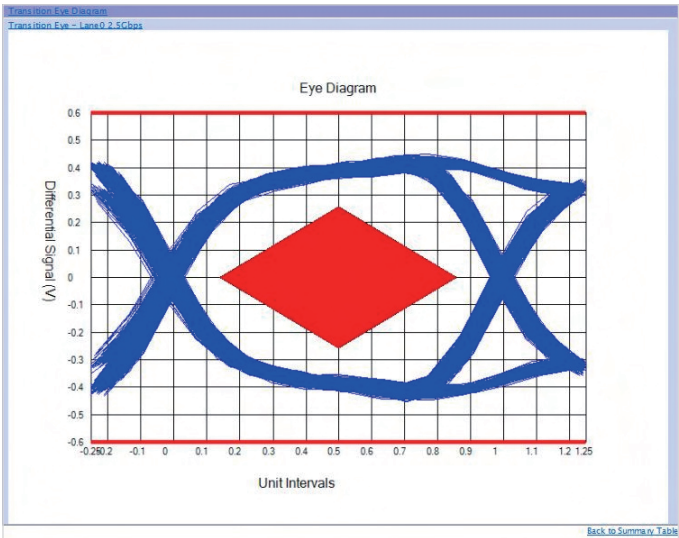
- 電気テスト - プラットフォームとアドイン・カードのトランスミッタ (Tx) およびレシーバ (Rx) 特性の検証
- コンフィグレーション・テスト - PCIeデバイスのコンフィグレーション・スペースの検証
- リンク・プロトコル・テスト - デバイスのリンクレベルのプロトコル検証
- トランザクション・プロトコル・テスト - デバイスのトランザクションレベルのプロトコル検証
- プラットフォームBIOSテスト - BIOSのPCIeデバイス認識および設定能力の検証

電気テストは、BaseレベルとCEMレベルの測定に分かれています。それぞれのテストは、ノーマティブ（要求事項）とインフォーマティブ（ガイドライン）に分類されます。

Base 測定項目	ノーマティブ／インフォーマティブ
AC CM 4GHz	ノーマティブ
AC CM 16GHz	ノーマティブ
V Tx_no_eq	ノーマティブ
EIEOS Min Voltage	ノーマティブ
DDj	ノーマティブ
Jitter	ノーマティブ
PS21 Ratio	ノーマティブ
Uncorrelated PWJ DJ dd@E12	ノーマティブ
Uncorrelated PWJ TJ@E-12	ノーマティブ
Uncorrelated TIE DJ dd@E12	ノーマティブ
Uncorrelated TIE TJ @ E12	ノーマティブ
PWJ RJ (RMS)	インフォーマティブ
RJ (RMS) Unit Interval	インフォーマティブ

CEM 測定項目	ノーマティブ／インフォーマティブ
Eye Height@BER	ノーマティブ
Eye Width@BER	ノーマティブ
Uncorrelated Dj_dd	ノーマティブ
Tx EQ Preset Test	ノーマティブ
Pulse Width Jitter	ノーマティブ
Uncorrelated Tj	ノーマティブ
Composite EH	インフォーマティブ
Composite EW	インフォーマティブ
Extrapolated Jitter	インフォーマティブ
Random Jitter	インフォーマティブ
Unit Interval	インフォーマティブ

PCIeのBaseおよびCEMコンプライアンス測定項目



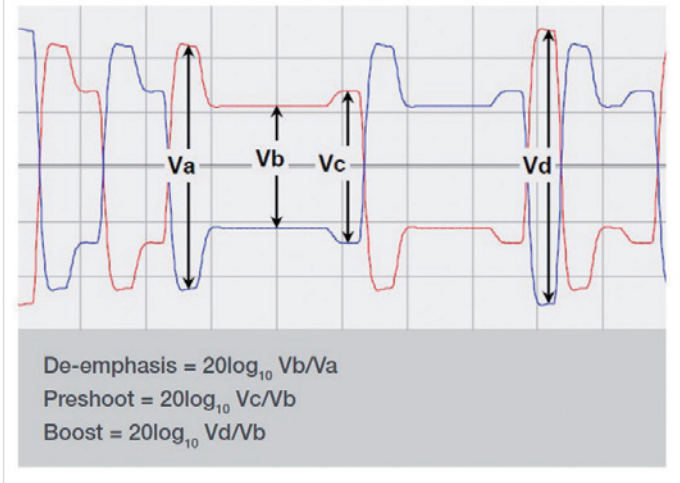
アイ・ダイアグラム

どちらの測定においても、データ波形を取込むための広帯域のオシロスコープ性能が求められます。次に、Base仕様、CEM仕様で必要な電圧、タイミング測定のための後処理が行われます。非相関性ジッタは、パッケージおよびチャンネルのISI（シンボル間干渉）が除去された後の固有のジッタを示します。オシロスコープは、ジッタだけでなく、アイの高さと幅も測定できる必要があります。Base仕様では、数多くの「コンプライアンス・パターン」が規定されています。再現性のあるアイ・ダイアグラムにするため、複数の完全なコンプライアンス・パターンを含んだ波形レコードが推奨されています。

デバイスのBaseトランスミッタ・テストでは、トランスミッタのピンで直接測定するように規定されています。ピンに直接アクセスできない場合は、デバイスのピンのなるべく近いところで測定する必要があります。物理的なレプリカ・チャンネルまたはシミュレーションによるSパラメータの知識がある場合は、ブレイクアウト・チャンネル損失をディエンベデッドすることができます。ディエンベデッドのもう一つの方法は4.0の仕様で説明されており、非相関ジッタ測定のための波形の後処理によって、CTLE (Continuous Time Linear Equalization) を適用し、ピンから測定点までのISIを効果的に除去します。

プリセット番号	プリシュート (dB)	ディエンファシス (dB)
P4	0	0
P1	0	-3.5 ± 1 dB
P0	0	-6.0 ± 1.5 dB
P9	3.5 ± 1 dB	0
P8	3.5 ± 1 dB	-3.5 ± 1 dB
P7	3.5 ± 1 dB	-6.0 ± 1.5 dB
P5	1.9 ± 1 dB	0
P6	2.5 ± 1 dB	0
P3	0	-2.5 ± 1 dB
P2	0	-4.4 ± 1.5 dB
P10	0	可変 ¹

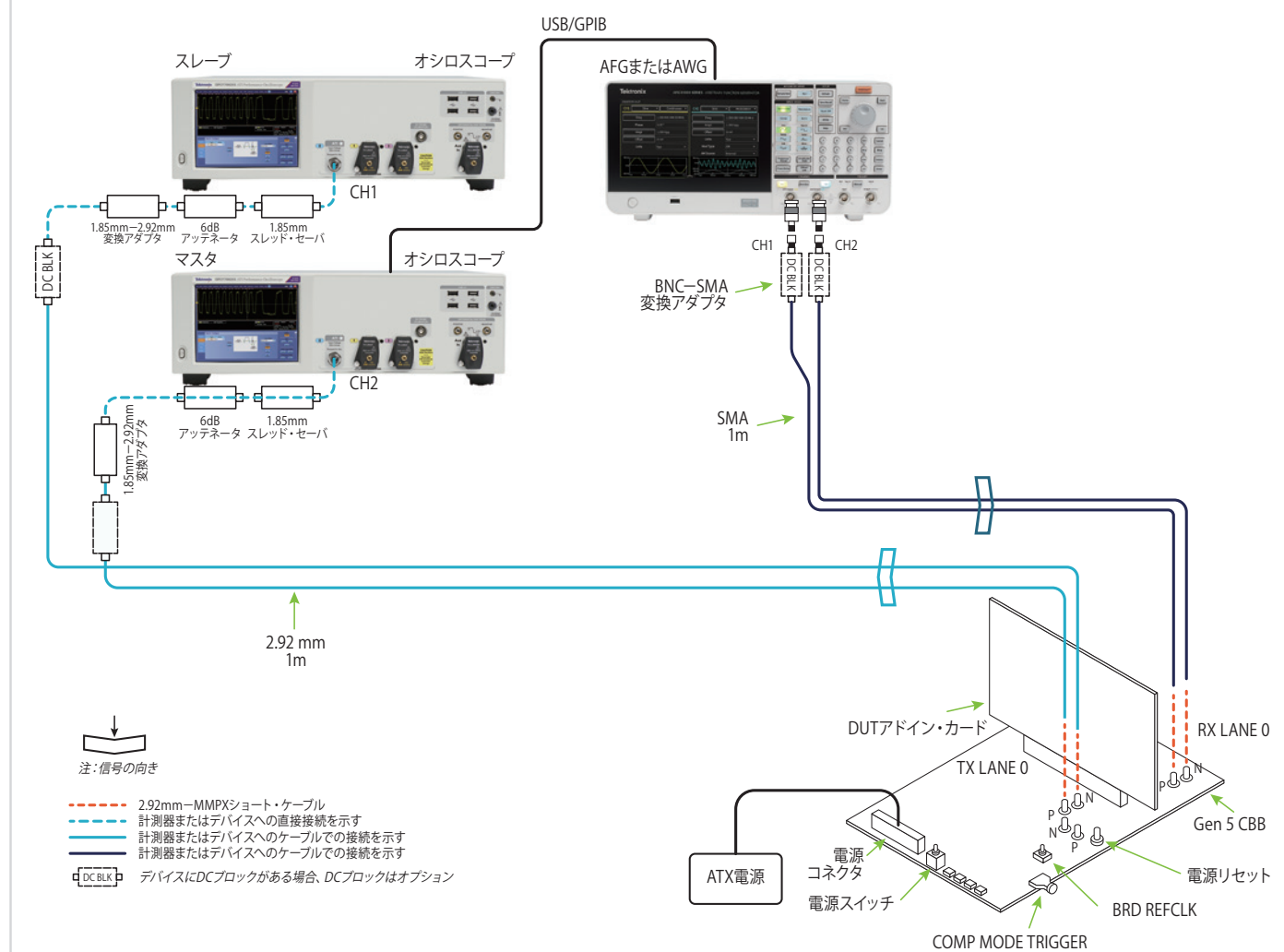
1. P10のレベルは固定されていない。ディエンファシス・レベルは、トレーニング中にTxが通知するLFレベルの関数。P10は、フル・スイングでTxのブースト・レベルをテストする場合に使用される。



Txイコライザのプリセット値

PCI-SIGの認証を受ける、すべてのPCIe 5.0製品は、2.5GT/s～32GT/sにおけるトランスミッタ・イコライザ設定で規定されたコンプライアンス・テストに合格する必要があります。このプリセット値は、ビット・ストリームにおける周波数依存の減衰の差によって生ずるISIを均一にするために使用されます。各プリセット値は、独自のプリシュート（プリカーソル）とディエンファシス（ポストカーソル）の組み合わせになっています。

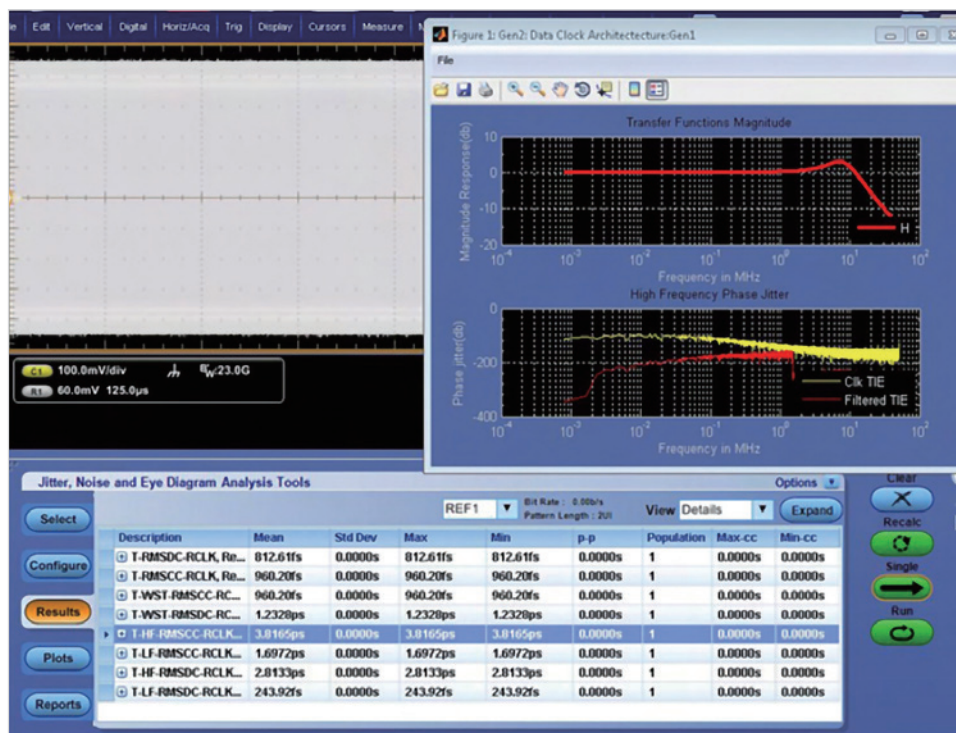
自動トグル・モードによるCEMアドイン・カードGen 5テスト・セットアップ



自動プリセット・トグルによるCEMアドイン・カードのPCIE 5.0コンプライアンス・テスト

DUTのトランスミッタのデータ・レートとTx EQのプリセット値をスキャンする、数多くの実装方法があります。しかし、Base仕様では、100MHzのクロック・バーストをレシーバのLane 0に供給する、一般的な方法を規定しています。これは、任意波形／ファンクション・ジェネレータ (AFG) を使用することで自動化できます。

最大データ・レートが32GT/sのPCIeリンクを対象とするリファレンス・クロック (Refclks) には、検証に新たな課題があります。Base仕様ではデータ・レートに応じてジッタ・リミットをスケーリングしていますが、Gen 5では不均衡になったことでリミットが150fsに低下しました。この高周波ジッタ測定では、ワースト・ケースのトランスポート遅延を考慮した、コモン・クロック伝達関数を適切に適用する必要があります。この最新の仕様改訂により、この測定はBase仕様 (チップ・レベル) から、コンプライアンスで必要となるCEM仕様の要件 (フォーム・ファクタ・レベル) にもなりました。



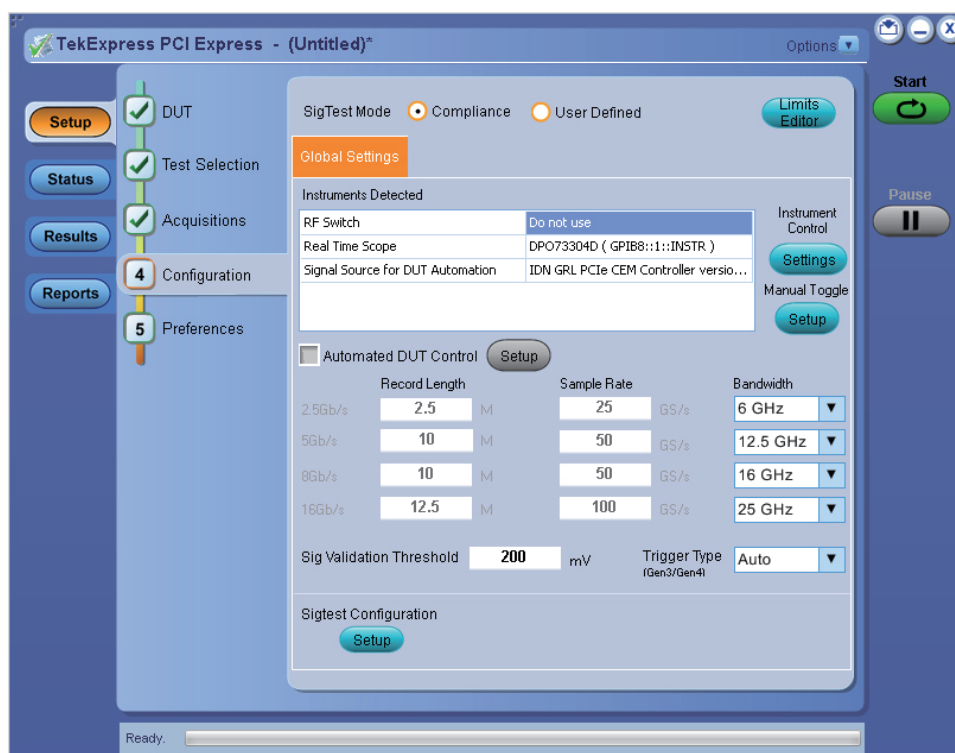
Refclk ジッタ、ノイズ、アイ・ダイアグラムの解析

オシロスコープの周波数帯域とサンプル・レートの要件

Base Txテストの場合、PCIe 5.0の各レーンは16GHzで動作し（1周期で2ビットを送信できるため）、3次高調波は48GHzに達します。3次以上の高調波では重要な信号情報は多くないため、PCIe 5.0 Base Txテストでは50GHz帯域のリアルタイム・オシロスコープが必要になります。CEM Txテストの場合、測定は高周波コンテンツが減少するワーストケースのチャンネル近端で行われるため、周波数帯域の要件は33GHzになります。適切な波形後処理（SigTest）を行うには、UI（ユニット・インターバル）あたり最低4ポイントが必要です。これにより最小サンプル・レートは128GS/sとなりますが、CEMでは最大2倍のsinx/x補間が許容されています。

コンプライアンス・テストの自動化

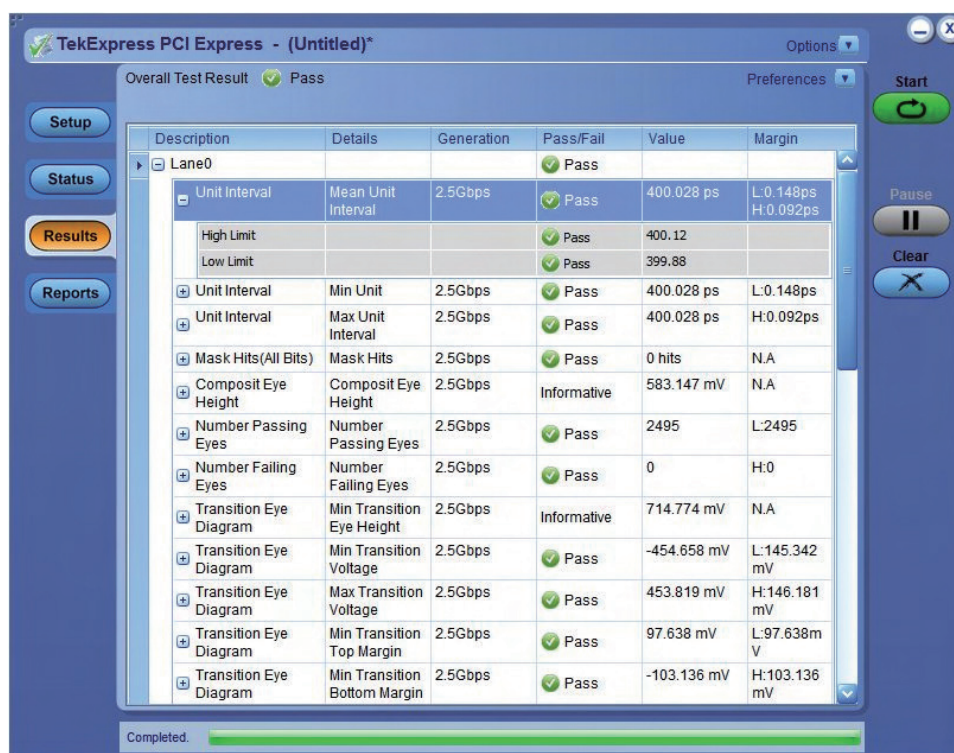
コンプライアンス・テストをマニュアルで解析することは、時間がかかり、エラーが発生しやすくなります。自動化ソフトウェアを使用すれば時間が節約でき、迅速にコンプライアンス・テストを実行できます。電氣的検証では、PCI-SIGのSigTestオフライン解析ソフトウェアを使用してオシロスコープから取込んだ内容を解析します。自動化ソフトウェアは、AFGをパターン・ソースとして使用し、DUT（被測定デバイス）を制御し、コンプライアンス・テストで必要になる、さまざまなスピード、ディエンファシス、プリセットを自動的に切り替えます。



自動化ソフトウェアの設定

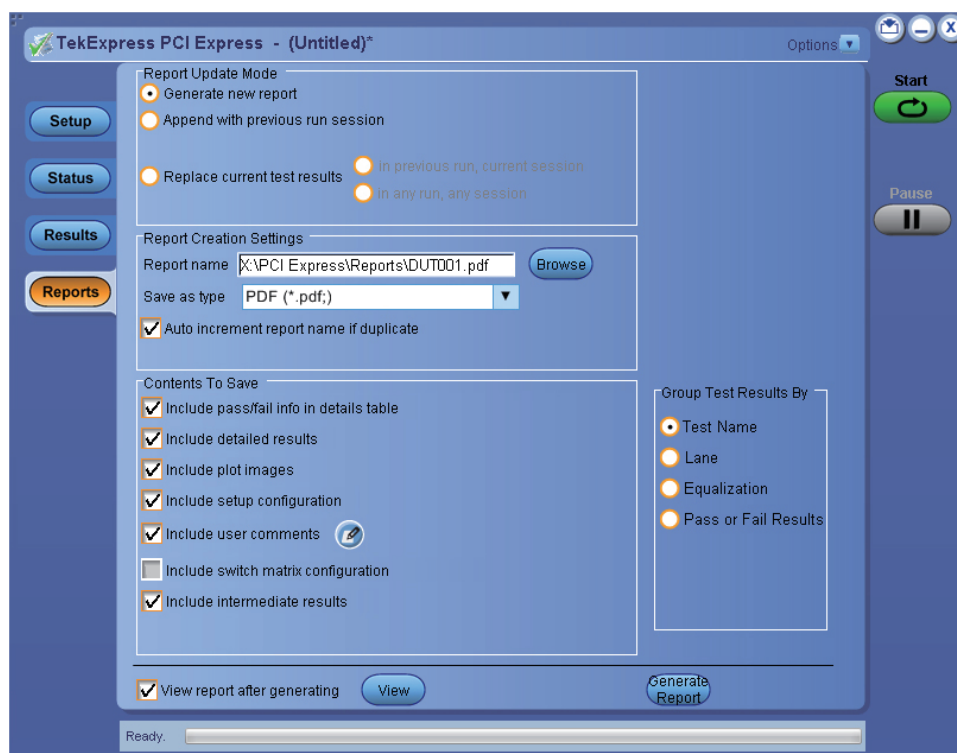
すべてのコンプライアンス・テストを実行するためには、さまざまなDUTの設定において数多くの波形取込みが必要になります。解析するレーンの数（最大16）によっては、さらに数多くの波形が必要になります。解析、さらに将来参照するために、必要なデータを管理し、保存するソフトウェアの能力は、どのコンプライアンス・ソリューションにおいても重要な判断基準になります。自動化ソフトウェアは、オシロスコープの水平軸、垂直軸、取込範囲（レコード長）を詳細に設定できます。

自動化ソフトウェアを使用すると、設定、解析だけでなく、取込んだ複数の波形を管理することができます。PCI-SIGのSigTestを使用して取込んだ波形を解析する場合、その結果は、PCI-SIGのワークショップで使用されるSigTestポストキャプチャ・ソフトウェアの結果と一致します。



自動化ソフトウェアによるコンプライアンス・テストの結果

自動化ソフトウェアでは、データ・レート、電圧スイング、プリセット値が選択でき、テストを実行できます。また、パッケージのSパラメータ・モデルをエンベデッドしたり、仕様で規定されるターゲット・テスト・ポイントにアクセスするためのケーブル、テスト・フィクスチャ、その他の要素の影響をディエンベデッドするオプションを備えています。



自動化ソフトウェアのレポート生成機能

ソフトウェアの解析結果は、PDFまたはHTML形式のレポートにコンパイルできます。このレポートには、パス／フェイルの概要、アイ・ダイアグラム、セットアップ構成、ユーザ・コメントが含まれます。

まとめ

Baseレベル(シリコン)のトランスミッタ・テストでは、トランスミッタのピンで直接電圧、ジッタを測定するように規定されています。ピンに直接アクセスできないことがあるため、このリファレンス・ポイントになるべく近いところで測定する必要があります。この電圧測定には、既知のSパラメータを備えたリファレンス・チャンネルで特性評価とディエンベデッドを行うように推奨されています。ジッタ測定では、CTLE曲線を利用して、非相関性のジッタ特性評価のために、ブレイクアウト・チャンネルの影響を除去します。

CEMレベル(システム、アドイン・カード)のトランスミッタ・テストでは、レシーバで測定するように規定されています。テスト・フィクスチャは、チャンネルの一部を構築し、エンベデッドによって残りの損失を印加して信号アクセスを可能にします。アイ・ダイアグラムは波形処理後に表示され、クロック・リカバリとレシーバ・イコライゼーションが実行されます。

どちらの場合でも、十分な周波数帯域、サンプル・レートを持ったリアルタイム・オシロスコープの使用が欠かせません。自動化ソフトウェアを使用することで、デバッグ、検証、コンプライアンス・テストをすばやく、容易に実行できます。

テクトロニクス の PCIe ソリューション

テクトロニクス の [DPO70000SX シリーズ・オシロスコープ](#)、[AFG31252 型任意波形／ファンクション・ジェネレータ](#)、[PCI Express Gen1/2/3/4/5 ソリューション](#) を使用することで、BASE (シリコン) および CEM (システム、アドイン・カード) レベルのトランスミッタの検証とコンプライアンス・テストの自動化が可能になります。

TekExpress [PCIe 5.0 Tx 自動化ソフトウェア](#) の特長：

- さまざまなスピード、パターン、Tx EQ プリセット値を切り替えるために DUT を自律的にステップ実行
- 測定前に、トランスミッタの信号が正しいパターンであることを確認
- チャンネルとパッケージのエンベデッド、ディエンベデッドを実行
- SigTest、SigTest Phoenix ソフトウェアのバージョン、テンプレート・ファイルに対応
- Silicon Labs の PCIe Clock Jitter Tool とテクトロニクス の DPOJET ソフトウェアにより、100MHz リファレンス・クロック・ジッタとシグナル・インテグリティ測定を実行

経験的に、新しい世代の PCIe デバイスでコンプライアンス・テストを受けると、かなりの確率で最初のインターオペラビリティ・ワークショップにおいて、PHY とリンク・トレーニングのコンプライアンスで不合格になります。したがって、ワークショップ・テストの前に、オシロスコープ、AFG、BERT (Rx テスト用)、自動化ソフトウェアによる統合ソリューションを用意しておくことが重要になります。テクトロニクス の [PCIe テスト／デバッグ Tx、Refclk、および Rx ソリューション](#) は、インターオペラビリティ・ワークショップの前に、コンプライアンス・テストとデバッグを試すことができます。これにより、高い確率で設計が PCI-SIG® の PCIe 規格の要件に適合できます。

お問い合わせ先：

オーストラリア 1 800 709 465
オーストリア 00800 2255 4835
バルカン諸国、イスラエル、南アフリカ、その他ISE諸国 +41 52 675 3777
ベルギー 00800 2255 4835
ブラジル +55 (11) 3759 7627
カナダ 1 800 833 9200
中央／東ヨーロッパ、バルト海諸国 +41 52 675 3777
中央ヨーロッパ／ギリシャ +41 52 675 3777
デンマーク +45 80 88 1401
フィンランド +41 52 675 3777
フランス 00800 2255 4835
ドイツ 00800 2255 4835
香港 400 820 5835
インド 000 800 650 1835
インドネシア 007 803 601 5249
イタリア 00800 2255 4835
日本 81 (3) 6714 3086
ルクセンブルク +41 52 675 3777
マレーシア 1 800 22 55835
メキシコ、中央／南アメリカ、カリブ海諸国 52 (55) 56 04 50 90
中東、アジア、北アフリカ +41 52 675 3777
オランダ 00800 2255 4835
ニュージーランド 0800 800 238
ノルウェー 800 16098
中国 400 820 5835
フィリピン 1 800 1601 0077
ポーランド +41 52 675 3777
ポルトガル 80 08 12370
韓国 +82 2 6917 5000
ロシア +7 (495) 6647564
シンガポール 800 6011 473
南アフリカ +41 52 675 3777
スペイン 00800 2255 4835
スウェーデン 00800 2255 4835
スイス 00800 2255 4835
台湾 886 (2) 2656 6688
タイ 1 800 011 931
イギリス、アイルランド 00800 2255 4835
アメリカ 1 800 833 9200
ベトナム 12060128

2017年4月現在



jp.tek.com

テクトロニクス／ケースレイインストルメンツ

各種お問い合わせ先： <https://jp.tek.com/contact-us>

技術的な質問、製品の購入、価格・納期、営業への連絡、修理・校正依頼

〒108-6106 東京都港区港南2-15-2 品川インターシティB棟6階

記載内容は予告なく変更することがありますので、あらかじめご了承ください。

Copyright © 2021, Tektronix. All rights reserved. TEKTRONIX およびTEK はTektronix, Inc. の登録商標です。
記載された製品名はすべて各社の商標あるいは登録商標です。

2021年10月 55Z-73837-0