

Digitale Schnittstellen mit hohen Datenraten prüfen

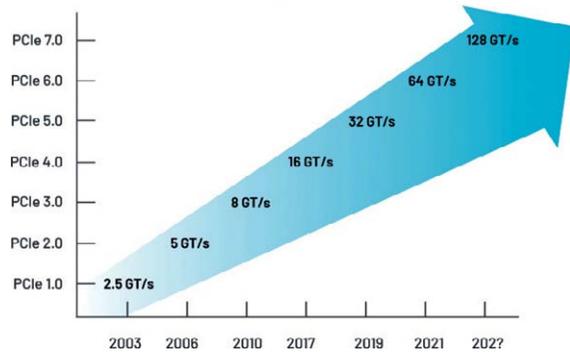
Margin-Tests effizienter gestalten

Digitalschaltungen und -schnittstellen verhalten sich bei den immer höher getakteten Leitungen höchst analog. Neue Messverfahren und Messgeräte müssen ran, um die Qualität der Schnittstellen in neuen Designs wie auch in Redesigns sicherzustellen.

VON ANDREA VINCI,
TECHNICAL MARKETING MANAGER EMEA
BEI TEKTRONIX



Steigerung der Datenübertragungsraten mit jeder Generation von PCI Express



Unterhaltungs- und Infotainment-Systeme in heutigen Fahrzeugen erfordern Funktionen, die nur mit neuen Hochgeschwindigkeits-Grafikkarten und ultraschneller Speicherintegration möglich sind. Unsere gesamte digitale soziale Interaktion wird aufgezeichnet und bereitgestellt durch große Computer-Racks, die Daten schnell von leistungsstarken Speicherlaufwerken abrufen und über Subsysteme zur Verarbeitung weiterleiten müssen.

Ständig werden zahlreiche Bilder aufgenommen und in hoher Auflösung gespeichert, die dann in verschiedenen Zusammenhängen an KI-Server weitergeleitet werden; hochentwickelte Algorithmen verarbeiten die Daten schnell und liefern hervorragende Ergebnisse.

Ein typischer KI-Server unterscheidet sich nicht von anderen hochentwickelten Computersystemen: Er besteht aus einer Hauptplatine und mehreren anderen hochentwickelten Komponenten wie Grafikkarten, Festplatten und einer großen Anzahl von Switches, die miteinander verbunden sind. Die Standardverbindung für all diese Geräte basiert auf dem PCI-Express-Standard (PCIe). Der PCI-SIG-Standard hat Jahr für Jahr das ehrgeizige Ziel verfolgt, die Datenraten mit jeder neuen Generation des PCIe-Standards zu verdoppeln, seit die erste Generation im Jahr 2003 veröffentlicht wurde.

Herausforderungen digitaler Schaltungen

Der Umgang mit höheren Datenübertragungsraten führt jedoch dazu, dass die Entwicklung elektronischer Systeme eine schrittweise Weiterentwicklung erfordert, die viel Geschick und Geduld verlangt. Komplexe, miteinander verbundene Systeme von Hauptplatinen und Add-in-Karten müssen sorgfältig in kleinere Teilschaltungen zerlegt werden, die jeweils das Ziel einer späteren Verbesserungsphase werden, selbst nachdem das vollständige Design fertiggestellt ist.

PCIe Gen4 hat die vorherige Generation in verschiedenen Marktkontexten abgelöst, da der Bedarf an zusätzlicher Bandbreite gestiegen ist. Um dem gerecht zu werden, aktualisieren die Entwickler ständig ihre bewährten Methoden für das Design, tauschen gegenseitig Vorschläge und Richtlinien für das Routing von Leiterbahnen aus, minimieren den Crosstalk oder lösen EMI-Probleme, die durch falsch platzierte Vias verursacht werden.

Diese Entwickler sind oft Wegbereiter, und ihr stetiger Zwiespalt besteht darin, herauszufinden, wo und welche potenziellen Beeinträchtigungen von Signalen auftreten können und wie viele Kompromisse toleriert werden können. Ein einfacher Austausch eines Steckers gegen eine kostengünstigere Option, eine geringfügige Änderung der Pinbelegung aufgrund einer mechanischen Anforderung in letzter Minute oder einer Einschränkung in der Lieferkette, ein Firmware- oder Hardware-Upgrade oder eine Änderung des Produktionsprozesses können zum schlimmsten Alptraum werden, da der Aufwand für die Bewältigung dieser Probleme zu zusätzlicher Zeit für ein Redesign der Leiterplatte führt.



Bilder: Tektronix

Die Anwendung eines BIOS-Updates auf einer Hauptplatine kann die Kommunikation mit NVMx-SSDs mit voller Geschwindigkeit freischalten; dies kann jedoch zu einer Änderung auf der elektrischen physischen Ebene führen. Während einer Firmware-Aktualisierung kann sich die Konfiguration von Schaltern und Timern, die mit der Hauptplatine verbunden sind und mit der CPU kommunizieren, ändern; die Durchführung eines »Lane-Margin-Tests« nach Änderung dieser Bedingungen kann zu anderen Testergebnissen führen. Verbesserungen der Jitter-Grenzwerte können jederzeit eintreten, und eine genaue Modellierung innerhalb komplexer Simulationswerkzeuge ist der Schlüssel zur Durchführung einer virtuellen Validierung, bevor die tatsächlichen Auswirkungen auf der physischen Schicht (PHY) des Siliziums festgestellt werden. Die Simulation ist jedoch nicht immer repräsentativ für die reale Implementierung, sodass Tests auf der physischen Ebene dennoch durchgeführt werden müssen.

Energiesparende Gen3- und Gen4-Konfigurationen werden häufig umgestaltet, um potenziell stromsparende Konfigurationen anzuwenden. Auch bei geringen Anpassungen der Stromversorgungsschaltungen sollte gewährleistet sein, dass die Einschaltphase schnell genug ist, um den Anforderungen an die Verbindungsaufbauzeit zu erfüllen, da schon eine Erhöhung um einige Millisekunden zu einem neuen zu überprüfenden Szenario führen kann.

In diesen Szenarien ist eine erneute Validierung des Designs jedoch möglicherweise nicht kosteneffizient: Tatsächlich würde eine geringfügige Designänderung an einem unkritischen, kostengünstigen Produkt, das in IoT-/Konsumenten Anwendungen verkauft wird und noch immer PCIe-Gen3-Konnektivität verwendet, eine Zeitinvestition im Validierungstestlabor nicht rechtfertigen.

Die Unternehmen des Halbleiterdesigns haben komplexe Entscheidungswege zu beschreiten, um anhand von Erfahrungswerten eine Entscheidung über die Durchführung eines neuen Verifikations- und Validierungstestzyklus für eine Designänderung zu treffen. Diese Kriterien ergeben sich aus einer Risiko- und Kostenanalyse.

Bei den in diesem Zusammenhang verwendeten Prüfgeräten handelt es sich in der Regel um Bitfehlerraten-Tester (BERTs) und Oszilloskope. Diese Geräte werden ständig weiterentwickelt, um die Leistungsanforderungen jeder neuen Generation des PCIe-Standards zu erfüllen, und sind je nach Erfahrung des Benutzers oft relativ anspruchsvoll zu bedienen.

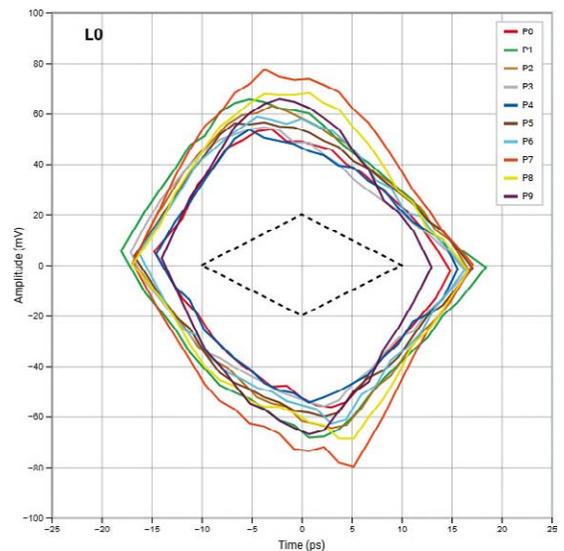
Die Verifizierungs- und Validierungskosten beziehen sich nicht nur auf die Anschaffungskosten der Hardware, sondern auch auf das Vollzeitäquivalent der Expertenressourcen, die für diese Tätigkeit eingesetzt werden. Ein Software-Assistent kann bei jeder Prüfung durch einen Testaufbau führen, um den ordnungsgemäßen elektrischen Anschluss an das zu prüfende Gerät zu gewährleisten, aber das gesamte Verfahren der Verwendung eines BERT und eines Oszilloskops mit Tastköpfen erfordert immer noch einen Experten, der den gesamten Prozess überwacht.

Verifizierung der Link-Initialisierung als Beispiel

Betrachten wir als Beispiel die sogenannte Link-Initialisierung, einen Kontrollprozess der physischen Schicht, der für die Initialisierung der physischen Schicht eines Geräts und die Anwendung einiger Einstellungen auf die Verbindung unerlässlich ist. Im Normalbetrieb läuft dieser Vorgang automatisch ab, aber wenn Sie an einer tiefgreifenden Designvalidierung interessiert sind, benötigen Sie Software, die spezifische Daten kodiert, damit die Benutzer potenzielle Probleme, die bei den Signalen während der Zustandsübergänge auftreten, diagnostizieren und überwachen können. BERTs werden in der Regel für ein präzise gesteuertes Link-Training und eine Anpassung verwendet und decken die drei wichtigsten Testbereiche in diesem Wettbewerb ab: Konformität, Margin-Test und Fehlersuche. Außerdem werden Echtzeit-Oszilloskope benötigt, die eine hochentwickelte Anwendungssoftware erfordern, um komplexe Testverfahren auf der Empfängerseite zu automatisieren und gleichzeitig mit dem BERT zu kommunizieren, um Daten über die Einrichtungsparameter auszutauschen.

Ein Margin-Test erfordert auch, dass eine feste Liste von Schritten nacheinander auf jeder Lane des PCIe-Steckplatzes wiederholt wird, einschließlich der Einstellung der Triggerspannungszeit. Ein solch langwieriges und komplexes Verfahren, an dem verschiedene hochentwickelte Instrumente beteiligt sind, kann zu menschlichen Fehlern führen und die Effizienz des gesamten Überprüfungsprozesses beeinträchtigen.

Anstatt nach einem Ersatz für BERT/Scope-Systeme oder sogar für bereits verfügbare und weit verbreitete On-Chip-Lane-Margining-Tools zu suchen, wählte Tektronix bei der Kundenunterstützung einen anderen Ansatz. Der TMT4 Margin Tester basiert auf einem Intel-



Die Augendiagramme werden dem Benutzer vom TMT4 Margin Tester in Echtzeit angezeigt.

Stratix-10-FPGA und bietet branchenweit einzigartige Funktionen für die Bewertung des Link-Zustands in PCIe-Gen-3- und Gen-4-Geräten.

Der TMT4 Margin Tester lässt sich an die meisten gängigen PCIe-Formfaktoren wie CEM, M.2, U.2 und U.3 anschließen und ermöglicht so die Verbindung mit der Mehrzahl der heute verfügbaren PCIe-Geräte. Neben der Anzeige von Augendiagrammen bietet der Margin Tester einen Einblick in den Ausgleich, den seine Empfänger verwendet haben, um die Höhe und Breite des erzeugten Auges zu maximieren.

Es gibt zwei wichtige Daten, die das System für den Sendertest bereitstellt: Augendiagramme für jede Spur-Preset-Kombination, die am Empfänger des Margin-Testers gemessen werden. Die zugehörigen Empfänger-Trainingswerte des Margin-Testers werden verwendet, um das angezeigte Auge zu vergrößern.

Auf der Empfangsseite ist es möglich, eine funktionale Bewertung des Empfängerpfades des Prüflings vorzunehmen; es kann konkret ermittelt werden, wie weit die vom Margin-Tester übertragene Signalamplitude innerhalb eines erwarteten Betriebsbereichs verringert werden kann, bevor Fehler zurückgegeben werden.

So bewährt sich der neue TMT4 Margin Tester in dieser Applikation als zusätzliches Instrument, das sich speziell auf das Margining von Sende- und Empfangslanes konzentriert und es den Anwendern ermöglicht, den Zustand von PCIe Gen 3- und Gen 4-Geräten in nur wenigen Minuten zu erfassen. (nw)