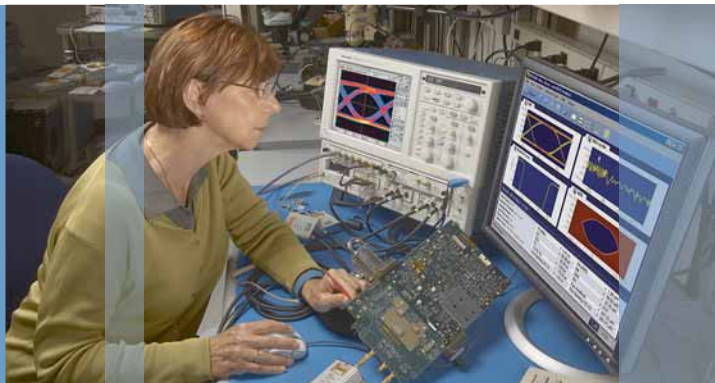




シリアル・データ・リンク解析

DSA8200型デジタル・シリアル・アナライザを使用したSDLA

シリアル・データ通信リンクはより高速なデータ・レートを目指して第二、第三世代に移行しつつあり、難しい設計を成功させるためにはすべてのリンクの詳細な解析が重要になってきました。トランスミッタ、チャンネル、レシーバ要素のモデルを持ったジッタ、ノイズ、BER解析ツールがあれば、次のような質問に答えることができます：データ・レートが3Gbpsを超え、イコライゼーションが使われても、従来のリンクは適合するのか。ケーブル長が6mから10mになってもシステムは適合するのか。特性の低いフィクスチャで測定されたためにシステム・マージンが無駄になっていないか — その場合、フィクスチャ・ディエンベデッドはマージン問題を解決することかできるのか。

テクトロニクス社のDSA8200型と80SJNBジッタ、ノイズ、BER、シリアル・データ・リンク解析ソフトウェアを使用することにより、通信リンクをエミュレーションするために構成要素を設定することができ、トランスミッタ・エンファシスの追加／除去、プローブのディエンベデッド、測定ベースのチャンネル・エミュレーション、イコライゼーション・ツールでレシーバ・イコライザ後のレシーバ・コンパレータにおけるアイを検証することができます。このような機能を当社ではSDLA（Serial Data Link Analysis：シリアル・データ・リンク解析）と呼んでいます。



図1. シリアル・リンク・モデル



図2. シリアル・リンク・モデルの設定

はじめに

当初設定されていたデータ・レートを超えても従来のインフラが使用されているため、測定／シミュレーション技術では、トランスミッタからバックプレーンまたはケーブルまでのすべての通信チャンネルの障害を予測し、より高速なスピードの規格に適合することを評価するための優れたツールが求められています。

図1は、80SJNBのシグナル・パス・モデルによるシリアル・リンクの要素を示しています。

トランスミッタのシグナル・コンディショニングでは、エンファシスの追加／除去、プリエンファシス、ディエンファシスが行われます。また、プローブとフィクスチャの特性を除去（ディエンベデッド）することもできます。

シグナル・パスに挿入されるチャンネル・エミュレータは、伝送ロス、リターン・ロス、散乱などによるリンク低下をモデリング

します。これにより、データ依存性のジッタや、伝送ライン、コネクタ、ピア、インピーダンスの不連続によるノイズのソースを特定し、量子化することができます。チャンネルは、TDR波形とSパラメータ（散乱パラメータ）でモデリングします。Sパラメータは、時間ドメインではTDR（Time Domain Reflectometry）/TDT、周波数ドメインではVNA（Vector Network Analyzer）で測定できます。トランスミッタ、レシーバ間にチャンネルを挿入することでBER（Bit Error Rate）によるチャンネル・コンポーネントの影響が予測でき、与えられたバックプレーンではどこまでデータ・レートを上げることができるか、あるいは与えられたトランスミッタの設定ではどの程度までバックプレーンやケーブルを延ばすことができるかななどの疑問にも答えることができます。

ツール・セットは、シリアル・データ・リンクのレシーバ側のモデリングで使用されるアダプティブ・イコライザがあって初めて完成します。帯域制御による、適応、設定可能なDFE（Decision Feedback Equalizer）とFFE（Feed Forward Equalizer）により、BERレート改善をシミュレーションすることができます。イコライザにより、ユニット・インターバルあたりの複数のタップとプリカーソルの効果を補正することができます。

図2は、80SJNBで設定可能なシリアル・リンクを示しています。

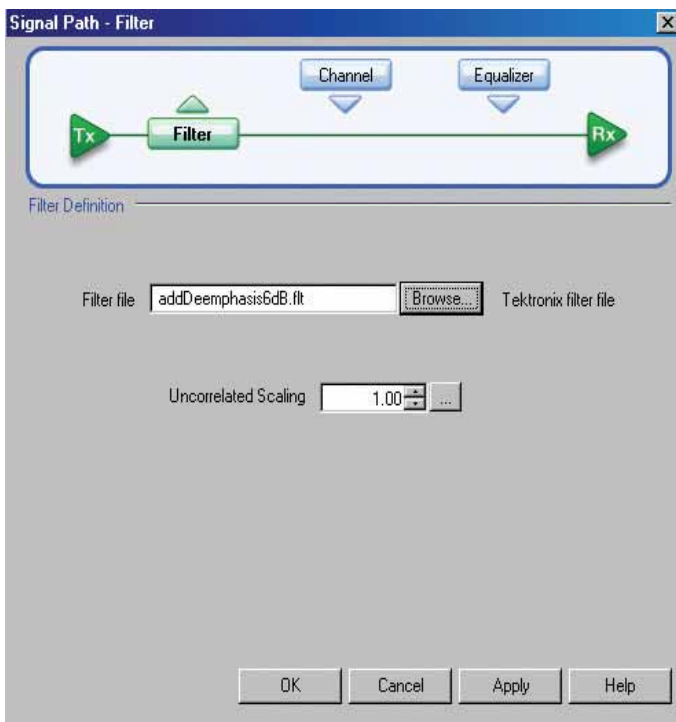


図3. FIRフィルタでトランスミッタにディエンファシスを追加

トランスミッタのシグナル・コンディショニング

シリアル・リンク・エミュレータの最初の要素が、FIR (Finite Impulse Response) フィルタの項目です。このインタフェースにより、FIRフィルタの係数を含むテキスト・ファイルを選択することができます。シグナル・パスに挿入することで、選択されたファイルによって定義されたフィルタはリンクのトランスミッタ側で取込まれるパターンに適用されます。パターンは、フィルタによって相関性のないジッタとノイズ成分が取り除かれるため、フィルタへの入力にJNBが相関パターンとして定義したものになります。

フィルタの定義は任意であるため、プリエンファシスとディエンファシスの追加／除去によるトランスミッタ信号のコンディショニングとブロープ／フィクスチャのディエンベデッドが、フィルタの主なアプリケーションになります。

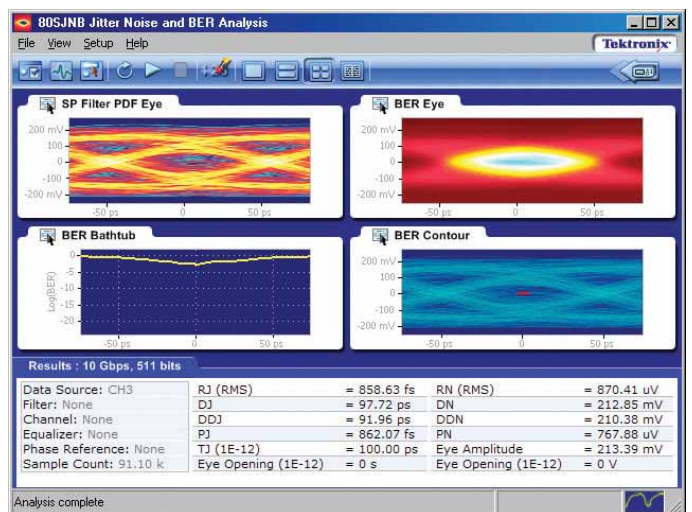


図4. 10Gbpsでのリンク性能

トランスミッタのエンファシス

プリエンファシスまたはディエンファシスを付加するFIRフィルタ・セットは、自由に生成することができます。式 (1) と式 (2) は、フィルタ生成で使用されます。

$$(1) H = 1 / [(1+0.5*k) - 0.5*k*e^{(-j\omega T)}]$$

ここで、k+1はプリエンファシスの直線比率です。

$$(2) H = 1 / [(1+0.5*k) - 0.5*K*e^{(-j\omega T)}]*(1+k)$$

ここで、k+1はディエンファシスの直線比率です。

トランスミッタに加えられる6dBのプリエンファシスは、10Gbpsのバックプレーン／ケーブルのシンボル間干渉 (ISI, Inter-symbol Interference)を補正できるでしょうか。図4は、トランスミッタ側においてエンファシスなしでリンクを測定した例です。1e⁻¹² BERにおける水平および垂直方向のアイの開きが0となっています。

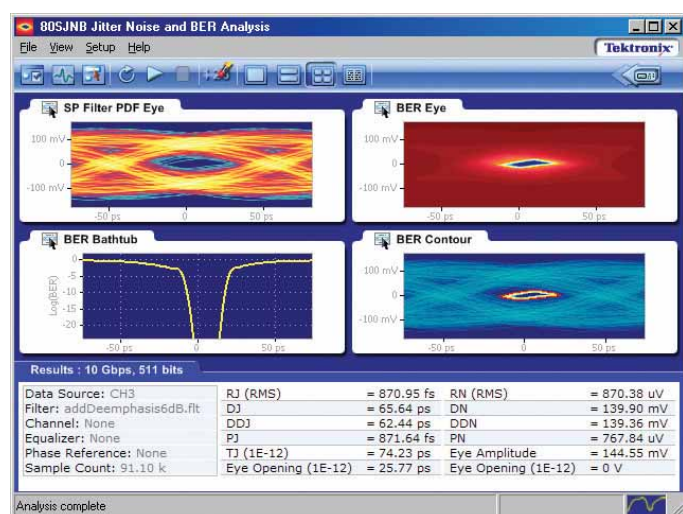


図5. ディエンファシスによる10Gbpsでのリンク性能

図5は、トランスミッタ側で6dBのプリエンファシスを加えた場合の効果を示しています。リンク性能は改善されていますが、統計的に推定される、 $1e^{-12}$ BERにおけるアイ開口は許容できる値ではありません。このリンクにレシーバ・イコライザを加えないことには、最低の性能要件を満たすことはできません。 $1e^{-12}$ BERにおける水平方向のアイ開口はおよそ25psに広がりますが、垂直方向ではまだ閉じています。

フィクスチャのディエンベデッド

80SJNB Advancedは、シリアル・リンクのフィルタ要素におけるフィルタ・ディエンベデッド機能をサポートしています。ディエンベデッドするフィクスチャのSパラメータを入力し、専用のフィルタ生成ツールでSパラメータを実行すると、フィルタのシグナル要素で読み込まれるフィルタが生成されます。

ディエンベデッドの詳細については、このアプリケーション・ノートでは説明していません。ディエンベデッド・フィルタの生成方法とフィルタ生成ツールの詳細については、当社ウェブ・サイト (www.tektronix.co.jpまたはwww.tektronix.com) をご覧ください。

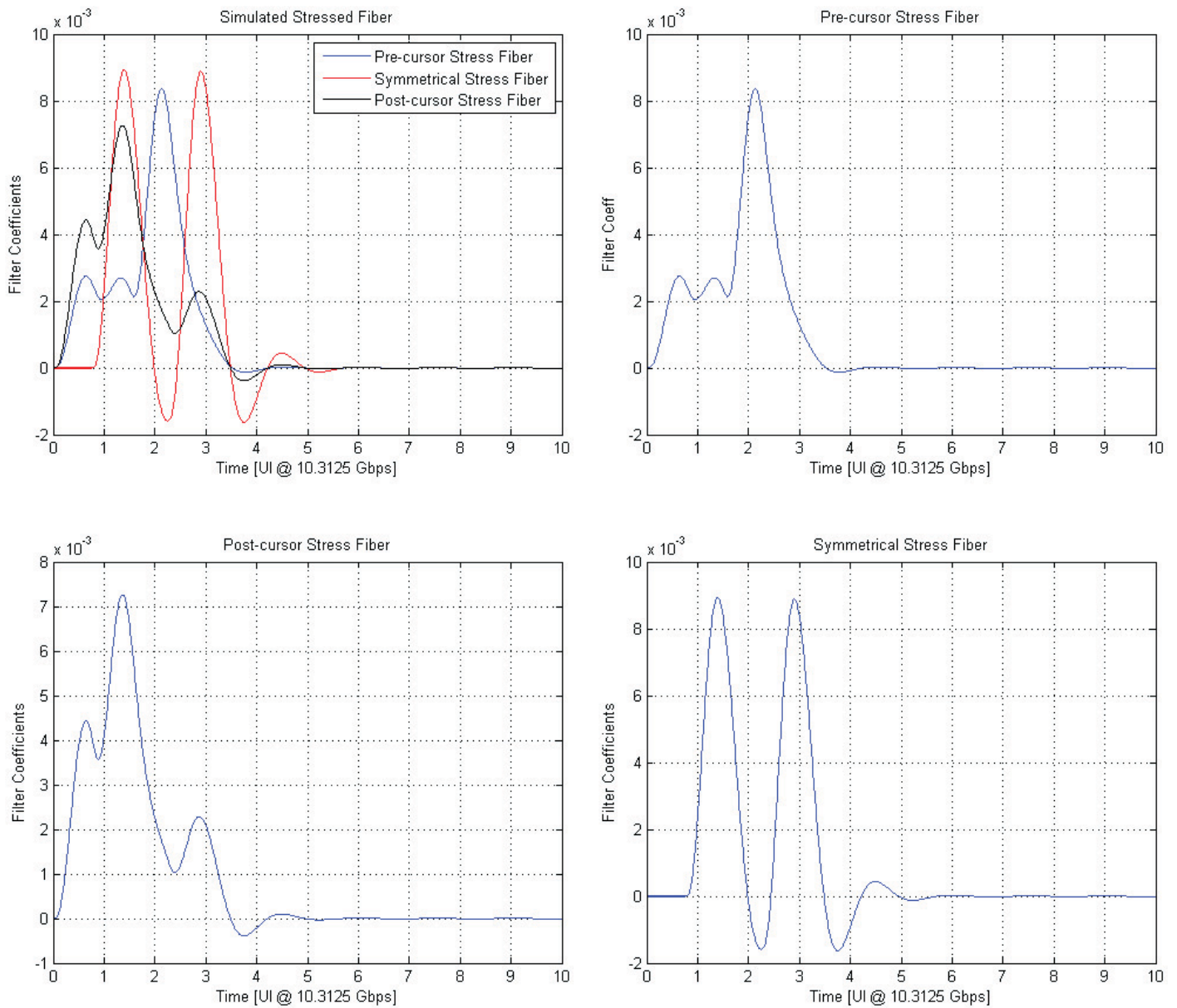


図6. TWDPテストでシミュレートされたストレス・ファイバ

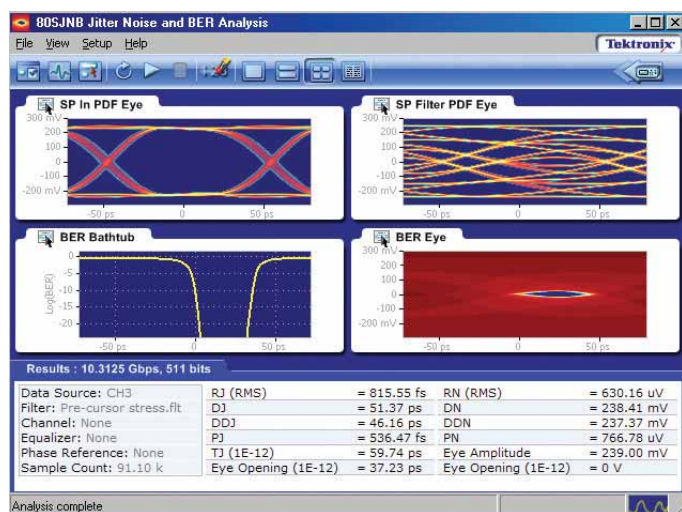


図7 シミュレートされたプリカーソル・ストレス・フィルタ

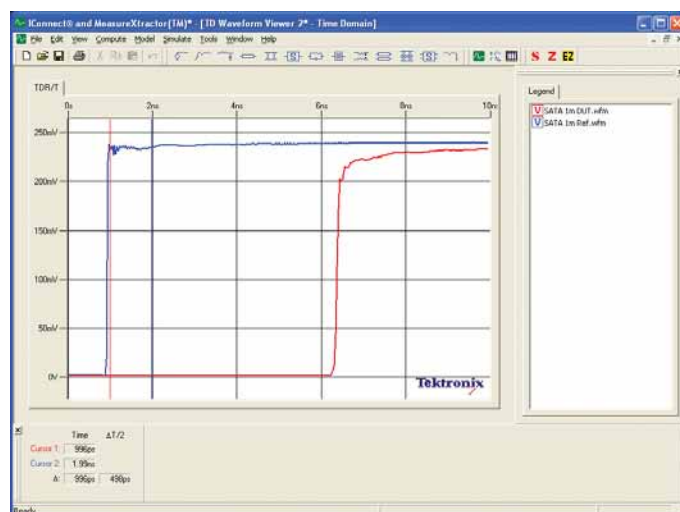


図9. SATAケーブルの時間ドメイン波形

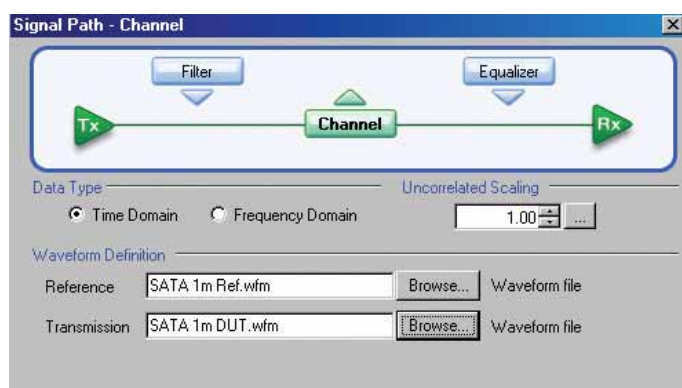


図8. 時間ドメイン波形によるチャンネル・エミュレーション

図7は、シミュレートしたストレス・ファイバをトランスミッタ出力に挿入した効果を示しています。左上の画面、SP In PDF Eyeがトランスミッタの出力におけるアイ・ダイアグラムです。SP Filter PDF Eyeの出力は、データ・リンクにストレス・ファイバが挿入された場合の効果を示しています。1e⁻¹² BERにおける垂直方向のアイ開口は0に低下しています。IEEE 802.3aq 10GBEでは、トランスミッタのファイバの影響を補正するには、イコライザを使用するように規定されています。

チャンネル・エミュレーション

チャンネル・エミュレーションは、トランスミッタ信号のインターコネクトの影響を評価する場合に使用します。

チャンネルは、時間ドメインまたは周波数ドメインで定義します。

時間ドメイン

時間ドメインの仕様が選択されると、チャンネルの定義ではリファレンス波形と伝送波形の2つの時間ドメイン波形のインポートが期待されます。リファレンス波形は、DUT（被測定デバイス）で測定されるケーブル、プローブ、フィクスチャのディエンベッドで使用されます。

例として、DSA8200型で実行するIConnect®ソフトウェアを使用して、1mのSATAケーブルの特性を評価しています。図9に、2つの波形、SATA 1m Ref.wfmとSATA 1m DUT.wfmを示します。

シミュレートされたマルチモード・ロング・リーチ・ファイバ

任意FIRフィルタは、シミュレートされたチャンネルとしての光ファイバの伝播遅延で生成される波形のエミュレーションに使用することができます。例えば、IEEE 802.3 Clause 68では、TWDP（Transmitter Waveform Dispersion Penalty）評価のテスト要素として使用されるシミュレーション光ファイバ・チャンネルの3つのストレス要素を定義しています。

シミュレートされるファイバ応答は、光パワーの規定振幅とナノ秒の遅延を持った、理想的なデルタ関数としてモデル化されます。図6は、3種類のストレス要因であるプリカーソル、シンメトリカル・バイモダル、ポストカーソルを示しています。

シミュレートしたストレス・ファイバをトランスミッタ、レシーバ間に挿入することで、ディスペーション・ペナルティ検証以上のリンク評価が可能になります。この例では、チャンネル・エミュレーションは汎用的なFIRフィルタ機能を利用して定義します。

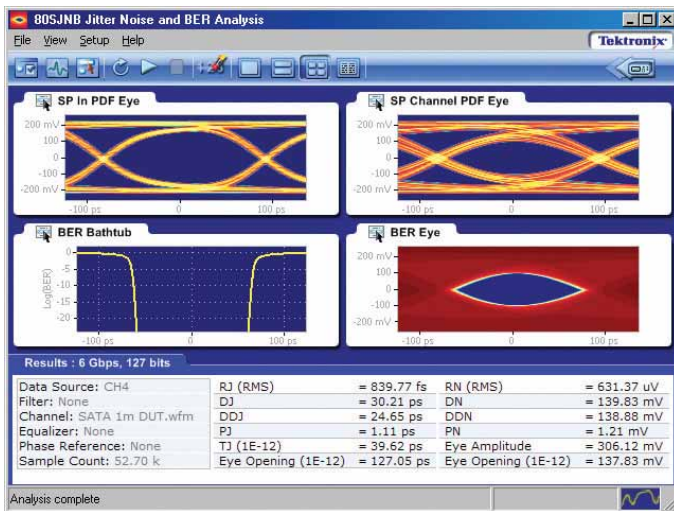


図10. 1mのSATAケーブルのチャンネル・エミュレーション

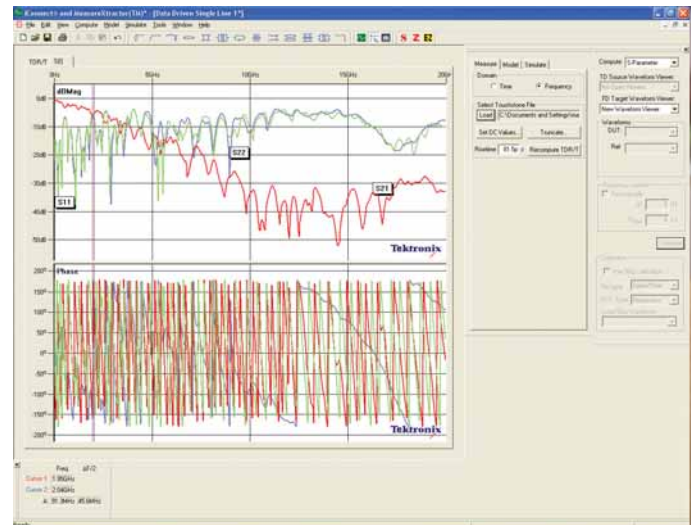


図12. チャンネル・エミュレーションで使用するSパラメータ

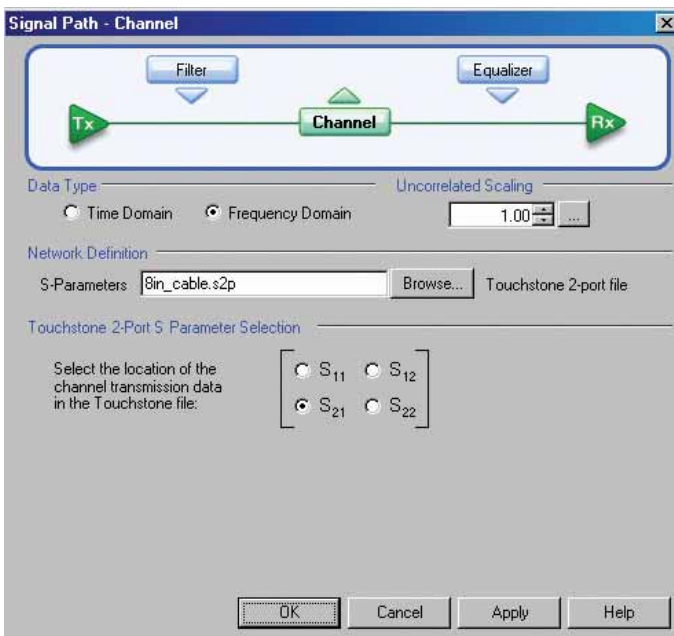


図11. 20.3cm {8in} ケーブルのSパラメータベースのチャンネル・エミュレータ

例として、チャンネルを挿入する前のTx出力が $1e^{-12}$ を推定した場合にアイ開口が水平方向に142ps、垂直方向に236mVであったものが、2つの時間ドメインTDR/TDT波形によるチャンネルを挿入すると、 $1e^{-12}$ BERで推定されたアイ開口127ps（水平方向）、137mV（垂直方向）になります。

周波数ドメイン

周波数ドメイン・チャンネルの定義では、Touchstoneファイル・フォーマットで散乱パラメータ、Sパラメータを使用します。チャンネルのSパラメータは、サンプリング・オシロスコープとIConnec解析ソフトウェアを使用し、時間ドメインで測定することができます。あるいは、ターゲット・チャンネルはVNA（ベクトル・ネットワーク・アナライザ）を使用し、周波数ドメインで測定することができます。

Sパラメータのファイルは、1ポート、2ポート、または4ポート・デバイスのデータを含むことができます。規定のSパラメータを解析することで、デバイスを適切なマトリックスで表示することができます。例えば、図11では2ポート、20.3cm {8in} ケーブルをTouchstoneでチャンネルに設定しており、図12は挿入損失（S21）とリターン損失（S11、S22）の振幅がグラフで表示されています。

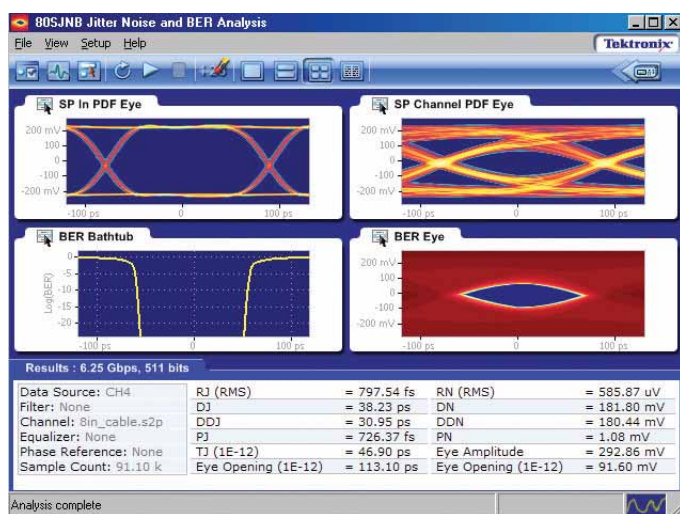


図13. チャンネル・エミュレータによるリンク性能

チャンネルをシグナル・パスに挿入すると、リンクの入力で測定されたSP In PDF Eyeから、チャンネルの出力でシミュレートされたSP Channel PDF Eyeまでアイが閉じます。すべてのジッタ、ノイズ、BERの推定は、フル・リンクの出力で実行されます。

4ポート・チャンネルの仕様では、シングルエンドまたはミックスド・モードのいずれかのSパラメータを含んでいることがあります。データがシングルエンドの場合、ポート番号はリンク構成の物理的な位置（Sパラメータ・マトリックスをSdd21パラメータにマッピングするために使用する情報）にマッピングする必要があります。

ミックスド・モードのSパラメータ・マトリックス・レイアウトは、実際のポート構成に合わせて編集することができます。図14は、2ポートと4ポートの構成オプションを示しています。

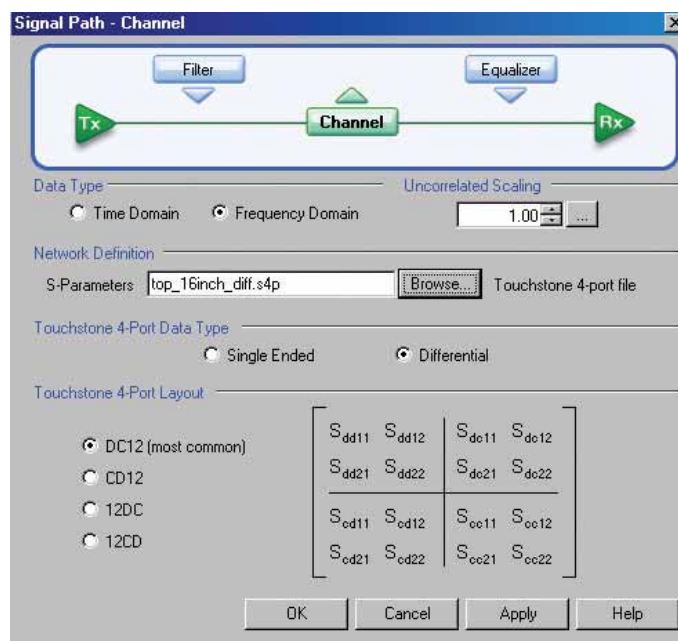
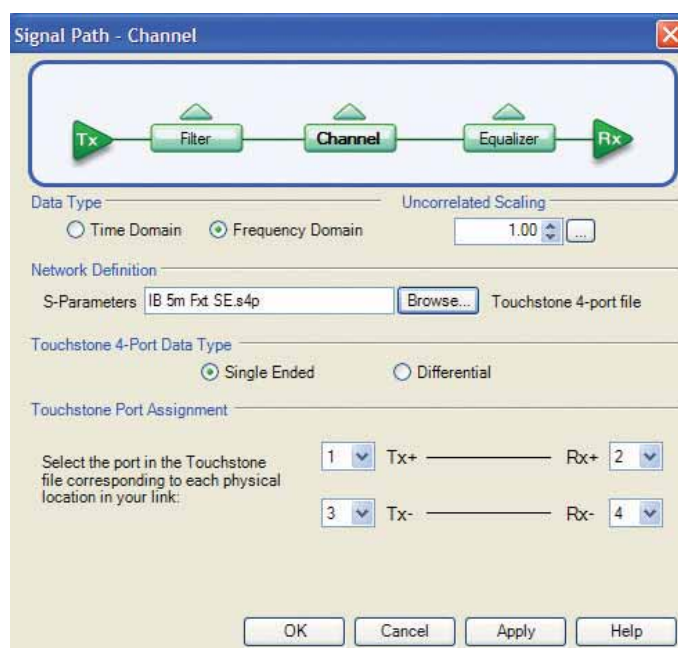


図14. シングルエンドと差動のSパラメータ

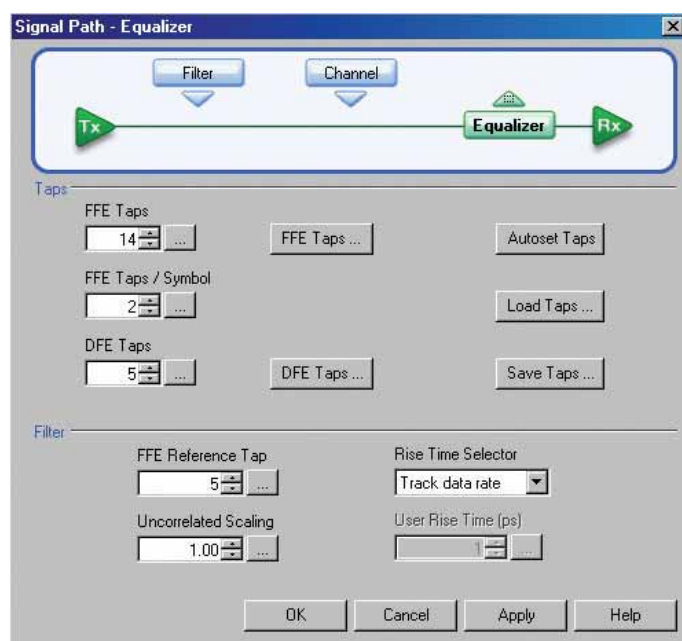


図15. イコライザ設定ダイアログ

イコライザ

シリアル・データ・リンクのモデルは、レシーバ性能のテストで使用するイコライザによって完成します。イコライザをシグナル・パスに挿入すると、すべてのジッタ、ノイズ、BER推定はイコライザの出力で実施されます。シグナル・パスは任意またはすべての推定要素で構成できるため、イコライザはフィルタ、チャンネル、またはその両方で表されるチャンネルを補正して設定されます。リンクのレシーバ側でデータが取込まれると、イコライザは接続されたバックプレーンまたはケーブルの物理的な障害を補正します。

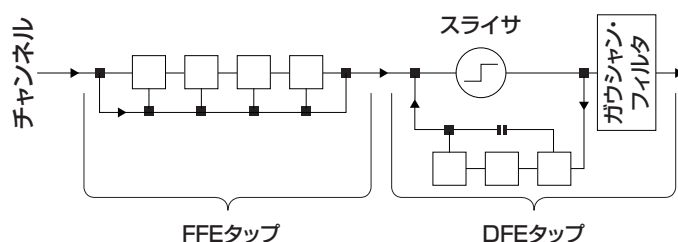


図16. イコライザ・タップ

イコライザの設定

イコライザはDFE (Decision Feedback Equalizer) をサポートしており、タップの数もフル・コントロールしています。最大100のFFE (Feed Forward Equalizer) タップと最大40のDFEタップが利用できます。通信規格によってはUIごとに複数のタップが必要になる場合もあるため、シンボルあたり最大10のタップを設定することができます。プリカーソルとポストカーソル遅延は、FFEリファレンス・タップ設定で補正できます。イコライザ・シミュレータにより周波数帯域を補完します。

図15にすべての設定を示します。

オートセット・タップ

LMS (Least Mean Square) 最適手法を使用した適応アルゴリズムにより、イコライザのタップ係数を計算します。タップはシンボル・スペースまたは部分的スペースとなり、トランスミッタ、イコライザ間の遅延を補正するためのリファレンス・タップが規定されます。

最適化は、ビット・サンプリング・フェーズ、UIの50%で垂直方向に最大のアイ開口になるように設定されます。最適化アルゴリズムの入力は、現在のイコライザ・タップ数、入力信号のサンプル数とトレーニング・シーケンスのサンプル、前回特定されたビット・ストリーム (DFE手法)、および最適化ループの勾配を設定するステップ・サイズです。アルゴリズムの出力は新しいタップ係数値になります。トレーニング・シーケンスが終わると、最適化アルゴリズムは終了します。

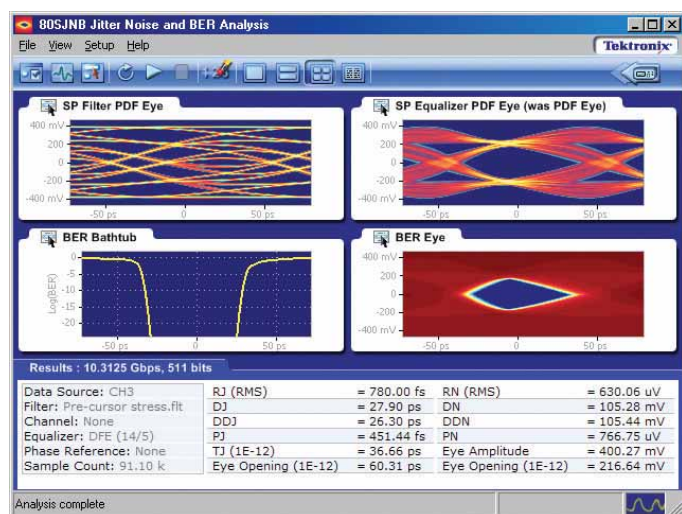


図17. イコライズしてシミュレートされたロング・リーチ・ファイバ

適合アルゴリズムは、コスト関数を最小にする入力データ・サンプルに適用されるフィルタ関数を計算します。コスト関数 $e(n)$ は、フィルタの出力とイコライザのための理想的なパターンの差です。

適合フィルタの係数 $h1(n)$ と $h2(m)$ はタップ数のセットで、入力データ・ストリーム $x(n)$ 、イコライズしたデータ・ストリーム $y(t)$ を生成するための前回のビット・デジションのセット $d(m)$ に適用されます。

$$(3) y(t) = h1(n) * x(n) + h2(m) * d(m)$$

トレーニング・シーケンスは、入力信号 $t(n)$ と同じレートでサンプリングされます。コスト関数 $e(n)$ は次のように表されます。

$$(4) e(n) = t(n) - y(n)$$

最適化アルゴリズムの勾配 ∇ は入力信号の分数で、ステップ・サイズ μ で定義されます。

$$(5) \nabla = \mu * x(n)$$

LMSフィルタの係数セット $h1(n)$ と $h2(n)$ の $h(n)$ は、次のように求められます。

$$(6) h = lf * h + \nabla * e$$

ここで、 lf はリーケージ係数で1に設定されます。

適合アルゴリズムの勾配は、ほとんど信号振幅（5）に依存するため、ステップ・サイズ μ は入力信号に対するタップのオートセット・コールの各インスタンスに適合されます。

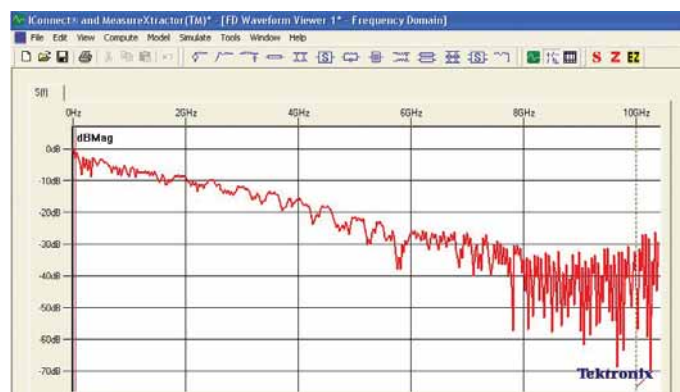


図18. 長い基板のSパラメータ

シミュレートされたロング・リーチ・ファイバのイコライズ

シミュレートされるロング・リーチ光ファイバのファイバ特性は、IEEE 802a.q規格の表68-5で規定されています。

図7は、トランスミッタ出力におけるシミュレートされたファイバの効果を示しており、垂直方向にアイが閉じています。

TWDPのテスト方法では、フィルタ効果を補正するのに使用されるイコライザの属性（2タップ/シンボルによる14タップFFEと5タップDFE）を規定しています。図17は、オートセット・タップ・ビルトイン・オブティマイザを起動し、 $1e^{-12}$ BERにおけるレシーバの性能が垂直方向で216mV、水平方向で60psのアイ開口になっていることを示しています。

きつく閉じられたアイのイコライゼーション

データ・レートがわずかに高速なただけでも、従来のバックプレーンではアイ・ダイアグラムが閉じます。どの程度アイが閉じるか——これが最初の質問になります。

図18は、10Gbpsで使用される長い基板の挿入損失を示しています。S21の振幅は、データ・レートの第一次高調波における挿入損失が30dB以上あることを示しています。

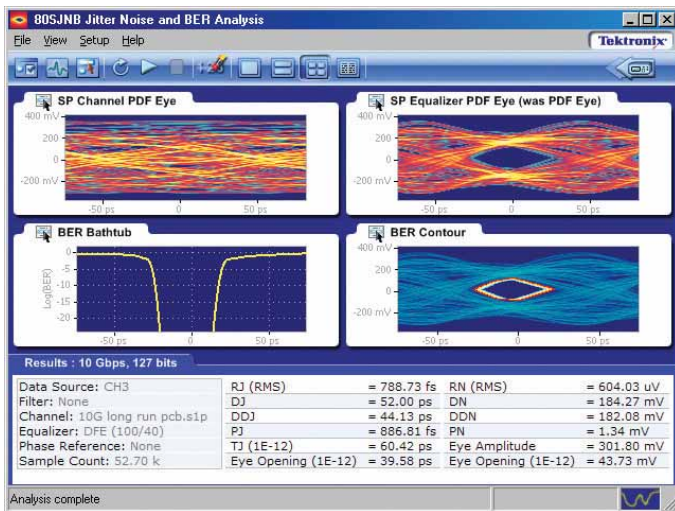


図19. 長い基板へのイコライゼーションの適用

次の質問は、イコライザは伝送損失やインターコネクトの障害を補正することができるか、ということになります。

その答えは、シグナル・パスにイコライザを挿入することで導き出されます。この例では、80sJNBのイコライザを使用し、10タップ/シンボルの100FFEタップと40タップDFEにより、 $1e^{-12}$ BERにおけるアイ開口が最大になっています。この時点で、実際のハードウェアで処理できることがわかります。

図19のSP Channel PDF Eyeのプロットは、イコライザの入力を示しています。

オートセット・タップ・アルゴリズムを起動してFFEとDFEのタップを設定し、入力データのストリームに適用すると、 $1e^{-12}$ BERにおけるアイ開口は39ps、43nVになります。

さらに、この例では、プリエンファシスをトランスミッタ側に加えた場合のチャンネル性能もわかります。

0～6dBの範囲でプリエンファシスのトランスミッタ・イコライゼーションを加えると、シリアル・リンク性能が大幅に向上します。トランスミッタのプリエンファシスを6dBにすると、垂直方向のアイ開口が80%も大きくなります。水平方向のゲイン向上も認められますが、プリエンファシスでは図20に示すようにわずか12%の改善となっています。

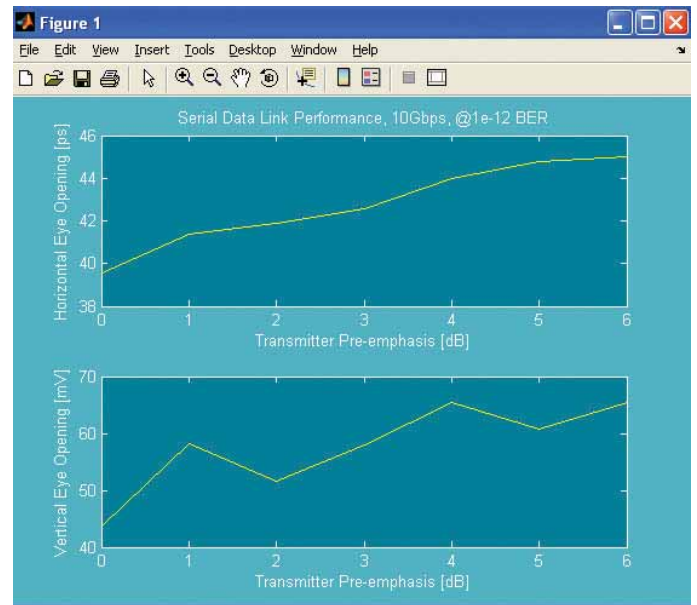


図20. プリエンファシスのリンク性能関数

まとめ

シリアル・データ・リンク解析はジッタ、ノイズ、ビット・エラー・レート測定機能を補完できるため、トランスミッタ、チャンネル、レシーバ構成のモデリングとシミュレーションのための生産性の高いツールとなります。

トランスミッタのイコライゼーション、プローブやフィクスチャのディエンベデッド、任意のチャンネルのエミュレーション、レシーバ側における最適化イコライゼーションなど、SDLAツールは設定の自由度が高く、アプリケーション独自の要素に統合することができます。

Tx端からRx端までの高速シリアル・リンク解析は、設計、特性評価、シリアル規格の仕様に対する適合性検証まで対応できます。フィクスチャ・ディエンベデッド機能対応により、実際にはコンタクトできないポイントでのプロービングが可能になります。インターコネクト構成要素のエミュレーションにより、複数のインターコネクト・チャンネルによるトランスミッタ性能をテストすることができます。最適化アルゴリズムによる総合的なFFE、DFEイコライゼーション手法により、スライサの入力におけるレシーバ機能を調べることが可能です。

Tektronix お問い合わせ先：

日本

本社 03-6714-3111

SA営業統括部 03-6714-3004

ビデオ計測営業部 03-6714-3005

大宮営業所 048-646-0711

仙台営業所 022-792-2011

神奈川営業所 045-473-9871

東京営業所 042-573-2111

名古屋営業所 052-581-3547

大阪営業所 06-6397-6531

福岡営業所 092-472-2626

湘南カスタマ・サービス・センタ 0120-7-41046

地域拠点

米国 1-800-426-2200

中南米 52-55-542-4700

東南アジア諸国／豪州 65-6356-3900

中国 86-10-6235-1230

インド 91-80-2227-5577

欧州 44-0-1344-392-400

中近東／北アフリカ 41-52-675-3777

他30カ国

Updated 02 September 2008

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ(www.tektronix.co.jp)またはwww.tektronix.comをご参照ください。



TEKTRONIXおよびTEKは、Tektronix, Inc.の登録商標です。記載された商品名はすべて各社の商標あるいは登録商標です。

06/09

85Z-24053-0



日本テクトロニクス株式会社

www.tektronix.co.jp

東京都港区港南2-15-2 品川インターシティ B棟6階 〒108-6106

技術的なご相談は、お客様コールセンターまでお問い合わせください。

TEL: 03-6714-3010 E-mail: ccc.jp@tektronix.com

電話受付時間／ 9:00～12:00・13:00～18:00 月曜～金曜(休祝日は除く)

■ 記載内容は予告なく変更することがありますので、あらかじめご了承ください。

© Tektronix