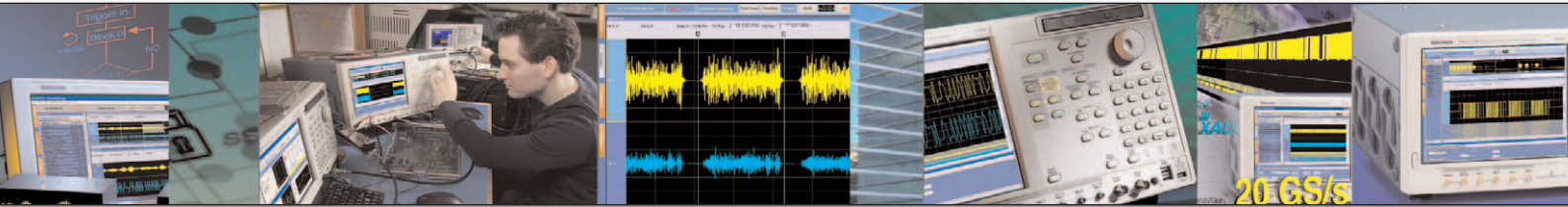


# A Designer's Guide

設計者のためのシリアル・トランスミッタ/レシーバ測定ガイド



▶ 目次

**第1章：パラレル・アーキテクチャから  
シリアルへの移行**

|   |   |
|---|---|
| コンピュータ・アプリケーションで<br>主流をなすシリアル・アーキテクチャ ..... | 3 |
| シリアル・コンピューティング技術と<br>アプリケーションの概要.....       | 4 |
| マルチメディア用シリアル・<br>インタフェース .....              | 5 |
| シリアル伝送の機能と特性.....                           | 5 |
| シリアル・アーキテクチャの構成要素 .....                     | 7 |

**第2章：シリアル測定の概要**

|   |    |
|---|----|
| トランスミッタ (Tx) の測定 .....                          | 8  |
| インピーダンス測定：TDRシステムを使用<br>した新Sパラメータ測定ソリューション .... | 11 |
| レシーバ (Rx) の測定 .....                             | 12 |
| シリアル・レシーバ・テストにおける<br>高性能シグナル・ソース .....          | 12 |

**第3章：シリアル測定の機器と方法**

|                                 |           |
|---------------------------------|-----------|
| レシーバのアウト・オブ・バンド<br>振幅感度測定 ..... | 16        |
| レシーバのタイミング・スキュー測定 .....         | 17        |
| レシーバのディエンファシス信号生成と<br>テスト.....  | 17        |
| Rxのジッタ・トレランス測定.....             | 19        |
| 規格固有のテスト .....                  | 22        |
| Txの測定 .....                     | 23        |
| 自動化.....                        | 26        |
| <b>まとめ .....</b>                | <b>26</b> |

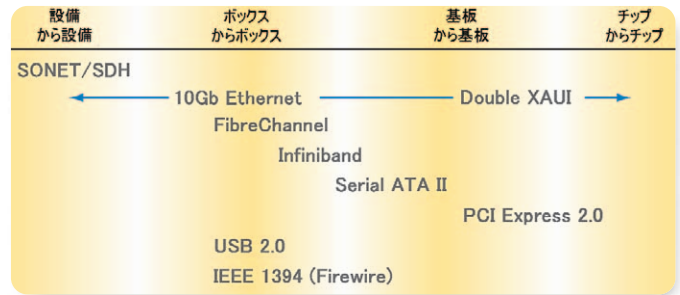
## 第1章：パラレル・アーキテクチャからシリアルへの移行

デジタル・システムにおける基本的な信号伝送アーキテクチャは、ここ数年で劇的な変化を遂げています。数十年の間、デジタル・システムはほぼ全面的にパラレル伝送技術に依存しており、ソースから伝送先までのバイナリ・ワードの各ビットは、それぞれに信号パスを持ち、各パスごとにトランスミッタ、レシーバ、伝送路（配線）、およびターミネーションを持っていました。

これは、プリミティブな構成ではあるものの、トポロジとしては機能しました。採用されていたコンピューティング・アーキテクチャは、初期の4ビットから8あるいは16ビット、クロック・レートはわずか数MHzから、せいぜい1GHzです。パラレル伝送方式は、理解しやすく、設計やトラブルシューティングも簡単です。

しかし、パラレル方式にはいくつかの制約があります。特に、データ・レートが増大し、ワード幅が32ビットを超えると、これらの制約はより顕在化します。

- 物理的なスペースの制約：トレース幅や部品の配置間隔を狭めても、32のトレース（またはそれ以上）で構成されているバスでは、アクティブ・コンポーネントやコネクタのためのスペースが必要となってしまいます。PCB（プリント回路基板）を大きくすることは、選択肢としてはまずありえません。
- レイアウトの問題：単なる物理的スペースの問題に加え、PCB上で幅の広いバスをルーティングするためには、コンポーネントやトレースを迂回したり、頻繁にビア（スルーホール）を使用したり、狭い間隔にフィットするようにバスを分割したりすることがどうしても必要になります。これらのプロセスはCAD技術によって簡素化できるとはいえ、パス長に関する問題が残ります。パスの長さが異なれば、同時に発生した2つのビットが到着するタイミングも異なってしまいます。
- 帯域幅の問題：データ・レートが高速になると、トランスミッタやバッファなど、アクティブなデバイスでのわずかな遅延が、UI（ユニット・インターバル）に対して大きな割合の遅延となります。パラレル・システムでは、トランスミッタの数が多くなるほど遅延のばらつきが生じやすくなります。



▶ 図1. シリアル・データ規格とコンピュータ関連のアプリケーション

- シグナル・インテグリティに関する問題：PCBのスペースを節約するために密に配置された伝送路では、クロストークが生じる傾向にあり、コンポーネントその他を迂回するためのビアは、信号にアベレーションを発生させることがあります。また、スペースの節約のためにPCBトレース幅を狭めれば、伝送路のインダクタンスや遅延が増大します。また、トレース間隔が狭まれば浮遊キャパシタンスも増大します。ビット幅の広いパラレル・バスで高速のデータ・レートで伝送しようとする、最終的に信号のインテグリティに影響がでます。

### コンピュータ・アプリケーションで主流をなすシリアル・アーキテクチャ

パラレル・バスの制約に対するソリューションがシリアル・バス・アーキテクチャであり、現在ではコンピュータ、通信、ネットワークなどのアプリケーションで主流となっています。重要な動作、たとえば、ディスク・ドライブ/チップセットの伝送、周辺機器の通信、PCのマザーボードに使用されるICデバイス間の通信でさえもシリアルで動作し、ときにはシリアル・データの複数の"レーン"が同時に動作することもあります。事実、第1世代のシリアル・バスの多くは第2世代技術に移行しつつあり、第3世代のソリューションも開発中です。通常、第2世代のシリアル規格は第1世代の2倍のデータ・レートを実現しており、たとえばPCI Express Gen 2では、PCI Expressの2.5Gbpsの2倍にあたる5.0Gbpsのデータ・レートをサポートしています。コンピュータで使用されている主要なシリアル・バスを図1に示します。また、HDMIなど、最新のマルチメディア規格もシリアル技術をベースとしています。これらのアプリケーション<sup>\*1</sup>については、後ほど詳細に説明します。

\*1 SONET/SDH通信規格もシリアル・アーキテクチャですが、この入門書では取り扱いません。

## シリアル・コンピューティング技術とアプリケーションの概要

### Ethernet

Ethernetは、世界のコンピューティング・ネットワークに広く使用されているインタフェースで、パソコンとローカル・エリア・ネットワーク (LAN) の接続、あるいはパソコン間接続には不可欠なインタフェースです。Ethernetは、同軸ケーブル、CAT-5 (ツイストペア・ケーブル)、または光ファイバにより機器間を接続するシリアル・インタフェース規格です。

Ethernetのデータ・レートは、10Mbps (現在でも広く使用されている) から100Mbps、1000Mbps (Gigabit Ethernet) へと進化し、今日では10 Gigabit Ethernet と呼ばれる10Gbps技術も登場しています。

### XAUIおよびDouble XAUI (10 Gigabit Attachment Unit Interface)

XAUIは、デジタル・システムのチップ対チップ、ボード対ボード、およびチップ対光モジュールの接続を拡張し、かつ簡素化します。基本的なXAUI構成はシリアル・アーキテクチャで、送受各4ペアの3.125Gbpsの差動伝送路を通じて合計10Gbpsのデータ・レートを提供します。このXAUIは、Ethernet技術をベースにしています。また、10 Gigabit Ethernet/IEEE 802.3ae規格のサブセットであり、XGP (10 Gigabit Pluggable optical module) やXENPAK (10 Gigabit Ethernet Transceiver Package) といった10Gイーサネット・プラグイン・モジュールのためのバスとして急速に普及しつつあります。10Gb Ethernetと、第1世代、第2世代のXAUIを組合せることにより、コンピュータの内部コンポーネントと外部インタフェースを非常に広い帯域幅で接続することが可能になります。

### FibreChannel

FibreChannelは、高速のエンタプライズ・ネットワーク・アプリケーション向けに設計された高速シリアル・バスで、ワークステーション、メインフレーム、サーバ、ストレージ・エリア・ネットワーク (SAN)、周辺機器の同時接続をSCSIプロトコルやIPプロトコルにより行います。このFibreChannelは、高速I/Oとネットワークの機能を1つの接続技術に統合し、最大動作距離10kmの能力を持ちます。

当初はデータ・レートが1Gbpsに制限されていましたが、スイッチ・ファブリック・アーキテクチャを採用した今日のFibreChannelのデータ・レートは最大で4.25Gbps

です。また、将来は8.5Gbpsになる可能性も秘めています。FibreChannelは、米国規格協会 (ANSI) が策定した規格で、ここでいう「ファイバ」とは、銅線または光ファイバを利用したケーブルを指し、規格は両方のメディアをカバーしています。

### InfiniBand™

InfiniBandは、SANアプリケーションにおいてFibreChannelを継承するものとして、また高密度のサーバ・ブレード・インスタレーションやデータ・センタ向けの伝送媒体として開発されたシリアル・アーキテクチャです。他の技術では必要とされる高価なハードウェアを必要としないInfiniBandは、ストレージ、通信ネットワーク、およびサーバ・クラスタを効率的に接続し、高い信頼性と拡張性を持ち、他の接続規格との相互運用性も兼ね備えたI/Oインフラを提供します。

InfiniBandのシリアル接続のためのリンクには、銅線と光ファイバの両方が使用されます。InfiniBandの基本データ・レートは2.5Gbpsです。InfiniBand Trade Association (IBTA) によって推奨されている規格でも、30Gbpsの実効データ・レートを実現する"4X"および"12X"のマルチプライヤ (複数のレーンを使用) について定められています。IBTAは、InfiniBandの性能を進化させて「100Gbpsの壁」を打ち破るプランを発表しています。

### Serial ATA Gen I, II

Serial ATA (SATA) は、パソコンのCPUとハード・ディスク・ドライブを接続するパラレルATAを継承するインタフェースとして設計されました。もちろんCD、DVD、テープ・デバイス、大容量リムーバブル・デバイス、ディスク・ドライブ、CD-RWコンポーネントなどのストレージ・デバイスもサポートしています。高度な拡張性を備え、データの帯域幅はバスに接続したドライブ1つにつき1.5Gbps/3.0Gbpsです。SATAは、スループットが高いだけでなくケーブルやコネクタも小型で使いやすいため、PC自体を小型化でき、PC筐体内の空気の流れも改善されます。SATAは旧技術よりも低い電圧で動作し、業界のトレンドともマッチしています。

第1世代のSerial ATAの設計目標はデータ・レート1.5Gbpsで、これは150メガバイト/秒に相当します。第2世代のSATA Gen IIのデータ・レートは3.0Gbpsと高速化され、将来に向けたプランでは6.0GbpsバージョンのSerial ATAも視野に入れていきます。

## PCI Express™

PCIおよびPCI-Xは、パソコン・メーカーやユーザがパソコン内で周辺機器を容易に接続できるように開発されたパラレル・アーキテクチャで、通信、ストレージ/I/Oカード、オーディオ・カードなどが含まれます。PCI Expressは、この大成功を収めたバス・コンセプトを引き継ぐ高速アーキテクチャです。

PCI Expressは、多くのシリアル・アーキテクチャと同様に差動伝送路を採用した、ポイント・ツー・ポイント・シリアル・インタフェースです。以前のPCIが64ビットのパラレル伝送パスであったのに対し、シリアル・アーキテクチャを採用したPCI Expressでは少数のピンで広帯域が得られます。第1世代のPCI Expressのデータ・レートは2.5Gbpsです。これが、PCI Express 2.0では5.0Gbpsになり、今後さらに拡張される見込みです。また、複数のレーンを使用して比例的に帯域を拡張することもできます。

### マルチメディア用シリアル・インタフェース

ここまで説明してきた技術は、いずれもコンピュータのI/Oアプリケーションを対象としています。シリアル・アーキテクチャは、DisplayPortやHDMI (High Definition Multimedia Interface)など、家庭内の重要なマルチメディア・インタフェースでも採用されています。

### DisplayPortとDVI (Digital Visual Interface)

DisplayPortは、VESA (Video Electronics Standards Association)によって策定された、デジタル・オーディオとビデオの相互接続アプリケーションのための最新デジタル・ディスプレイ・インタフェース規格です。コンピュータとディスプレイ・モニタまたはコンピュータと家庭電化製品を接続するためのインタフェースを対象としており、伝送レートは最大2.7Gbpsです。

この新しい規格は、コンテンツ・ソース・デバイスと表示デバイス間の純粋なデジタル伝送として登場したDVIに取って代わるものとして期待されています。また、優れている点としては、たった1本のケーブルで高解像度(2560×1600)モニタをサポートするのに十分な順方向リンク帯域を得られることが挙げられます。

### HDMI (High Definition Multimedia Interface)

HDMIは、おもにデジタル家電向けのエンターテインメント・アプリケーションを対象とした、非圧縮、全デジタルのオーディオ/ビデオ・インタフェースです。このHDMIは、オーディオ/ビデオのソース(セット・トップ・ボックス、DVDプレーヤ、A/Vレシーバ)と、オーディオあるいはビデオ・モニタ間の非圧縮デジタル伝送を提供し、ハイビジョン・ビデオや、8チャンネルのデジタル・オーディオもサポートしています。

HDMIは、既存のDVIアーキテクチャをベースに、高品位オーディオのサポートおよびデジタル・コンテンツ・プロテクション(HDCP)のための機能を追加しています。この高品質デジタル・コンテンツのコピー保護を可能にするHDCP技術は、エンターテインメント業界で大きな反響を呼んでおり、消費者向けのあらゆるHD製品で使用するように求められています。

### シリアル伝送の機能と特性

基本的なシリアル・アーキテクチャでは、16ビット、32ビット、64ビット、あるいはそれ以上のバイナリ・ワードが1つのパスを通じて順番に伝送されます。一方、パラレル・アーキテクチャでは、32ビットのデータ・ワードは32のパスに分散されます。シリアル・アーキテクチャには、これまでのパラレル・アーキテクチャと異なる、差動伝送、低振幅シグナリング、エンベデッド・クロック、8B/10Bエンコーディングなどの2.5Gbps、5Gbps、10Gbps、あるいはそれ以上のデータ・レートを実現するのに不可欠な技術が取り入れられています。

## 差動伝送

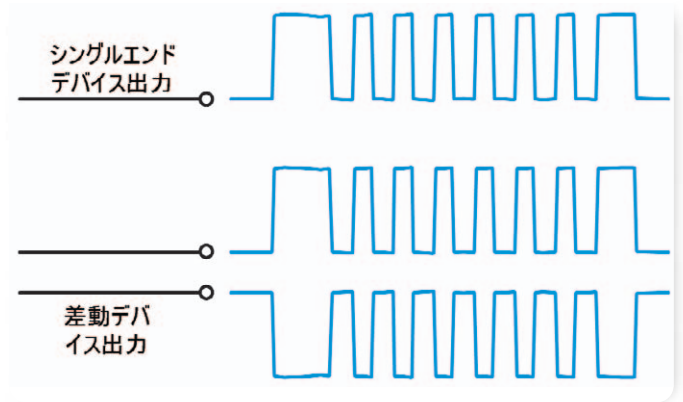
差動伝送は、初期の電話ネットワークの頃から通信技術の一部として使用されてきました。差動伝送される信号は、大きさが等しく、逆極性の2つの波形から成り、これらは2本の導線を通して差動レシーバ<sup>\*2</sup>へと伝送されます。図2に示すように、差動パスの一方が正極性になると、もう一方は負極性になります。この2つの反転した信号は、受信点で合成され1つになります。差動技術は、クロストーク、外的要因によって発生するノイズ、およびその他の信号劣化に対する耐性を備えています。正しく設計された差動アーキテクチャは、ノイズの影響を受けやすい高周波信号に対してノイズ耐性の高い伝送路を提供します。

## 低振幅シグナリング

最近のシリアル・アーキテクチャでは差動伝送と合わせて、低振幅シグナリングを採用しています。これは、LVDS (Low Voltage Differential Signaling)と呼ばれます。高速バスではステートの遷移時間の短縮のために、数百mVという振幅の小さな信号を採用しています。これは、干渉やノイズの影響を受けやすいように見えますが、差動伝送を併用することで、これらの干渉やノイズに対する耐性を高めています。

## ディエンファシス

ディエンファシスと呼ばれる技術は、ビット・シーケンスにより特定のビットの信号振幅を変化させる方法です。あるシリアル規格では、「同じ極性のビットが連続して出力される場合は、ディエンファシスを適用する<sup>\*3</sup>」となっています。これは、同じ極性のビットが連続する場合は連続したビットの振幅を相対的に下げることの意味します。ディエンファシスは、2番目以降のビットに適用されます。これにより、FR4 (エポキシ) 回路基板などの伝送メディアでの損失の影響を抑えることができます。



▶ 図2. シングルエンドの信号と差動信号の違い

## エンベデッド・クロック

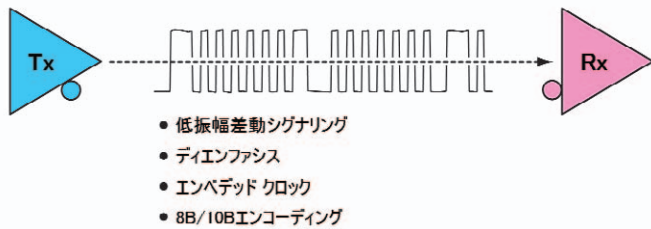
今日のシリアル・デバイスの多くはトランスミッタとレシーバ間の同期を確立するためにエンベデッド・クロックを使用しています。クロック信号用のラインは存在せず、タイミング情報はデータ信号中に存在します。この入門書の後半で述べるように、これはデータ信号に特別な特性が求められます。8B/10Bなどのエンコーディング方式は、同期に必要なクロック・タイミング・リファレンス・エッジを正確に発生させるために用いられます。

## 8B/10Bエンコーディング

多くのシリアル規格は、8ビットのデータ・バイトを10ビットの伝送シンボルに変換するために、IBM社の特許技術である8B/10Bエンコーディングを採用しています。10ビットに変換された伝送シンボルは、伝送特性を向上させ、ビットの同期の容易化、レシーバやトランスミッタの設計の簡素化、エラー検出率の向上、制御キャラクタ (特殊キャラクタなど) とデータ・キャラクタとの識別を容易にするなどのメリットをもたらします。

\*2 シングルエンドの信号では、受信側のエレメントに対して1つの波形 (通常はアースを基準とする) しか送出されません。

\*3 PCI Express Base Specification Rev.1.0a



▶ 図3. シリアル・アーキテクチャの伝送特性

### シリアル・アーキテクチャの構成要素

一般的なシリアル・データ構成は、図3に示すトランスミッタ・コンポーネントとレシーバ・コンポーネントを持ちます。2つのコンポーネントを結ぶパスは、インピーダンス制御されたFR4（エポキシ）回路基板上のトレース、ツイスト・ペア・ケーブル、またはこの2つの組合せが考えられます。

パラレル・ドメインにインタフェースする場合は、トランスミッタとレシーバそれぞれにシリアライザ/デシリアライザ（SERDES）と呼ばれるシリアル・パラレル変換機能をもった要素が必要となります。SERDESは、本来、2つの機能を統合したコンポーネントで、シリアル・データの送信と受信の両方をサポートします。

シリアライザ（SER）は、パラレル・データを受け取り、それをシリアルのビット・ストリームに変換します。パラレル入力データは、規格によっては8B/10Bフォーマットでエンコーディングされます。

デシリアライザ（DES）ではこの逆のプロセスを実行し、シリアル・データを受け取り、デコーディングしてパラレル・データに戻し、受信データからリカバリしたクロック信号とともにパラレル・インタフェースに渡します。

## 第2章：シリアル測定の概要

半導体トランシーバ・コンポーネントからケーブルやコネクタへのシリアル伝送をサポートするデバイスは、付加価値の高いデバイスであり、またコストの高いデバイ

スともいえます。いずれにしても、収益はデバイスの信頼性と相互運用性の高さにかかっています。これらすべてのシリアル・デバイスの相互運用性を保証するために、インタフェースの特性およびそれらを検証するのに必要なテストについて記述した詳細な規格が策定されています。この入門書では、PCI Express、SATA、HDMIなどの主要な規格の物理レイヤ（電気）仕様に重点を置いて解説します。

これまで見てきたように、シリアル・データ伝送は、データを高速に伝送する必要が生じたことから発展してきました。パラレル・システムでは、クロックの同期化の条件を満たすことが最も大きな課題でした。エッジ速度の高速化は、厳格なタイミング・スキューを要求するため、ケーブル、コネクタ、および回路基板のトレースを通るデータとクロックの同期を維持することは困難で、多大なコストを必要としました。

初期に提案されたシリアル・データ規格の1つに、FibreChannel（FC）があります。今日のシリアル・データ規格の多くは、FibreChannel用に開発されたテスト概念に基づいています。FCの開発エンジニアは、将来の高速ストレージ・デバイスの設計およびテストに関する研究を目的として設置された、T11と呼ばれる技術委員会と緊密に協力しながら作業を進めました。この協力関係から生まれた最初のシリアル・データ規格の1つであるFibreChannelでは、エンベデッド・クロックおよびLVDSが採用されました。現在使用されているシリアル仕様の多くは、そのルーツをT11委員会まで遡ることができます。

### 目的は相互運用性

新しい規格を市場で成功させるためには、開発の早い段階で仕様やテスト基準を確立し、相互運用性を確保する必要があることは、これまでの例からも明らかです。この入門書は、相互運用性をサポートするパラメータのテストについて述べており、さまざまな規格で類似した共通の仕様に焦点を当てています。たとえば、LVDS、エンベデッド・クロックおよびクロック・データのリカバリ、エンベデッドSERDES（シリアライザ/デシリアライザ）デバイス、エンベデッド・トランスミッタ（Tx）およびレシーバ（Rx）セクション、8B/10Bデータ符号化、信号のディエンファシスといった項目を取り上げます。

## 設計者のためのシリアル・トランスミッタ/レシーバ測定ガイド

### ▶ 入門書

| 規格              | データ・レート       | ジッタ・トレランス | タイミング・スキュー | 振幅感度 | ディエンファシス |
|-----------------|---------------|-----------|------------|------|----------|
| SATA II         | 3Gbps         | □         | -          | □    | -        |
| PCI Express 1.0 | 2.5Gbps       | □         | □          | □    | □        |
| PCI Express II  | 5Gbps         | □         | □          | □    | □        |
| HDMI 1.3        | 0.75~2.25Gpbs | □         | □          | □    | -        |
| FC 1, 2, 4Gbps  | 1~4.25Gpbs    | □         | □          | □    | □        |
| InfiniBand      | 2.5Gbps       | □         | □          | □    | □        |
| XAUI            | 3.125Gbps     | □         | □          | □    | -        |

▶ 表1. シリアル・データ規格のコンプライアンス・テスト (□=必要なテスト)

シリアル・バスの適合性、相互運用性の検証およびトラブルシューティングのための測定は、トランスミッタ (Tx) とレシーバ (Rx) の2つのカテゴリに分類されます。

トランスミッタの測定にはオシロスコープが必要で、場合によってはBERT (ビット・エラー・レート・テスト) などの特殊なアキュイジション・ハードウェアが必要になることもあります。オシロスコープによっては、シリアル測定を迅速に実行するための統合測定アプリケーション・ソフトウェアを装備しているものもあります。たとえば、当社のDSA70000シリーズ、DPO70000シリーズの場合、TDSRT-Eyeシリアル・コンプライアンス・テスト/解析ソフトウェアやTDSJIT3 V2.0ジッタ/タイミング解析ソフトウェアなどのオプション・パッケージが用意されており、複雑な設定、アキュイジション、表示、解析の手順を自動化できます。

正確なレシーバ測定には、広帯域のオシロスコープとシグナル・ソース (一般的には、外部変調と信号調整機能を持つデータ・ジェネレータ) が必要になります。

表1は、現時点における代表的なシリアル・データ規格と、必要なコンプライアンス・テストを示しています。

#### トランスミッタ (Tx) の測定

以下のトランスミッタ測定は、広帯域オシロスコープ (DSOまたはDPO) に大きく依存しています。ここでリストアップされたテストはほぼすべて、オシロスコープに搭載された、シリアル測定ツールを使用することで、簡単に実行できます。

#### Txの振幅測定

振幅測定では、信号が伝送メディアを確実に通過し、"1"あるいは"0"を正しく受信側の回路に伝えるのに必要な電圧レベルと安定性を持つ信号を出力できるかどうかを調べます。このテストでは、最悪のケースで正しく動作するだけの振幅トレランスがあるかを確認します。

- **差動電圧**：どのシリアル仕様にも、ピーク・ツー・ピークの差動電圧仕様があります。この基本仕様によって、適切な電圧レベルの信号が出力され伝送されることが保証されます。トランスミッタの最小差動電圧は、最悪のメディア条件下で (すなわち損失が最大のとときに) レシーバに到達可能な差動電圧の最小値として定義されています。これは、データ伝送を確実に行うための値です。
- **ディエンファシス**：「トランジション・ビットの振幅」に対する「トランジション・ビットから数えて2番目以降のビットの振幅」の比です。関連した用語に、プリエンファシス\*4とイコライゼーションがあります。ディエンファシスはシリアル・データ伝送システムで使用され、デスクトップ・コンピュータで使用される安価なFR4基板やコネクタなど、損失の多い伝送媒体の周波数特性を補正します。トランジション・ビットの振幅を、2番目以降のビットよりも大きくすることで、レシーバにはアイの開いた信号が届きます。

\*4 「ディエンファシス」や「プリエンファシス」という用語は、業界の資料で別の意味で使われていることがあります。この入門書では、PCI Express Base Specificationの例にならい、「ディエンファシス」を「特定の条件下で意図的に小さくした信号の振幅」という意味で使用しています。



- **コモン・モードの電圧測定 (AC、DC) :** トランスミッタでのコモン・モードの不均衡とノイズは、差動信号に悪影響を及ぼすことがあります。この問題のトラブルシュートには、差動信号の+側、-側をシングルエンド信号として取込むとよいでしょう。これにより、差動ペアの片側だけにカップリングするクロストークやノイズの影響を特定することもできます。
- **波形のアイの高さ :** アイの高さとは、振幅方向のデータ・アイの開口度です。この値は、レシーバ回路の実際のサンプル・ポイントを表すのに非常に便利です。アイは、0.5UI (ユニット・インターバル) ポイントで測定され、UI タイミング・リファレンスはリカバリ・クロックによって定義されます。

### Txのタイミング測定

タイミング測定の目的は、信号にタイミングの変動がなく、データ値を保持するのに、十分高速にトランジションが行われているかどうかを確認することにあります。このテストでは、分布容量、クロストークなどに起因するアベレーションや信号の劣化を測定しますが、測定する側のツール・セットにはきわめて高い性能が要求されます。

- **ユニット・インターバルとビット・レート :** エンベデッド・クロックの周波数の変動は、エンベデッド・クロックの周波数を繰り返し測定し、その平均値を観察することで測定します。
- **立上り/立下り時間 :** 立上り時間は速すぎるとEMIの問題を引き起こし、遅すぎるとデータ・エラーを引き起こすことがあります。コンプライアンス・テストの一環として立上り時間を定めていない規格もあります。これは、単に計測器 (一般にはオシロスコープ) やプローブに起因する測定誤差が生じる可能性があるためです。しかし、測定値に「二乗和平方根」の公式を使用すれば、出力信号の立上り時間/立下り時間が規格を満たすかどうかを判断することが可能になります。

- **波形のアイ幅** - 波形マスクは、トランスミッタのコンプライアンス・テストに使用する場合には、混乱を招く可能性があります。Serial ATA仕様のセクション6は、統計的な確実性を考慮すると、波形を取り込み、マスクと比較する手段では、規格で必要とされる10-12BER ( $\pm 7\sigma$ ) を保証できないとしています。

この理由は妥当な時間内に取り込める実際のエッジの数にあります。しかし、波形のアイ幅は、信号の状態を知るにはよい手段です。統計的な確実性を満たすのに必要なエッジの数が取り込まれれば、相互運用性の検証に適したシンプルなテスト手段として使用できます。

なお、波形のアイ幅と、10-12BERのレベルの統計的確実性を満たすジッタのアイ幅を混同しないよう注意が必要です。

### Txのジッタ測定

ジッタの測定は非常に重要で、この困難な問題に取り組むための専用解析ツールが存在するほどです。多くのジッタ測定のベースになっているのが、タイム・インターバル・エラー (TIE) です。TIEとは、リカバリされたクロック (ジッタ・タイミング・リファレンス) と実際の波形のエッジ位置との時間差のことで、TIEの波形に対してヒストグラムとスペクトルの解析を行うことで、高度なジッタ測定のためのベース・データが得られます。

ジッタ測定手法は、高速シリアル・データ規格における長年の主要課題となっており、FibreChannel、InfiniBand、およびXAUIでは、T11.2のジッタ・ワーキング・グループによって測定方法がいくつか考え出されています。1999年に刊行された「ジッタ仕様のための方法論 (Methodologies for Jitter Specification (MJS))」では、トータル・ジッタ量は「ランダム・ジッタ成分とデータミニスティック・ジッタ成分の和」と定義されています。なお、その後、T11.2はMJQを「ジッタおよび信号品質の仕様のための方法論 (Methodology for Jitter and Signal Quality Specification (MJSQ))」として更新しました。

## 設計者のためのシリアル・トランスミッタ/レシーバ測定ガイド ▶ 入門書

トータル・ジッタ (TJ)、ジッタのアイ開口 (10<sup>-12</sup>BER)、ユニット・インターバルの関係は次のようになります (式1)。

トータル・ジッタ+ジッタのアイ開口 = 1 UI (ユニット・インターバル)

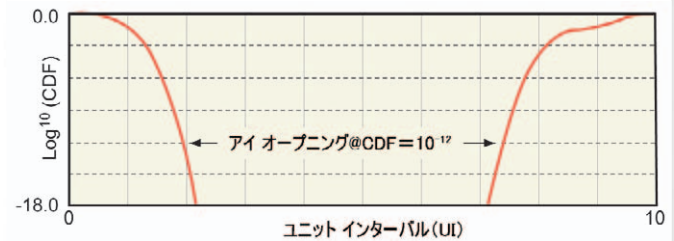
式1: ジッタの関係

トータル・ジッタを決定する上での最初のステップは、"ゴールデンPLL"モデルを使用してジッタ・タイミング・リファレンスを設定し、シリアル・ビット・ストリームからクロックをリカバリすることです。ゴールデンPLLのループ帯域は、 $f_c/1667$  ( $f_c$ はビット・レート) で定義されます。

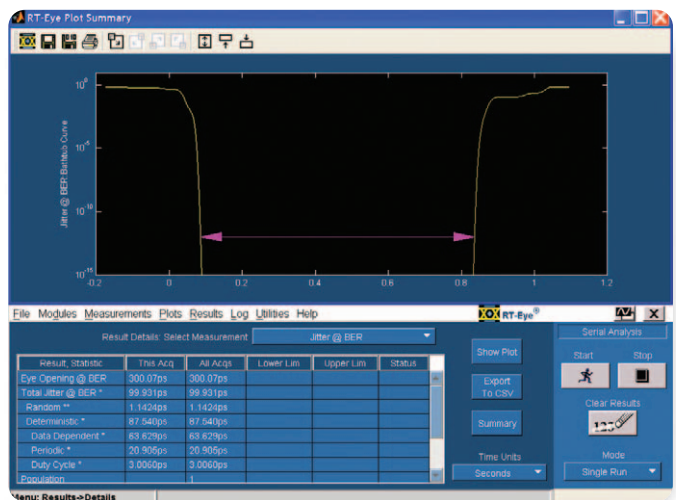
ジッタのタイミング・リファレンスから、バスタブ曲線 (図4参照) として知られるCDF (累積分布関数) が求められます。この分布から、10<sup>-12</sup> BERにおけるアイ開口がわかります。

これまで、この測定は通常のBERTあるいはタイム・インターバル・アナライザ (TIA) を使用して行いましたが、それでも容易ではありませんでした。今日では、リアルタイム・オシロスコープで自動ジッタ測定ソフトウェア・ツールセットが利用できます。このソフトウェア・パッケージを使用すると、タイミング・リファレンスとCDFを求め、信号に含まれるランダム・ジッタとデータミニスティック・ジッタ (Rj/Dj) を分離することができます。

クロックの抽出とジッタ測定の技術は、SSC (スペクトラム拡散クロッキング) を採用していない規格では十分に機能します。SSCを採用しているSerial ATAやPCI Expressなどの規格では、さらに高度なクロック・リカバリ技術が必要になります。SSCが使用されている場合、クロック・リカバリ技術でSSCの低周波を除去しなければなりません。これは、高次のPLLを使うか、データ・ストリームの比較的少ない連続ビットを解析し、フィルタによってSSCを除去することで実現します。クロックが抽出 (リカバリ) できれば、ジッタは解析できます。Serial ATA II, PCI Express Gen2などの第2世代の規格では、CDF関数を使用した従来のトータル・ジッタ定義が採用されていますが、初期バージョンの仕様は、ヒストグラムをベースにした方法に依存していました。



▶ 図4. "バスタブ"曲線またはCDF (累積分布関数)



▶ 図5. InfiniBandの手法によって求めたトータル・ジッタとデータミニスティック・ジッタ測定

図5と図6は、2種類の異なったジッタ測定方法によって測定した2.5Gbps信号です。

図5は、トータル・ジッタとデータミニスティック・ジッタ測定 (InfiniBand規格による仕様) を示しています。トータル・ジッタはバスタブ曲線法によって求めています。この例では、10<sup>-12</sup> BERにおけるジッタのアイ開口は300.07ps、トータル・ジッタは99.93psです。

図6は、PCI Express Rev.1.0aのシステム・テストで規定されている"250サイクル・ジッタ"テストを示しています。"Median to Max outlier"は、ヒストグラムのメディアン (Median: 中央値) から最大の外れ値 (Max Outlier) として定義されます。この例では連続する任意の250ビットにおいて38psと測定されます。図5と図6は、複数の方法の中から2つの例を示しています。

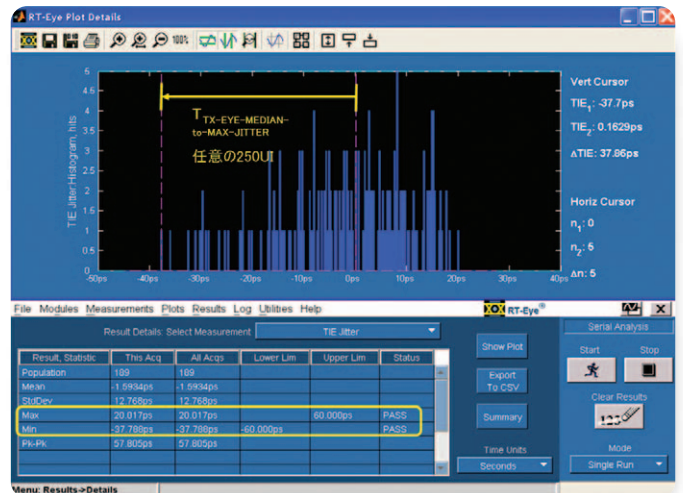
### Txのアイ・ダイアグラムとマスク・テスト

"アイ・ダイアグラム"は、数多くのトランジション波形を重ねて表示したもので、シリアル信号の品質を知るための重要なツールです。アイ・ダイアグラムを作成するには、データ・ストリームに同期してオシロスコープにトリガをかけ、ランダム・ビットあるいは擬似ランダム・ビットのデータ・ストリームを入力チャンネルに接続する必要があります。同期クロック信号、データ、あるいはデータからリカバリしたクロック (オシロスコープがクロック・リカバリ回路を内蔵している場合) により、オシロスコープにトリガをかけます。取り込んだ1つの画面に、立上り、立下りなどのすべての信号トランジションが表示されます。この表示から、アイ開口、ノイズ、ジッタ、立上り時間、立下り時間、振幅に関する情報が読み取れます。この表示は定性的な解析に使用します。一方、定量的な測定は、オシロスコープに搭載されている統合統計ツールを使って実行します。信号の特性に関する数値的な情報を抽出するのではなく、2次元的な形状のアイを使用すれば、マスクと呼ばれる違反ゾーンと簡単に比較できます。

アイ・ダイアグラム解析だけでなく、より正確な定量的測定が必要になることもあります。正確なジッタ測定には、ジッタ解析ツールを搭載したオシロスコープの使用をお勧めします。

### インピーダンス測定：TDRシステムを使用した新Sパラメータ測定ソリューション

インピーダンス特性、特に、PC基板のケーブル、コネクタ、配線などの伝送ラインのインピーダンスのばらつきを測定する必要があります。従来からあるTDR (Time Domain Reflectometry)測定は、実績のあるアプローチです。詳細については、当社から発行されているアプリケーション・ノートをご参照ください。



▶ 図6. PCI Expressのコンプライアンス・テスト手法で実行した250サイクル・ジッタ・テストの結果

新しい概念のソフトウェア・ツールが、TDR/T (TDRおよびTime Domain Transmission) インピーダンス測定のプロセスを変えつつあります。これらのツールによって、信号ロス、ジッタ、クロストーク、反射とリングング、デジタル・ビット・エラー、およびアイ・ダイアグラムの劣化を予測し、信頼性の高いシステム的设计をサポートします。さらに、この結果データは、進化するシステム設計の精度向上に使用されるSPICEモデル用のデータとなります。この技術により、ギガビットの相互接続リンクやデバイスの評価速度が格段に向上し、今まで日単位でかかっていた解析は分単位で行えます。

このツールは、取り込んだ時間領域のTDR/T測定値を周波数領域に変換し、データからSパラメータを抽出します。Sパラメータは、入力信号に対する、線形ネットワークの周波数応答を記述するものです。"S"は"Scattering"を表し、伝送ラインを伝わる信号に与えるインピーダンス変動の影響を意味します。

広帯域TDR/Tシステムでは、広帯域Sパラメータ解析を行うことができます。インピーダンスのデコンボリューション・アルゴリズムは、TDRインピーダンス測定において複数インピーダンス不連続点で生じる多重反射を除去することにより、真のインピーダンス・プロファイルを生成します。

## 設計者のためのシリアル・トランスミッタ/レシーバ測定ガイド ▶ 入門書

Sパラメータ・ツールは、TDRオシロスコープのインピーダンス測定精度を上げるだけでなく、分解能も向上させます。12psの入射立上り時間、15psの反射立上り時間、および60dBのダイナミック・レンジを持つTDRシステムを使用すると、1mmの距離分解能を得ることができます。

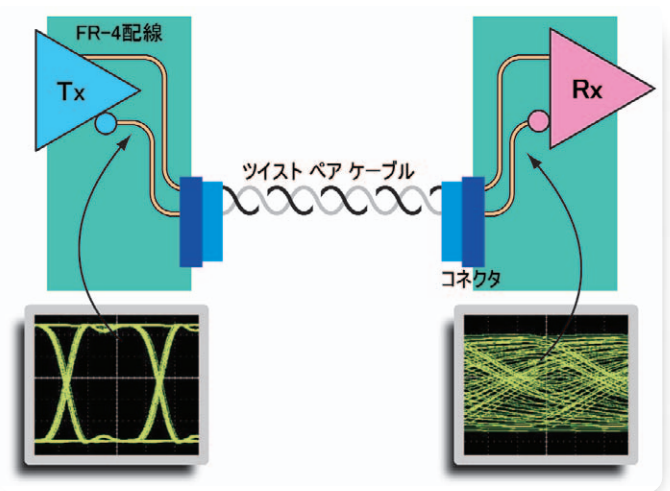
この性能は、デジタル設計アプリケーションには十分な性能で、1% (0.40dB) のクロストークは通常は無視できます。電氣的コンプライアンス用マスクは一般に、-10~-30dBのレンジでの測定を規定しているため、Sパラメータ測定によって提供される60dBは、仕様をはるかに超える十分な余地があります。

最新のオシロスコープベースのシリアル・データ・ネットワーク・アナライザ・ツールは、位相と振幅の両方のSパラメータが測定でき、複数の差動チャンネルをサポートします。これは、マルチレーンのシリアル・バスを取り扱う場合、有効なツールとなります。

### レシーバ (Rx) の測定

Rxのテストでは、信号ソースのデータでテスト対象のデバイスを駆動し、その出力をオシロスコープでモニターして、デバイスが公称レベルおよびストレスが付加されたレベルで正しく機能するかどうかを検証します。Rxの仕様には、Txの仕様と同様、振幅、タイミング、ジッタ・トレランスといった検証すべき信号特性が含まれています。Rxのテストでは、インピーダンス特性も検証の対象になる場合があります。デバイスのRxセクションでは、さまざまなデバイスとの相互運用性が要求されるため、その仕様は、多くの場合、Txセクションの仕様よりも厳しくなります。さらに、レシーバに入る現実の信号は、伝送メディアを通過するうちに減衰しています。DUT (被測定デバイス) に到達した信号については、多くの場合、その歪をエミュレートしなければなりません。

図7は、FR4回路のトレース、ツイスト・ペア・ケーブル、および普及品タイプのコネクタを組み合わせた、一般的なメディアを、シリアル信号が伝送した場合の影響を示しています。トランスミッタ出力ではアイ・ダイア



▶ 図7. シリアル信号は、リンク要素を通してトランスミッタ出力からレシーバ入力まで伝播する間に大きく劣化します。

グラムは広く、しっかりとしています。振幅は十分でデジション・ポイントの周囲には十分なクリアランスがあります。

レシーバ入力では、信号はほとんど識別できません。アイの開口は、波形イメージ中央のわずかなエリアであり、ディエンファシスなどの手段をとらないと、レシーバが正しく応答することは非常に難しく思われます。

### シリアル・レシーバ・テストにおける高性能シグナル・ソース

この入門書を書いている時点では、シリアル規格におけるレシーバ・テスト方法は策定中です。従来のアプローチでは、データ・ジェネレータを使って生のデジタル・パターンを生成し、外部で編集してジッタ、ノイズ、その他の特性を作成しています。

高性能任意波形ジェネレータ (AWG) は、シリアル伝送システムのテスト用信号源として使われ始めました。AWGは、長年、変調ソースとして使われてきましたが、今では、帯域、分解能が向上し、メモリ長が追加され、多くの第1世代、第2世代シリアル・レシーバ測定のメインのシグナル・ソースとして利用されています。

AWGは、ダイレクト・シンセシスにより、複雑なデータ、変調された信号、ジッタを含んだ信号およびストレス・テスト用信号をアナログ出力から直接出力することができます。AWGをベースとしたテスト構成は簡単で使いやすく、現実の信号を正確にエミュレートすることができます。図8にダイレクト・シンセシスの概要を示します。これは、サンプル・ポイントで波形を作成し、サンプルを十分な速度で再生して5GS/s以上のデータ・レートのデジタル・パルスを生成するというものです。

この入門書では、新しいダイレクト・シンセシス手法を、従来のデータ・ジェネレータ手法との比較を適宜に交えて説明します。

### ループバック・テスト

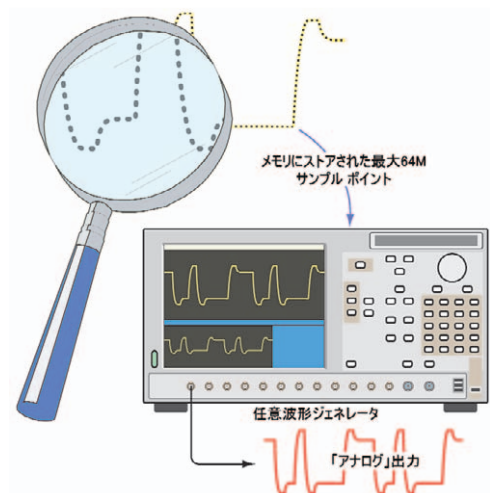
現在、多くのシリアル・トランスミッタでは、ある種のループバック機能に基づいて検証とコンプライアンス測定を行っています。多くのトランスミッタは、半導体チップに作り込まれた"閉じた"システムであるため、レシーバ・セクションが入力データを正しく取り込んでいるかどうかを確認するには、入力データを再伝送して結果を調べるしかありません。

図9にレシーバ・セクションの簡易ブロック図を示します。レシーバに到達した入力信号は、エンベデッド・クロックと共にCDRに転送されます。CDRはクロックをリカバリ（抽出）するだけでなく、振幅やジッタのある程度の変動に耐えられる必要があります。

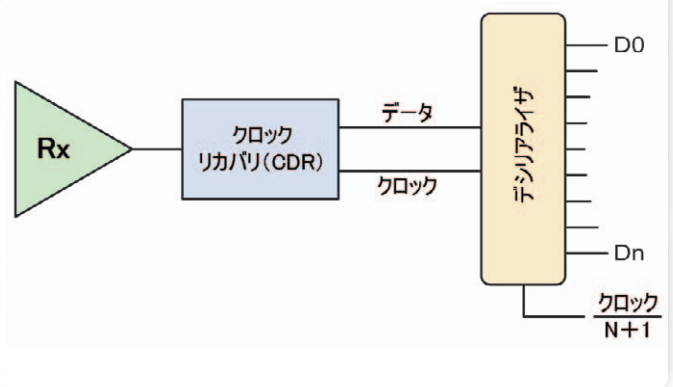
同様に、デシリアライザも、指定された振幅、ジッタ、スキューの変動に対処できる必要があります。これらのシリアル・コンポーネントの多くは、テスト・データ（スティミュラス）ストリームを挿入して、規格どおりに動作するかをテストできるように製造されています。

数値化できるテスト・パラメータやトレランスは規格によって異なりますが、基本的なテストの手法は次のようなものです。

- デバイスをループバック・モードにする
- テスト・パターンを挿入する



▶ 図8 ダイレクト・シンセシスの任意波形ジェネレータは、メモリに保存されたサンプル波形を再構築します。どのポイントの時間と振幅も「任意」であり、結果としての波形にはジッタ、ディエンファシス、その他の変更などが含まれています。



▶ 図9. 一般的なレシーバのブロック図（簡略図）

- 振幅を変化させて感度をテストする
- ジッタを挿入し、クロック・リカバリPLLが入力信号を追従できるかどうかを確認する
- 差動ペア間のタイミング・スキューを変化させ、基板レイアウトと配線のトレランスを確認する

#### BIST-FIS法

被測定デバイスのコンプライアンス・テストやその他の測定では、FIS (Frame Information Structure) によるBIST (Built-In Self Test) 手順に従う必要があります。シリアル・トランシーバは、特定のシーケンスのBIST-L (ループバック) フレームを受け取るとループバック・モードに入るように設計されています。デバイスがループバック・モードのとき、トランスミッタは受信信号をエコーします。ただし、BIST-Lフレームとそれに続くパターンの中でデータの不連続や割り込みがあってはなりません。データの不連続や割り込みがあると、デバイスはループバック・モードから抜け出してしまい、テストを実行することができません。

この問題に関しては、AWGのダイレクト・シンセシス・アプローチには、デジタル・データ・ジェネレータにはない大きな利点があります。AWGではBIST-FISの手順をデータの一部に含めることができます。つまり、AWGの出力は、先頭のBIST-FISコマンドの直後にテスト・データ (ジッタを含む) を続けることで、不要な割り込みのない1つの連続したストリームにすることができます。図10は、2台の計測器で構成したAWGベースの測定セットアップ例です。1台が入力を生成し、もう1台が出力を読み取ります。参考までに、データ・ジェネレータ・ベースのシステムが、第3章の図17です。AWGのメモリは、BIST-FISデータ、アウト・オブ・バンド信号、クロック信号、または通常のデータ・ストリームかジッタを含むものかは区別しません。波形の再現に必要なサンプル・ポイントを格納するだけです。

#### レシーバのアウト・オブ・バンド振幅感度測定

アウト・オブ・バンド (OOB) 動作では、デバイスのデータ伝送とは異なる周波数と振幅のパルスを使用して、デバイス間の伝送を実行します。ここで注目に値するのが、Serial ATAのCOMWAKEなどのアウト・オブ・バンド試験では、3値以上のマルチレベル信号 (ハイ、ロー、アイドル) が一般的に使用されているということです。この信号と他の信号は、バースト・データと、バースト・データ間のアイドル・ステートから成ります。アイドル・ステートは、原則的には、真のバイナリである"1"と"0"の中間値を持つ3つ目のレベルです。

AWGでは、実際の電圧レベルにかかわらず、3値のアイドル・ステートに近い離散振幅レベルを周辺のバイナリ・パターン値と同じように出力することができます。なお、デジタル・データ・ジェネレータも、信号のDCレベルをシフトする外部パワー・コンパインがあれば、OOBテストに使用することができます。

#### Rxのタイミング測定

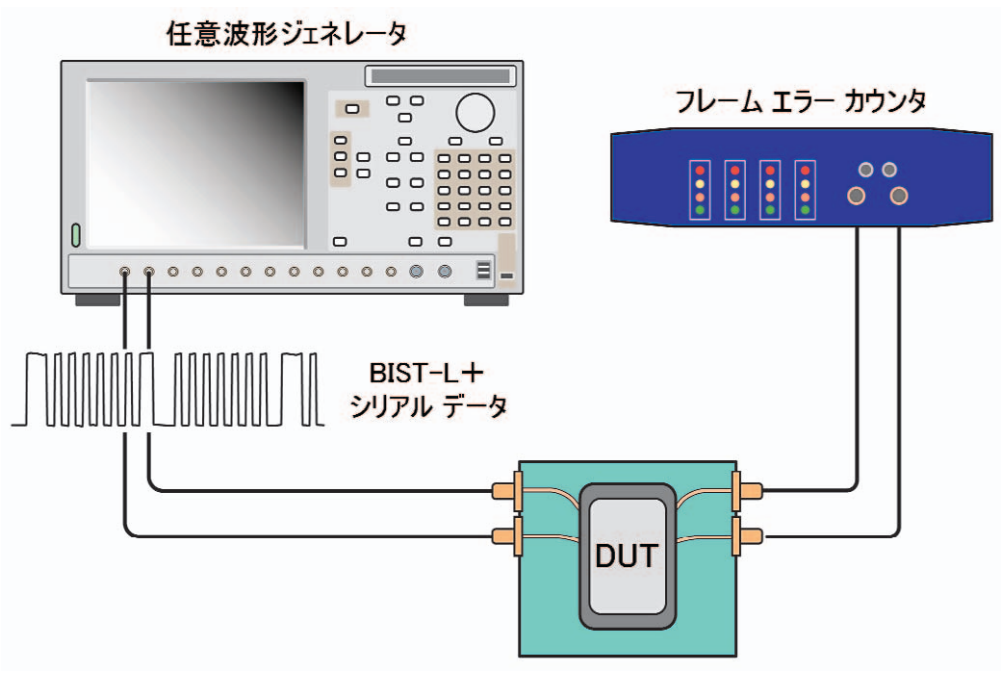
これらの測定では、差動ペアとデータ・レーン間で、ディレイを挿入したり、データにスキューを加えたりします。目的は、レシーバが回路基板のトレース、ケーブル、コネクタといったコンポーネントの変動に耐えられるかどうかを確認することです。他に、レシーバがエッジのトランジション、あるいは立上りや立下りの速度の違いに耐えられるかどうかを検証するテストでは、特定のパターンやトレーニング・シーケンスを挿入する必要があります。

#### Rxのジッタ・トレランス測定

シリアル・データ・バスのデータ・レートの高速化に伴い、ジッタは解決するのが非常に難しい問題になりました。相互運用性を確保するには、CDRとSERDESは一定量のジッタに耐えられる必要があります。この問題は多くの論文やアプリケーション・ノートで取り上げられているため、ここでは、仕様の詳細については簡単に述べるにとどめます。

レシーバのジッタ・トレランスは、レシーバ内部のCDR (Clock and Data Recovery) ユニットがさまざまな形のジッタにどの程度まで耐えられるかを示す尺度です (図9を参照)。CDRの挙動に関して測定すべき重要な点は2つあります。

1つは、リカバリしたビット・クロック・ストローブをアイに最適な位置にセットした状態で、CDRがどの程度の水平アイ・クロージャに耐えられるかという点です。この測定結果は、復元したビット・ストローブをCDRがどれだけ正確にデータ・アイの中心にセットできるかを反映しています。また、CDRの入力PLL回路のセットアップ時間とホールド時間もわかります。



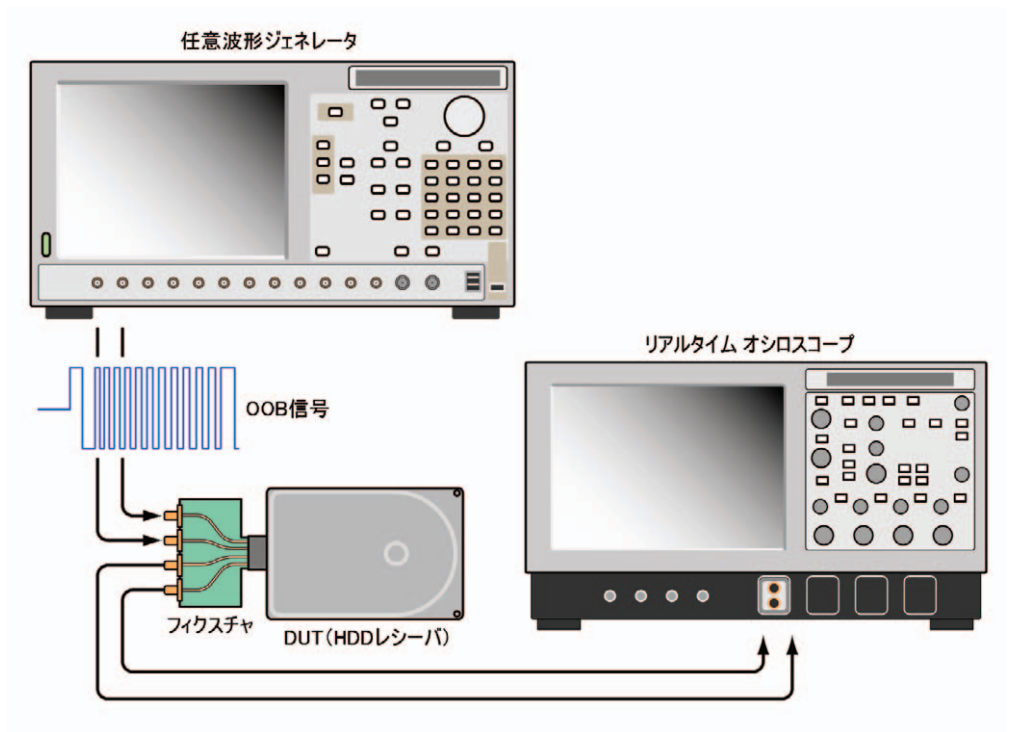
▶ 図10. AWGをベースとしたジッタ耐性測定などのセットアップ。AWGは、同じ信号ストリームにBISTコマンドとデータを含めることができます。

もう1つは、通過帯域周波数内またはそれ以下のジッタに追従する際に、CDRの再生したビット・クロックがどの程度ずれるかという点です。この測定結果は、シリアル・データに存在するジッタのスペクトル成分や、CDRバンドパス・フィルタにカップリングされたシステム・ノイズによって大きく左右されます。

ジッタ・トレランスの特性は、他の信号特性（振幅や立上り時間など）によって影響を受ける可能性があるため、注意が必要です。ジッタ・トレランスは、ビット・エラー・レート（BER）を測定することで評価します。つまり、既知の量のジッタを含むビット・シーケンスを入力し、その結果としてのレシーバのエラー・レートを測定します。

そのため、パターン・ソースとジッタ・ジェネレータのほかに、エラー検出装置が必要になります。パターン・ソースとしてAWGを使用すると、直接ジッタを含んだ信号を出力することができます。データ・ジェネレータで信号を供給する場合は、外部ジッタ・ソースを使用しデジタル出力を変調する必要があります。ジッタ・トレランスの測定は長い時間がかかるものです。それは、 $10^{-12}$ ビットのエラー率という性能を保証するために、何兆ものサイクルを記録する必要があるからです。高速の取り込みレートとジッタ解析ツールを持つオシロスコープは、このようなジッタ・トレランス・テストの所要時間を短縮できます。

## 設計者のためのシリアル・トランスミッタ/レシーバ測定ガイド ▶ 入門書



▶ 図11. AWGをベースとしたアウトオブバンド・テストの構成

### 第3章：シリアル測定の機器と方法

シリアル・デバイスのRxエレメントとTxエレメントで必要とされる測定については、すでに説明した通りです。第3章では、適切な計測器を使用してこれらを測定する方法について説明します。

#### レシーバのアウト・オブ・バンド振幅感度測定

SATA規格のOOB信号に必要なアイドル・状態は、AWGのダイレクト・シンセシス機能で簡単に実現できます。AWGは、DUTが認識できるOOBシーケンスを直接生成することができます。DUTは、自身の性能がトランス以内であったならばその応答符号を送らなければなりません。

アウト・オブ・バンド信号は、SATAデバイスとそのホストの間におけるハンドシェイクに使用されます。OOB信号には、Gen IのレシーバをGen IIのトランスミッタと相互運用できるようにする役割もあります。OOB信号には、COMRESET、COMINITおよびCOMWAKEの3つがあります。

信号は、ALIGNプリミティブのバースト、あるいは持続時間が160 UIの4つのD10.2キャラクタからなるDワード（Doubleワード）のバーストとして出力されます。COMRESETシグナリングは、ホスト・コントローラから送信され、接続されているデバイスでハード・リセットを行います。COMRESETシグナリングは、少なくとも6つのデータ・バーストで構成される必要があります。通信の初期化要求であるCOMINITは、常にデバイス（ハード・ディスク・ドライブ）側から発信されます。COMINIT信号は、COMRESET信号と電気的に同じです。COMWAKEは、ホスト・コントローラ、または接続されているデバイスのどちらからでも発信できます。これは、6つのデータ・バーストと、それぞれのデータ・バースト間のアイドル・状態から成る伝送です。信号には少なくとも6つのデータ・バーストが含まれている必要があります。



テストでは、DUTが応答を停止するポイントまでAWGの出力振幅を低下させます。このポイントにおけるAWGの出力振幅をオシロスコープで測定することで、デバイスが仕様に適合しているかどうかを確認できます。図11は、SATAドライブのテストのための機器セットアップの例です。図12は、DUTが応答しなくなった振幅の様子です。

ホスト・デバイスの中には、OOBテストで規定されているALIGNパターンを出力できないものもあります。このような場合は、AWGまたはデータ・ジェネレータをプログラムすることで、ホスト、接続するデバイスの両方の性能検証に必要なパターンを作成することができます。

### レシーバのタイミング・スキュー測定

レシーバは、各データ・チャンネルと差動ペア内で、一定量のタイミング・スキュー（ずれ）を許容できなければなりません。このスキュー・トレランスに対する限度は規格ごとに定義されています。

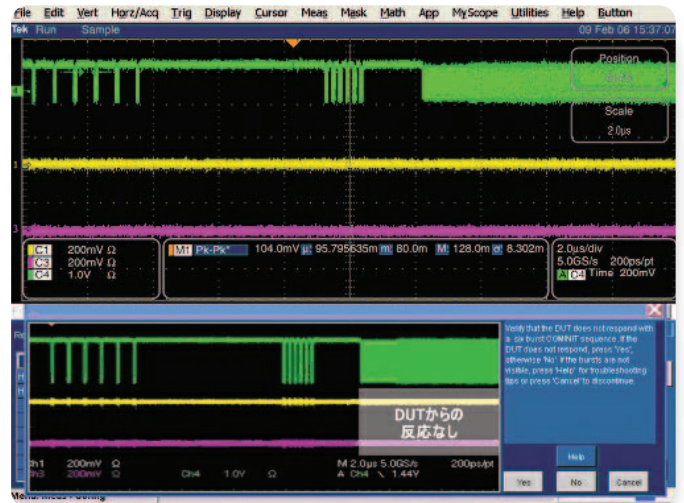
テストは、クロックとデータ・ペアのスキューがない状態から開始し、デバイスでエラーが表示されるまでスキューを大きくしていきます。エラーなしで動作するスキューの設定最大値が、スキュー・トレランスとして定義され、規格値と比較されます。スキュー・トレランスが規格値より大きい場合、デバイスは規格に適合しているものとみなされます。

当社のDTG5000シリーズは、独自の差動タイミング・オフセット機能を2チャンネルの差動DTGM30型モジュールと組合せて使用することで、このテスト要件を満たします。外部の変調ソースや信号調整機能は必要ありません。複数のレーンを持つデバイスの場合、シグナル・ソースはレーンと同じ数のチャンネルが必要になりますが、最大16チャンネルを利用できるDTG5000シリーズであれば、このニーズにも対応できます。

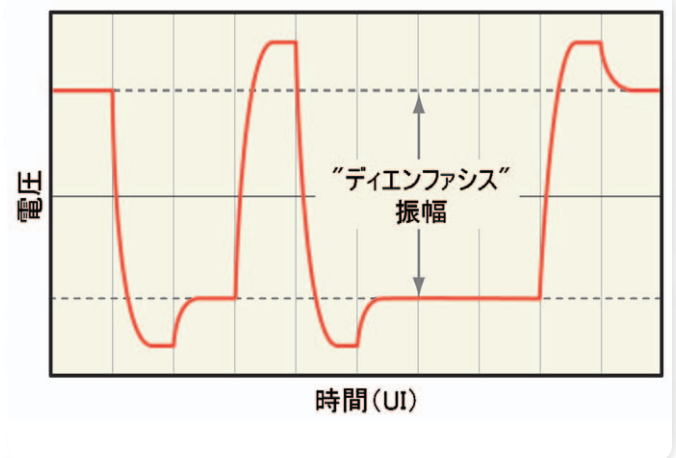
AWGによるソリューションでは、一連のアプリケーション例にあるように、必要なスキューを信号にエンベッドする（埋め込む）ことができます。しかし、広帯域レンジのAWGの場合、最大4チャンネルのデジタル・マーカを備えているものもありますが、メインの出力チャンネル数は1つまたは2つというのが一般的です。

### レシーバのディエンファシス信号生成とテスト

多くの高速シリアルライザ/デシリアルライザ（SERDES）アプリケーションでは、ディエンファシスが必要です。これらの特性は、レシーバのテストで重要な役割を果た



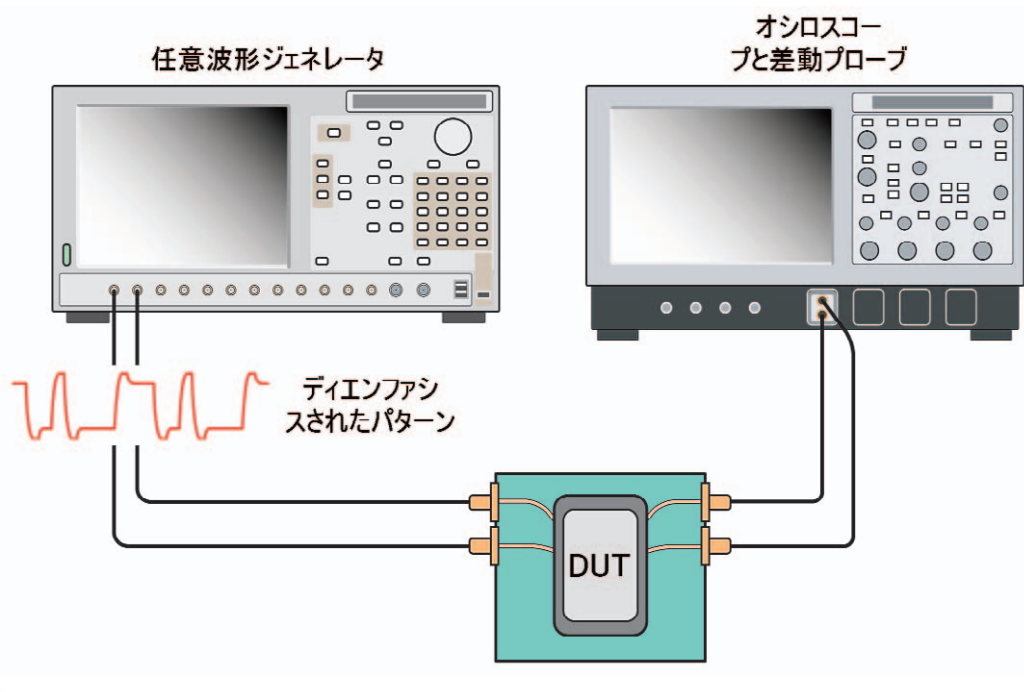
▶ 図12. アウトオブバンドの測定結果



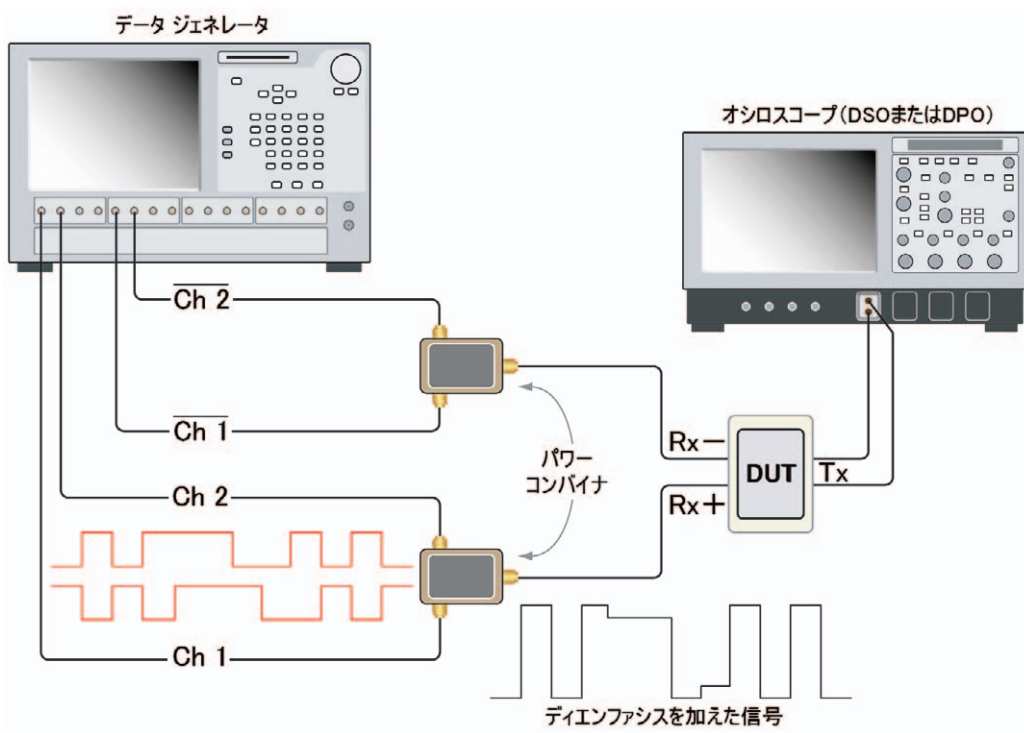
▶ 図13. シリアル信号に適用されたディエンファシス。一連のビットの後に極性が逆のビットが続く場合、極性が逆の最初のビットはそれ以降のディエンファシスされたビットよりも振幅が大きくなります。この例では、ディエンファシスの量は-3.5dBです。

します。図13は、その概念を簡略化して示したものであり、差動オシロスコープ・プローブを使って取り込んだ1つの波形です。この波形は2つのロジック電圧を持ち、1つの極性（ステート）を持つビット列が続いた後の極性が反転した直後のビットは少し高い電圧になっています。現実のレシーバの状態を再現するには、ディエンファシスをエミュレートできるAWGまたはデータ・タイミング・ジェネレータをスティミュラス・ソースとして使用する必要があります。

設計者のためのシリアル・トランスミッタ/レシーバ測定ガイド  
▶ 入門書



▶ 図14. AWGをベースとしたディエンファシス・テストのセットアップ。ディエンファシスは、データ信号に不可欠だけでなく、実際のシリアル・システムでも欠かすことができません。



▶ 図15. デジタル・データ・ジェネレータを使用したディエンファシス効果の生成。外部のパワー・コンバイナで2つの出力チャンネルを結合することでディエンファシスを生成します。

## AWGによるディエンファシス手法

ダイレクト・シンセシスによるディエンファシスは簡単です。AWGでは、MATLABなどのアプリケーションで作成したサンプル波形、またはオシロスコープからダウンロードしたサンプル波形を使用し、出力信号、ディエンファシスあるいはすべての信号を、図14に示すようにDUTに直接出力することができます。AWGは最大64Mワードのメモリを装備でき、ディエンファシスや歪を再現するのに十分な時間スパンと分解能でパターンを出力できます。DUTの出力では、ループバック回路からの差動信号をオシロスコープで観測します。

データ・ジェネレータでディエンファシス信号を作成する場合、テストには図15に示すようにデータ・ジェネレータからのコンプリメンタリ出力が必要で、パワー・コンバイナを駆動します。安定した既存のパターンがある場合は、これを2チャンネルのデータ・タイミング・ジェネレータにロードします。

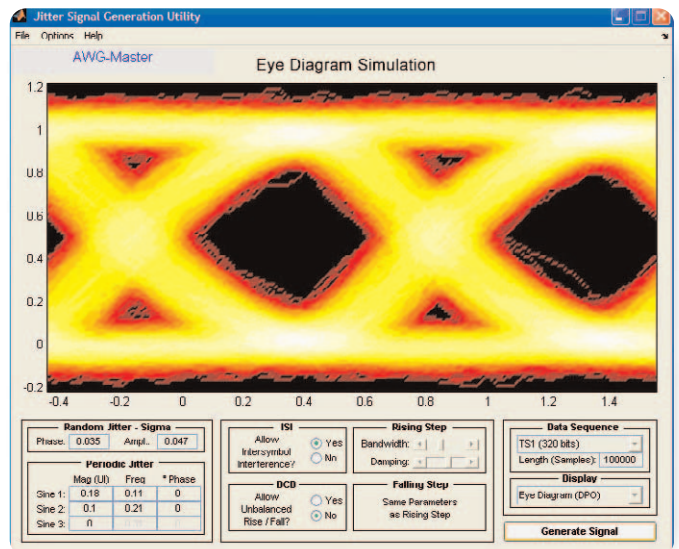
既存のディエンファシス・パターンがない場合は、目的のパターンをCh1にロードし、そのパターンをCh2にコピーします。次に、Ch2の信号を反転して1 UI遅らせることで簡単にデータを生成することができます。

データ・ジェネレータのCh1、Ch2出力とコンプリメンタリ出力を、図15のようにパワー・コンバイナに接続します。結果は、調整可能なディエンファシス振幅レベルを持った差動パターンになります。この信号レベルは、パワー・コンバイナで発生するロス（通常50%）を相殺し、ストレス・テスト中のディエンファシスの量を変更できるように設定する必要があります。

## Rxのジッタ・トレランス測定

シリアル・デバイスの設計エンジニアにとって、信号ジッタはコンプライアンス・テストにおける非常に困難な問題になっています。ジッタ問題を防ぐ最良の方法は、振幅や周波数をパラメータとし、制御可能な特性を持ったジッタを加えた信号でシリアル・デバイスをあらかじめストレス・テストすることです。規格に準拠した特性を持つジッタを含んだ信号を使用してストレス・テストを行い、問題なく動作することを確認すれば、エンドユーザーに満足してもらえる相互運用が可能な製品として保証されます。

レシーバのジッタ・トレランスは、ジッタが存在していてもデータを完全に再生できる能力と定義されます。仕様を満たすことで、一定量のジッタが存在しても、レシーバはクロックを再生できることが保証されます。



▶ 図16. AWGによるダイレクト・シンセシス信号出力のためにロードされる、MATLABベースのランタイム・アプリケーションで生成したジッタ波形。

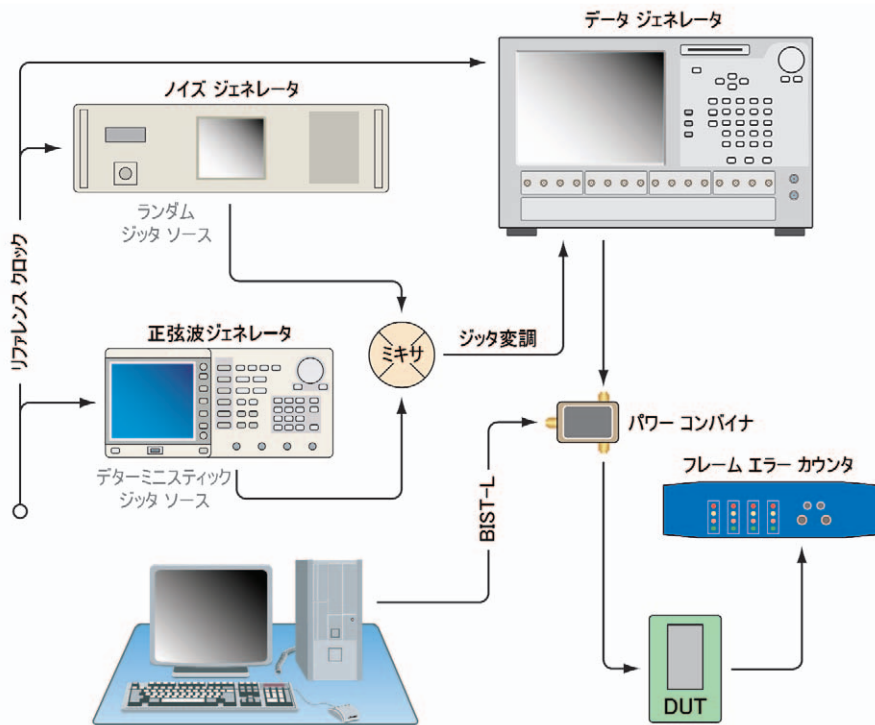
PCI Expressなどのアプリケーションでは、厳格なジッタ・テストが特に重要です。このアプリケーションでは、クロックは8B/10Bでエンコーディングされたデータ・ストリームに埋め込まれます。特定の振幅と周波数の変調特性を持つジッタを供給できる信号源が絶対条件になります。

## AWGのジッタ信号生成を簡単にするソフトウェア・ツール

優れたダイレクト・シンセシス機能を持ったAWGは、どのような形状のジッタでもテスト信号に組込むことができます。ランダム・ジッタ、データミニスティック・ジッタのどちらの要素でもモデリングすることができます。ソフトウェア・ツールにより、量的、質的なジッタの効果を変化させることができるAWGの機能は、このテストでは非常に有効であり、使いやすいものです。

MathWorks社のMATLABソフトウェア・パッケージで実行するカスタム・ランタイム・アプリケーションで作成したシミュレーション波形を、図16に示します。特別なランタイム・ツールにより、ランダム・ノイズ、データミニスティック・ジッタ成分などの伝送ラインで発生する要素をデータ・パターンに演算により付加することができます。大規模なMATLABプラットフォームを使用すれば、シリアル・テストで必要となるディエンファシス、SSC、その他の効果を付加するツールを開発することができます。この波形開発ツールは、AWGの持つ本来の性能、機能、柔軟性を引き出すことができます。

## 設計者のためのシリアル・トランスミッタ/レシーバ測定ガイド ▶ 入門書



▶ 図17. メイン・シグナル・ソースにデジタル・データ・ジェネレータを使用した、PCI Expressのジッタ・テスト・システム

Microsoft Windows®オペレーティング・システムのPCで実行するいくつかの新しいAWGツールにより、計測器に搭載されたMATLAB、その他の強力な業界標準のソフトウェア・アプリケーションを実行することができます。AWGが持つPCプラットフォーム環境により波形ライブラリの維持、管理が容易になり、ネットワークに接続されたサーバにアクセスして波形の利用、保存、管理を簡単に行うことができます。

### データ・ジェネレータと変調ソースを使用したジッタ生成

DTG5000シリーズ・データ・ジェネレータは、ジッタ・ジェネレータとノイズ・ジェネレータを内蔵しています。内蔵のジッタ・ジェネレータは正弦波、方形波、三角波、ノイズなど、さまざまな変調プロファイルを使用でき、1.56MHzまでの立上りエッジや立下りエッジ、またはその両方にジッタを適用するように設定できます。加えて、外部の変調ソースを使用することで、DTG5000シリーズ・データ・ジェネレータはより広範囲のジッタを含んだ波形データを出力することができます。特別な出力モジュールにより、特定の条件において最高400MHzまでのジッタ成分を持った信号を出力できます。

ファンクション・ジェネレータなどの外部ジェネレータを用いて、ジッタまたはノイズの変調プロファイルを制

御するために使用されます。BISTを行う際は、この目的のために設計されたアプリケーションを実行する専用PCで作業する必要があります。PCは、パワー・コンバイナ経由でDUTにBISTコマンドを発行します。パワー・コンバイナのもう1つの入力は、テスト・データ・ストリームを供給するデータ・ジェネレータに接続します。パワー・コンバイナを接続したデータ・ジェネレータは、ループバック・モードが有効になるとただちにDUTにテスト・データの供給を開始します。

テスト・システムのレイアウトを図17に示します。このレイアウトをアレンジすることで、完全なジッタ・トレランス・テストを実行することができます。ジッタのあるPCI ExpressのアイをTDSRT-Eye<sup>\*5</sup>で測定した結果を図18に示します。

### トランシーバPLL要素のためのジッタ・トレランス・テスト方法

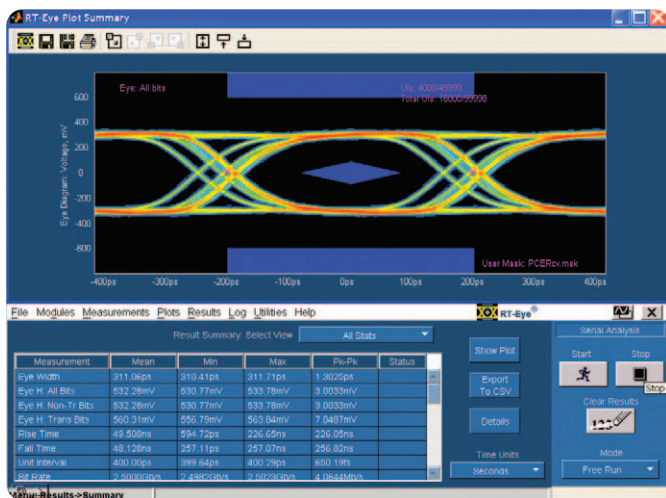
PLL回路をSERDESデバイスの一部として設計し、テストする際には、複数の周波数でジッタ・トレランスを検証するのが実践的です。この検証作業は、次の3つのステップに分けられます。

- DUTをループバック・モードに設定し、クロックまたはデータをシリアル・データ入力ポートに入力し、ジッタ測定ツールでシリアル出力ポートを測定しま

<sup>\*5</sup> TDSRT-Eyeは、アイ・ダイアグラムを含むシリアル・コンプライアンス・テスト/解析ソフトウェア・パッケージです。TDSJIT3 v2.0は、ジッタ/タイミング解析ソフトウェア・パッケージです。どちらもTDSシリーズ・オシロスコープにインストールできます。

| 規格    | データレート | 範囲    | 条件                                  | ジッタ(UI) | ジッタ周波数  | ジッタ振幅 (ps-pp) |
|-------|--------|-------|-------------------------------------|---------|---------|---------------|
| SATA1 | 1.5    | Gen1i | コネクタでのTJ、<br>データデータ、5UI             | 0.43    | —       | 287           |
|       |        | Gen1i | コネクタでのDJ、<br>データデータ、5UI             | 0.25    | —       | 167           |
|       |        | Gen1i | コネクタでのTJ、<br>データデータ、250UI           | 0.6     | —       | 400           |
|       |        | Gen1i | コネクタでのDJ、<br>データデータ、250UI           | 0.35    | —       | 233           |
|       |        | Gen1x | CIC後のTJ、<br>クローカーデータ、<br>fBAUD/1667 | 0.65    | 894MHz  | 433           |
|       |        | Gen1x | CIC後のDJ、<br>クローカーデータ、<br>fBAUD/1667 | 0.35    | 894MHz  | 233           |
|       |        | Gen2i | コネクタでのTJ、<br>データデータ、<br>fBAUD/10    | 0.46    | 300MHz  | 153           |
|       |        | Gen2i | コネクタでのDJ、<br>データデータ、<br>fBAUD/10    | 0.35    | 300MHz  | 117           |
| SATA2 | 3      | Gen2i | コネクタでのTJ、<br>データデータ、<br>fBAUD/500   | 0.6     | 6MHz    | 200           |
|       |        | Gen2i | コネクタでのDJ、<br>データデータ、<br>fBAUD/500   | 0.42    | 6MHz    | 140           |
|       |        | Gen2x | CIC後のTJ、<br>クローカーデータ、<br>fBAUD/1667 | 0.65    | 1.80MHz | 217           |
|       |        | Gen2x | CIC後のDJ、<br>クローカーデータ、<br>fBAUD/1667 | 0.35    | 1.80MHz | 117           |

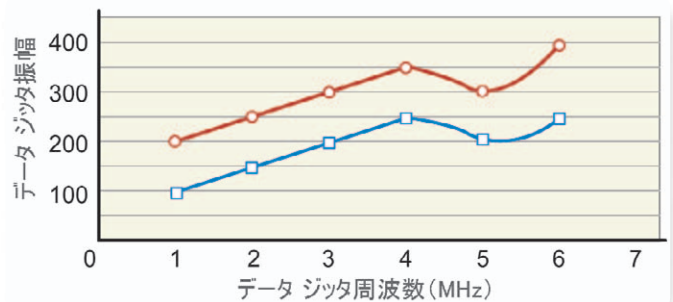
▶ 表2. SATA Gen I, IIおよびPCI Expressのコンプライアンスによるジッタ耐性仕様



▶ 図18. TDSRT-Eyeのダイアグラムによる、PCI Expressのジッタ測定結果

す。この測定には、DPO/DSAシリーズ・オシロスコープ用のTDSJIT3 v2.0ジッタ/タイミング解析ソフトウェア・パッケージが最適です。調べたい範囲内でジッタ周波数を調整し、ジッタの量を入出力間で比較します。

- 結果をプロットします。代表的なジッタ・トレランスのプロットを図19に示します。



▶ 図19. ジッタ・トレランスのグラフ

TDSJIT3 v2.0を使用すると、デバイスを通じてジッタ伝達関数の振幅特性を直接測定することが可能になります。この測定を行うには、デバイスの入力と出力を同時にプロービングし、両方のポイントで同様の測定（データ時間長の測定）をセットアップした後、それぞれのポイントでジッタを取り込み、解析します。

表2は、Serial ATA、Serial ATA Gen II、PCI-Express という今日の代表的な3つの規格のジッタ・トレランス要件を示したものです。

### 規格固有のテスト

特定の規格にのみ適用されるテストもあり、これらのテストについても知っておくと便利です。

### Ethernetのリターン・ロス測定

Ethernetのテストでは、リターン・ロス測定がきわめて重要な課題となります。この測定は、コンプライアンス・テスト・プロシージャの必須項目です。リターン・ロスの測定で、伝送システムの特徴を確認できます。

リターン・ロスは、負荷と、その負荷を駆動する伝送システムの特徴インピーダンスのミスマッチの度合いを示すもので、次の式2で表されます。

$$\text{ReturnLoss} = \left( \left| 20 \log \frac{V_r}{V_i} \right| \right)$$

式2: リターン・ロス

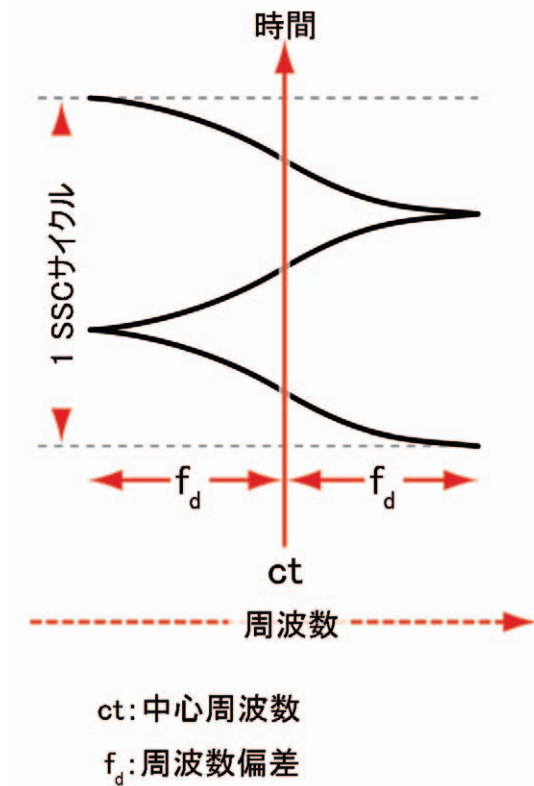
$V_i$ は伝送チャンネルの選択したポイントにおける入射電圧、 $V_r$ は同じポイントにおける反射電圧です。

たとえば、負荷が短絡である場合は、100%の電圧が反射し、リターン・ロスはゼロとなります。負荷がオープン回路の場合も同じです。負荷が正確に特性インピーダンスと等しい場合は、反射電圧はゼロで、リターン・ロスはマイナスの無限大になります。

リターン・ロスの測定では、AWGにプリセットされた波形により、テスト対象のデバイスのリターン・ロスをシミュレートします。規格では、反射信号の最小減衰量は入射信号に対する相対値として規定されています。当社のTDSET3イーサネット・コンプライアンス・テスト・ソフトウェアをインストールした当社オシロスコープでは、これらの測定を自動的に実行できます。この構成では、従来この作業を行うために使用していた高価なネットワーク・アナライザは必要ありません。

### スペクトル拡散クロック (SSC) のテスト

スペクトル拡散クロックは、高速システムのクロック・ソースから放出されるEMIを最小限に抑える有効な手段です。SSCが多くの規格で採用されるようになったため、SSCもコンプライアンス・テストの対象となっています。実際、クロックは、クロック周波数が常に変化する



▶ 図20. SSC信号の特性

ように変調されます。変調周波数レンジは、通常数10kHzの範囲です。SSCの概念を図20に示します。

規格に適合したSSC信号の生成は難しい場合もありますが、MATLABなどの拡張ツールを装備したAWG7000シリーズ任意波形ジェネレータは問題なく生成することができます。

重要なのは、現実のシリアル・システムのように、オリジナル・データにSSCを埋め込むことができるということです。AWGの出力、SSCクロック変調を含んだデータ・ストリームは、外部の信号変調の必要なしにDUTに直接入力することができます。セットアップを図14に示します。

### Txの測定

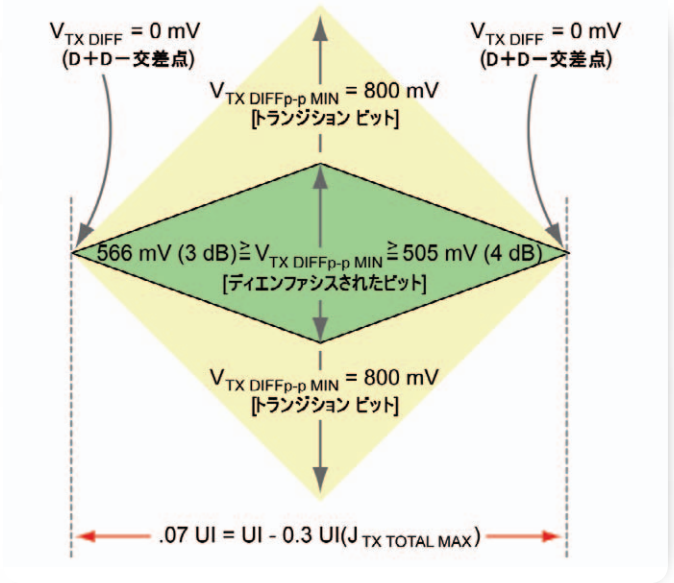
トランスミッタの測定では、適正な帯域幅と機能を備えたオシロスコープで取り込んだアイ・ダイアグラムが大きな役割を果たします（「シリアル測定のためのアキュジションおよび解析システム」の項を参照）。振幅、ジッタ、タイミングの測定結果は、いくつかの「アイ」を表示するだけで確認できます。

### アイ・ダイアグラムの要件

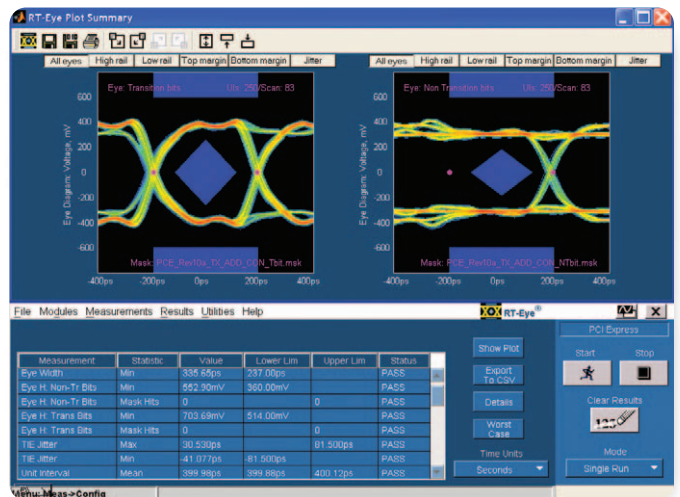
PCI ExpressのBase Specificationが定める波形マスクは3つあり、そのうちの2つはトランスミッタ用、1つはレシーバ用です。また、PCI ExpressのCard Electromechanical Specificationは、システムやアドイン・カードのために追加テスト・ポイント（PCI Expressコネクタでテスト）を定めています。トランスミッタ用のアイは、2つの異なる振幅を規定しています。PCI Expressにおいて、ディエンファシスは、FR4を通じて伝送する際にシンボル間干渉（ISI）を最小限に抑えた最良のアイ開口を実現するために使用されます。トランスミッタにおけるディエンファシスの仕様は、3.5dBです。図21は、得られた波形マスクを示したものです。

DSA/DPO72004型、DSA/DPO71604型、DSA/DPO71254型オシロスコープでは、すべてのチャンネルにおいて50GS/sのサンプル・レートで波形を取り込むことができます。これは、実際の波形サンプル・ポイントを20ps/ptで取り込むことを意味します。取り込んだデータは、TDSRT-Eye（リアルタイム・アイ）のレンダリング技術を利用して処理できます。図22は、TDSRT-Eyeによる一般的な処理結果の画面を示したものです。

PCI Express Base Specificationのバージョン1.0aのセクション4.3で述べられているように、アイ・ダイアグラムのマスク・テストは、連続した3500のビットの最小二乗法（least squares）や偏差値最小化法（minimized deviation）からクロックをリカバリして実行する必要があります。3500ビットのクロック・リカバリ・ウィンドウ内には250ビットの解析ウィンドウが定義されており、マスク・テストや測定はこの解析ウィンドウで行われます。波形データからクロックがリカバリされたら、トランジション・ビットと非トランジション・ビットを分離し、図22に示したマスク・テストを実行できます。



▶ 図21. トランスミッタのタイミングおよび電圧の最低限のコンプライアンス仕様を定義する伝送波形マスク  
(出典：PCI ExpressのBase Specification、Rev. 1.0a)

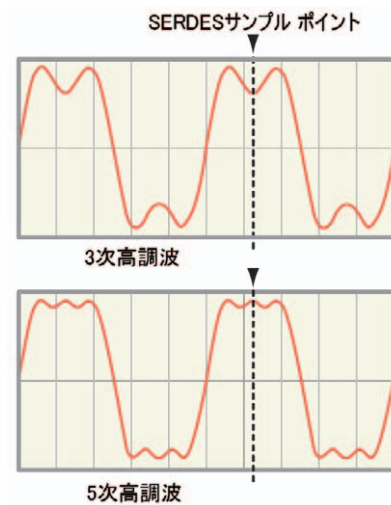


▶ 図22. RT-Eyeソフトウェアを使用したPCI Expressコンプライアンス・テスト

## 設計者のためのシリアル・トランスミッタ/レシーバ測定ガイド ▶ 入門書

TDSRT-Eyeのレンダリング技術には、従来の等価時間(ET)法と比較して3つの大きなメリットがあります。ETベースの測定は、ハードウェアによるクロック・リカバリを使用し、一連のアクイジションを通じて波形を構築します。個々のアクイジションは、1つのトリガ・イベントの結果です。この一連のサンプルには、時間の経過にともなってジッタが蓄積されます。一方、TDSRT-Eyeの方式では、必要なすべての波形データを1つのトリガ・イベント、1回のアクイジションで取り込みます。したがって、ジッタ・ノイズ・フロア(JNF)がきわめて小さく、DSA/DPO71604型オシロスコープを使用した場合は450fs rms未満です。

第二のメリットは、TDSRT-Eyeは、ソフトウェアDSP(デジタル信号処理)を使用して波形データから埋め込まれたクロックをリカバリできる点です。このため、さまざまなクロック・リカバリ・モデルの使用が可能になります。PCI Expressの場合は、解析に2つのクロック・リカバリ技術が使用されます。クロックは、連続した3500のビットの偏差最小化法から再生されます。次に、250ビット・ウィンドウで、クロックのメディアンを基準にしてアイ・ダイアグラムのエッジ位置が決定されます。これは1つの例にすぎません。



▶ 図23. 5次の高調波を取り込めるだけの帯域を持ったオシロスコープは、SERDESのサンプル・ポイントにおける実際の信号の挙動を正確に表示することができ、アイ・ダイアグラムやその他のテストにも影響します。

TDSRT-Eyeソフトウェアは、Base SpecificationのRev. 1.1とGen2で必要とされる標準およびカスタムのPLLクロック・リカバリ方法もサポートしています。

### シリアル測定のためのアクイジションおよび解析システム

トランスミッタのテストには、オシロスコープを使用するのが一般的です。レシーバのテストで使用されるシグナル・ソースの場合と同様、Tx測定用のオシロスコープを選択する際にも考慮すべきいくつかの重要なことがあります。それは、帯域幅、サンプル・レート、プロービング能力、クロック・リカバリ機能、自動化などです。各々の性能をバランスよく備えた当社のオシロスコープは、強力なソリューションとなります。

### 正しいオシロスコープの選択

コンプライアンス・テストのための測定ソリューションの選択に際しては、オシロスコープ・システムの帯域幅と立上り時間の性能に特に注意する必要があります。オシロスコープの帯域幅は、DUTの最大周波数の3~5倍であることが求められます。たとえば、PCI Express Gen 2の仕様では、トランスミッタ測定で12.5GHz(最も高い基本周波数の5倍)が必要になります。

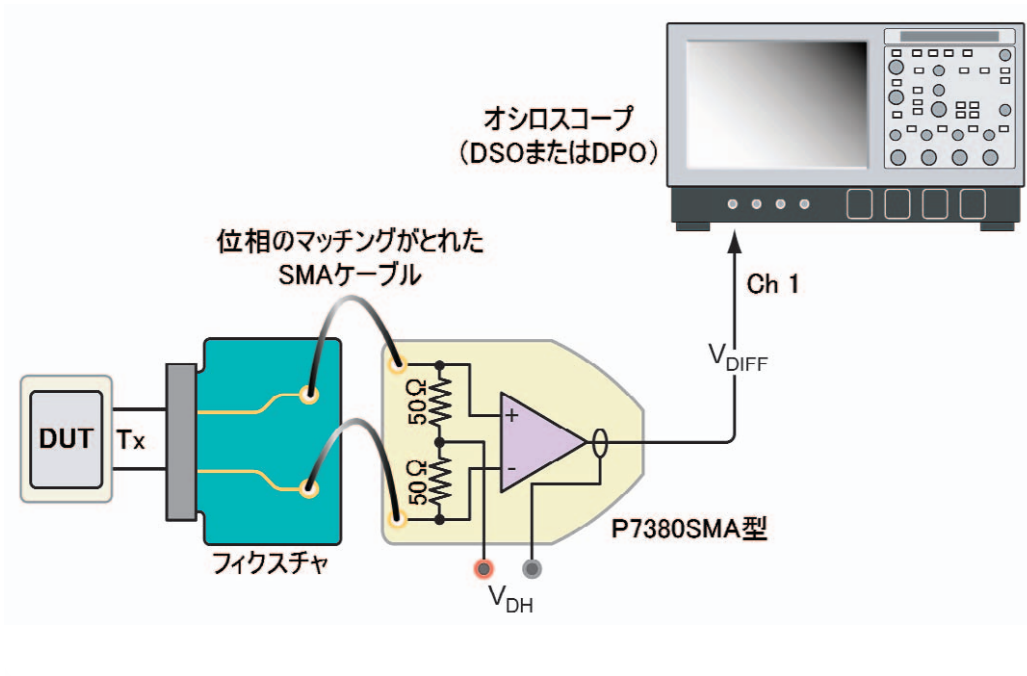
図23は、3次の高調波帯域に対応する帯域を装備したオシロスコープと、5次の高調波を取り込めるオシロスコープを使用した場合の影響を比べたものです。帯域の狭い機器では、1010…のパターンは1V差動信号、ユ

ニット・インターバル期間の50%ポイントにおいて1dB(100mV)減衰します。これは、まさにSERDESがビットをサンプルするポイントになります。完全な5次高調波帯域を取り込めるオシロスコープを使うことが望ましいのは当然で、オシロスコープはSERDESが直面する高調波の影響を正確に反映した波形を取り込みます。

ほとんどのシリアル・バス仕様は、立上り時間を「20%~80%」と定めています。これは、信号が全振幅の20%から80%まで変化するのに要する時間という意味です。全振幅が1V(1000mV)であれば、信号が200mVから800mVまで変化するのに要する時間ということになります。

オシロスコープの立上り時間の仕様が、10~90%または20~80%のどちらの値を用いているかを理解しておくことが重要です。どちらの場合も有効ですが、立上り時間が速いことを示すため、20~80%の値を採用している場合があります。しかし、10~90%の立上り時間が100psの機器は、実際には20~80%の立上り時間が70psの機器と性能は同じです。変換係数(乗数)は1.4です。





▶ 図24. P7380SMA型プローブは、オシロスコープの1つのチャンネルを使って差動信号を取り込みます。

第三のメリットは、波形データがアキュイジション・メモリに存在するため、データを解析してどのビットがトランジション・ビットでどのビットが非トランジション・ビットであることを特定できる点です。これらのビットは分離してそれぞれのマスクと比較できます。TDSRT-Eyeソフトウェアは、波形をマスクと比較し、マスクとの不一致をエラー・ビットとして報告します。

アイ・ダイアグラムを使用すると、さまざまな独自のテストが可能になります。振幅、ジッタ、タイミングといったテストでは、アイ・ダイアグラムを使用して測定を行うことができます。

#### トランスミッタの測定におけるプロービングの問題

PCI Express向けに定義されたテスト手順は、トランスミッタとレシーバのリンクが100Ωの差動負荷（それぞれの側で50Ω）で終端されることを前提としています。トランスミッタのSERDESのドライバがトレーニング・シーケンスを送出し、応答を受け取らなかった場合は、デバイスは1つのテスト装置にデータを送信しているものと判断し、コンプライアンス・テスト・パターンの反復送信を開始します。このアーキテクチャの下では、ドライバ（あるいはトランスミッタ）のテストに3つの異なるプロービング手法が推奨されます。

第一のオプションは、高性能オシロスコープで2つのTekConnect TCA-SMA型アダプタ（Ch1、Ch3に1つずつ）を使用する方法です。差動信号は演算波形（Ch1-Ch3）によって定義されます。この方法は、疑似差動と呼ばれます。この方法の優れている点は、オシロスコープの帯域幅全体を利用できる点です。欠点は、正確なタイミング測定を行うためには、測定をセットアップするたびに2つのチャンネルのデスクューを実行する必要があることです。

第二のオプションは、終端ブロックに「ダミー」の負荷を加え、P7380型またはP7313型差動アクティブ・プローブを使用する方法です。真の差動プローブであるため、チャンネルのデスクューは必要ありません。

第三のオプションは、P7380SMA型またはP7313SMA型プローブを使用する方法です。どちらのプローブも、真の差動入力を提供します。差動アクティブ・プローブ、SMA差動プローブのいずれも、オシロスコープのチャンネルを1つだけ使用し、チャンネルのデスクューは必要ありません。P7380SMA型を使用したブロック図を、図24に示します（スケール通りではありません）。SMAのプロービング・ソリューションでは、測定時のケーブルの信号ロスをなくすシステムも含まれています。

## 設計者のためのシリアル・トランスミッタ/レシーバ測定ガイド

### ▶ 入門書

#### 自動化

この入門書でこれまで説明してきたように、新しいシリアル・デバイスの品質や相互運用性を確保するには、多くのテストが必要です。これらのテストは、反復的かつ複雑で、長い時間がかかることもあるため、自動測定のためのアプリケーションが有効です。

当社は、シリアル規格を策定している業界団体と密接な協力関係を維持しています。新しい規格（およびそのテスト要件）が登場するたびに、それに合わせて計測器用の自動化アプリケーションを開発しています。ときには、これらの計測器やアプリケーション自体がコンプライアンス・テスト手順の推奨要素となる場合もあります。当社オシロスコープのOpenChoiceソフトウェア環境により、ユーザによる市販あるいは専用の解析ツール、および下記のようなアプリケーションに特化した当社ソフトウェアを利用することができます。

- TDSUSB2 USB2.0コンプライアンス・テスト・ソリューション
- TDSET3 Ethernetコンプライアンス・テスト・ソフトウェア
- TDSRT-Eyeシリアル・データ・コンプライアンス/解析ソフトウェア (PCI Express、Serial ATA、InfiniBand、FB-DIMM用のアプリケーション専用モジュールを用意)
- TDSJIT3 v2.0ジッタ/タイミング解析ソフトウェア
- TDSHT3 HDMIコンプライアンス・テスト・ソフトウェア
- TDS DVIコンプライアンス・テスト・ソフトウェア

これらのアプリケーションの多くで、オシロスコープはAWGやDTGなどの機器をコントロールすることができます。自動化パッケージは、それぞれで規定されているテストに必要な機器をセットアップします。これにより、作業によるエラーを低減し、テスト手順全体を迅速に実行することができます。

#### まとめ

PCI ExpressやSerial ATAといった業界標準のバスを使用したシリアル・データの伝送は、「未来への道」です。シリアル・デバイスには多くのメリットがありますが、デメリットもいくつかあります。データ・レートが初期のパラレル・アーキテクチャよりはるかに高速で、求められる要件はより厳しくなっています。すべての設計エンジニアは、シリアル測定の問題を理解し、そのソリューションを見つけ出す必要があります。

この入門書では、基本的なシリアル・シグナリング、SERDESアーキテクチャ、トランスミッタの要件、レシーバのテストに付随する問題について考察してきました。シリアル・トランスミッタのテストは、被測定デバイスが生成する信号を取り込んで解析することが主体となります。これには、周波数帯域、サンプリング・レート、プロービングといった基本性能に優れたオシロスコープと、解析能力に優れた自動化されたソフトウェアが必要になります。レシーバのテストでは、これに加え、任意波形ジェネレータやデータ・タイミング・ジェネレータなどの信号ソースが必要になります。生のデータに加え、ジッタやディエンファシスといった特性も提供できるようにこれらのソースを設定、あるいはプログラミングすることは、コンプライアンス・テストにおける設計エンジニアの重要な仕事です。

ダイレクト・シンセシスを採用した新世代AWGは、広帯域、高精度な性能により、要求の厳しい高速シリアル測定に対応します。実績のあるDTG5000シリーズ・データ・タイミング・ジェネレータと組合せることで、AWGは総体的なジッタ、ノイズ、シンボル間干渉、その他の影響を出力することができます。このような進化により、測定性能に妥協することなく、簡単で、使いやすいテスト構成を実現できます。

当社のオシロスコープをはじめとするアキュイジション・ツールは、セットアップ、解析、レポート作成の機能を備えた自動化テスト・パッケージを通じて、複雑な作業の簡素化に貢献します。



## Tektronixお問い合わせ先：

アメリカ 1 (800) 426-2200  
イタリア +39 (02) 25086 1  
インド (91) 80-22275577  
イギリスおよびアイルランド +44 (0) 1344 392400  
オーストリア +41 52 675 3777  
オランダ 090 02 021797  
カナダ 1 (800) 661-5625  
スイス +41 52 675 3777  
スウェーデン 020 08 80371  
スペイン (+34) 901 988 054  
大韓民国 82 (2) 528-5299  
台湾 886 (2) 2722-9622  
中央ヨーロッパおよびギリシャ +41 52 675 3777  
中華人民共和国 86 (10) 6235 1230  
中東アジア/北アフリカ +41 52 675 3777  
中東ヨーロッパ/ウクライナおよびバルト海諸国 +41 52 675 3777  
デンマーク +45 80 88 1401  
ドイツ +49 (221) 94 77 400  
東南アジア諸国/オーストラリア (65) 6356 3900  
南部諸国およびISE諸国 +41 52 675 3777  
日本 81 (3) 6714-3010  
ノルウェー 800 16098  
バルカン半島/イスラエル/アフリカ/フィンランド +41 52 675 3777  
ブラジルおよび南米 (11) 4066-9400  
フランス +33 (0) 1 69 86 81 81  
ベルギー 07 81 60166  
ポーランド +41 52 675 3777  
ポルトガル 80 08 12370  
香港 (852) 2585-6688  
南アフリカ +27 11 254 8360  
メキシコ、中米およびカリブ海諸国 52 (55) 5424700  
ルクセンブルグ +44 (0) 1344 392400  
ロシアおよびCIS諸国 +7 (495) 7484900  
その他の地域からのお問い合わせ 1 (503) 627-7111  
Updated 15 September 2006

### 詳細情報

当社は、最先端テクノロジーに携わるエンジニアのために、アプリケーション・ノート、テクニカル・ブリーフなどをご用意しています。  
当社ホームページ ([www.tektronix.co.jp](http://www.tektronix.co.jp)) または [www.tektronix.com](http://www.tektronix.com) をご参照ください。



Copyright Tektronix. All rights reserved. Tektronix製品は、米国およびその他の国の特許（出願中を含む）により保護されています。本文書は過去に公開されたすべての文書に優先します。仕様および価格は予告なしに変更することがあります。TEK、Tektronixは、Tektronix, Incの登録商標です。Microsoft、WindowsおよびWindows XPは、Microsoft Corporationの登録商標です。その他の商標、製品名称などは、各社の商標または登録商標です。

12/06 FLG/WOW

76Z-20290-0

**Tektronix**

Enabling Innovation

## 日本テクトロニクス株式会社

東京都港区港南 2-15-2 品川インターシティB 棟 6 階 〒108-6106  
製品についてのご質問・ご相談は、お客様コールセンターまでお問い合わせください。

**TEL 03-6714-3010 FAX 0120-046-011**

電話受付時間 / 9:00~12:00・13:00~18:00 月曜~金曜 (祝日は除く)

当社ホームページをご覧ください。 [www.tektronix.co.jp](http://www.tektronix.co.jp)  
お客様コールセンター [ccc.jp@tektronix.com](mailto:ccc.jp@tektronix.com)