

TDSET3 1000Base-T試驗手順書

TSC資料 V1.0

2005年3月30日作成

目次

1.	JigMatchの手順・・・ Disturberの調整	3 page
	JigMatchの手順・・・ Test Fixtureの補正	5 page
2.	Test信号について	7 page
3.	Template test の手順	9 page
4.	Peak Voltage test の手順	18 page
5.	Droop test の手順	21 page
6.	Jitter test の手順	24 page
	Jitter test の手順 - Jitter Master Unfiltered	25 page
	Jitter test の手順 - Jitter Master Filtered	28 page
	Jitter test の手順 - Jitter Slave Unfiltered	33 page
	Jitter test の手順 - Jitter Slave Filtered	36 page
7.	Distortion test の手順	41 page
8.	Common Mode (CM) Voltage test の手順	45 page
9.	Return Loss test の手順	49 page

1 JigMatchの手順・・・ Disturberの調整(1)

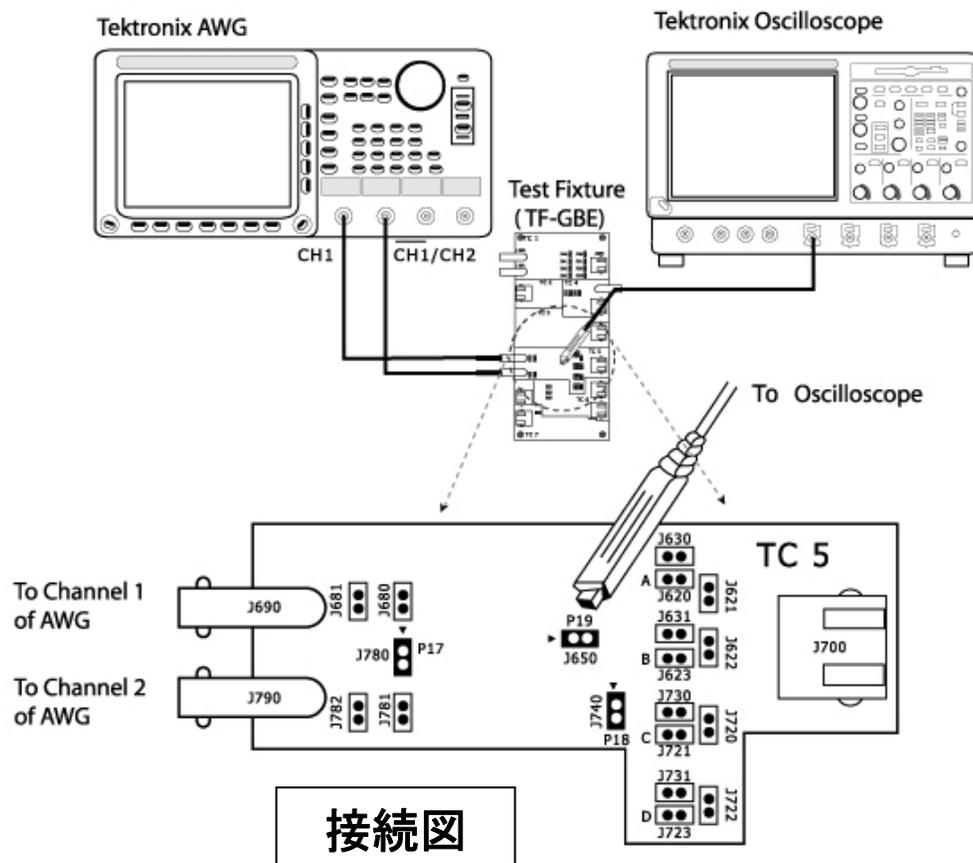
- ▶ DisturberとしてAWGを使用する試験ではあらかじめクロック周波数と出力電圧を調整する必要があります。この操作は必須です。

接続手順

- ▶ J700にはDUTを**接続しない**
- ▶ AWG+にはAWGのCH1、AWG-にはAWGのCH2又は/CH1を接続
- ▶ J621, J630, J620, J623, J721, J723, J680, J781をショート
- ▶ 差動プローブを**P19**に接続

Disturberが必要なTest

- Template test
- Peak Voltage test
- Droop test
- Distortion test



1 JigMatchの手順・・・Disturberの調整(2)

- ▶ TDSのドライブ、
C:\¥TekApplications¥TDSET3¥AWG Waveforms¥(信号別フォルダ)
¥(AWG機種別フォルダ)から使用するWFMファイルをAWGにCopy
- ▶ Disturbing SignalをAWGから出力
- ▶ **Template/Peak Voltage/Droop**と**Distortion**で使用するDisturbing波形は違うので要注意
- ▶ TDSET3にて各試験をSelectしConnectボタンを押すとJigMatchボタンが表示されます
- ▶ Measureボタンにて測定した値がExpected Valueに近づくようAWGのAmplitude、Clock Frequencyを調整
- ▶ Test Fixture Compensation終了後にApplyボタンを押します

The screenshot shows the JigMatch software interface. It is divided into two main sections: Disturber Compensation and Test Fixture Compensation. The Disturber Compensation section has a table with 'Expected Value' and 'Last Measured Value' columns. The Test Fixture Compensation section is divided into Step 1 and Step 2, each with a table and 'Measure' and 'Default' buttons. Callouts provide instructions on how to use the 'Measure' button and adjust the AWG output.

Disturber Compensation

	Expected Value	Last Measured Value
Amplitude	1.4V	
Frequency	31.25MHz	

Test Fixture Compensation

Step 1:

	Expected Value	Last Measured Value
DUT Amp	750mV	

Step 2:

	Expected Value	Last Measured Value
Probe Point Amp	500mV	
Attenuation	1.5	

Callouts:

- この値がExpected Valueに出来るだけ近づくようにします (This value should be as close to the Expected Value as possible)
- AWGの出力調整の都度押します (Press the Measure button every time you adjust the AWG output)

1 JigMatchの手順・・・ Test Fixtureの補正(1)

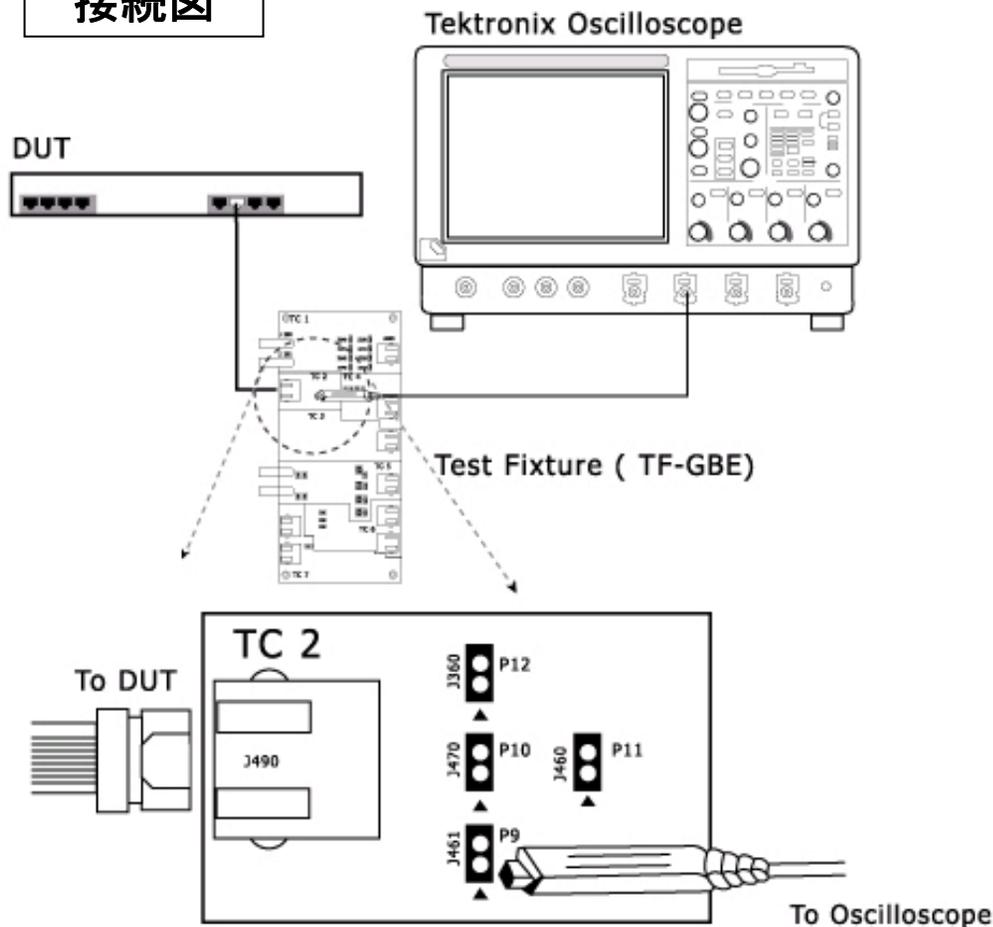
接続手順

- ▶ J490にDUTのTest portを接続
- ▶ 差動プローブをP9に接続
- ▶ DUTからのTest信号は
Template/Peak Voltage/Droopの
場合はTest mode 1, Distortionの
場合はTest mode 4 の信号を出力



- ▶ Measureボタンを押して測定

接続図

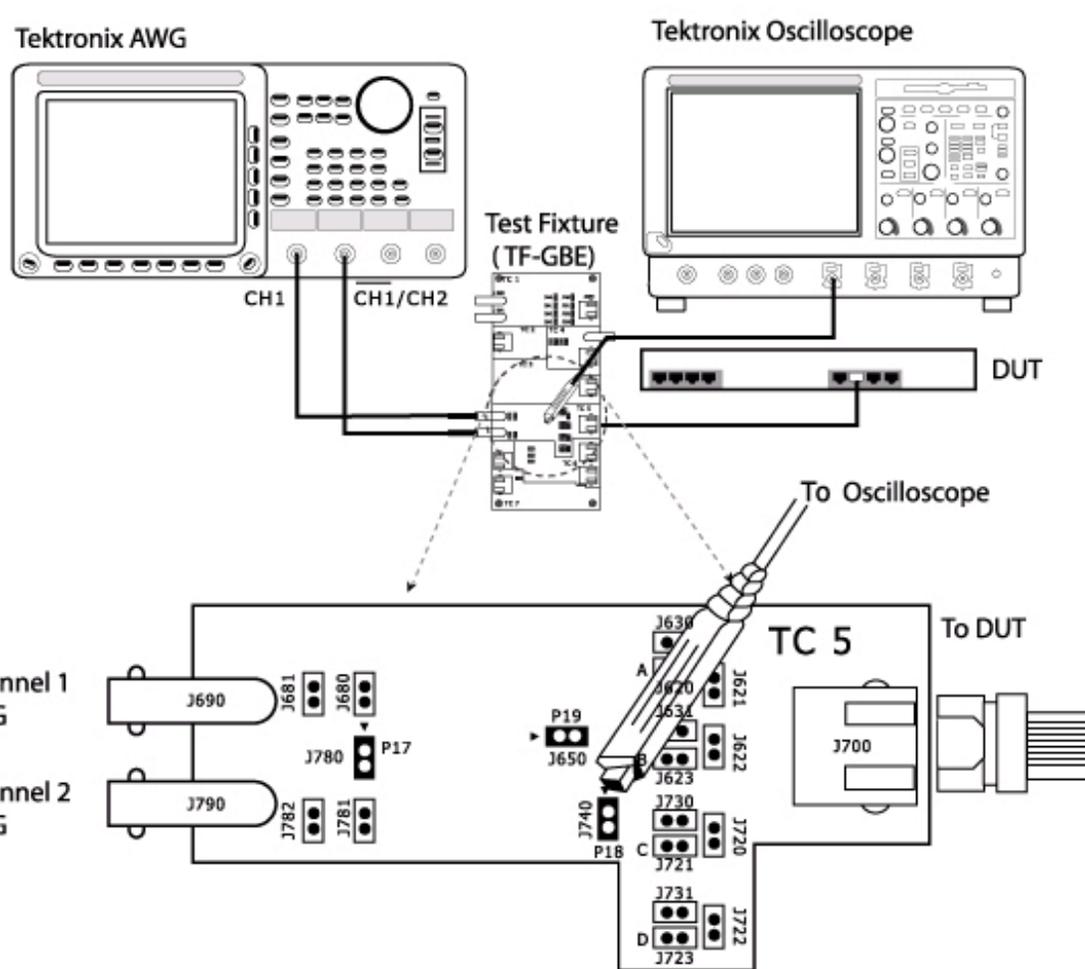


1 JigMatchの手順・・・ Test Fixtureの補正(2)

接続手順

- ▶ J700にDUTのTest portを接続
- ▶ AWG+にはAWGのCH1、AWG-にはAWGのCH2又は/CH1を接続
- ▶ AWGの出力はOFFしておく
- ▶ J621, J630, J623, J721, J723, J680, J781をショート
- ▶ 差動プローブをP18に接続

接続図



Step 2:
Connect DUT to test fixture TC5 Help

	Expected Value	Last Measured Value
Probe Point Amp	500mV	
Attenuation	1.5	

Measure

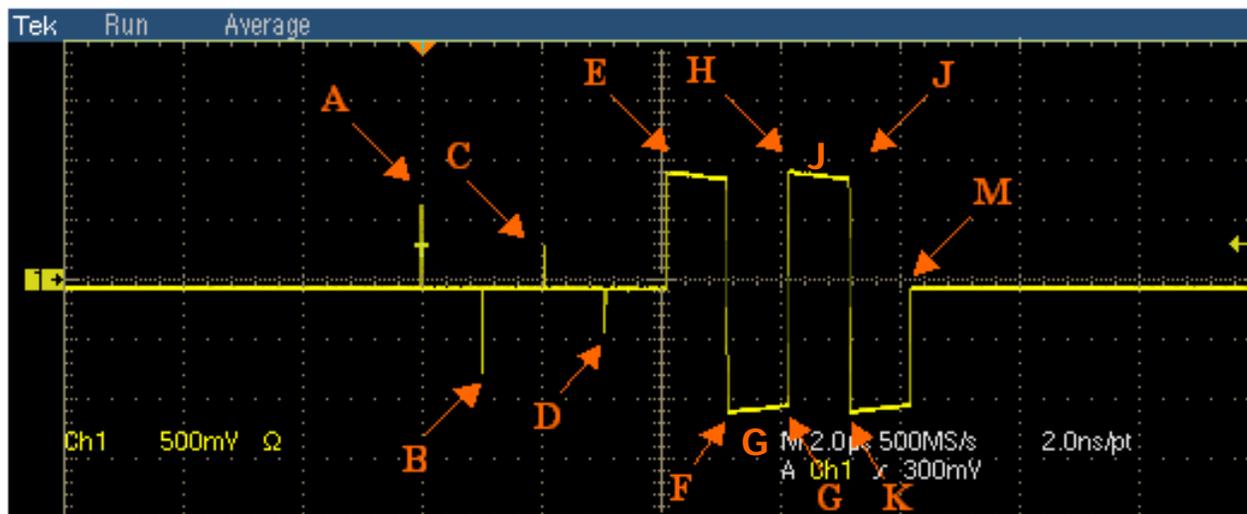
- ▶ Measureボタンを押して測定
- ▶ 終了したらApplyボタンを押す

To Channel 1
of AWG

To Channel 2
of AWG

2 Test信号について(1)

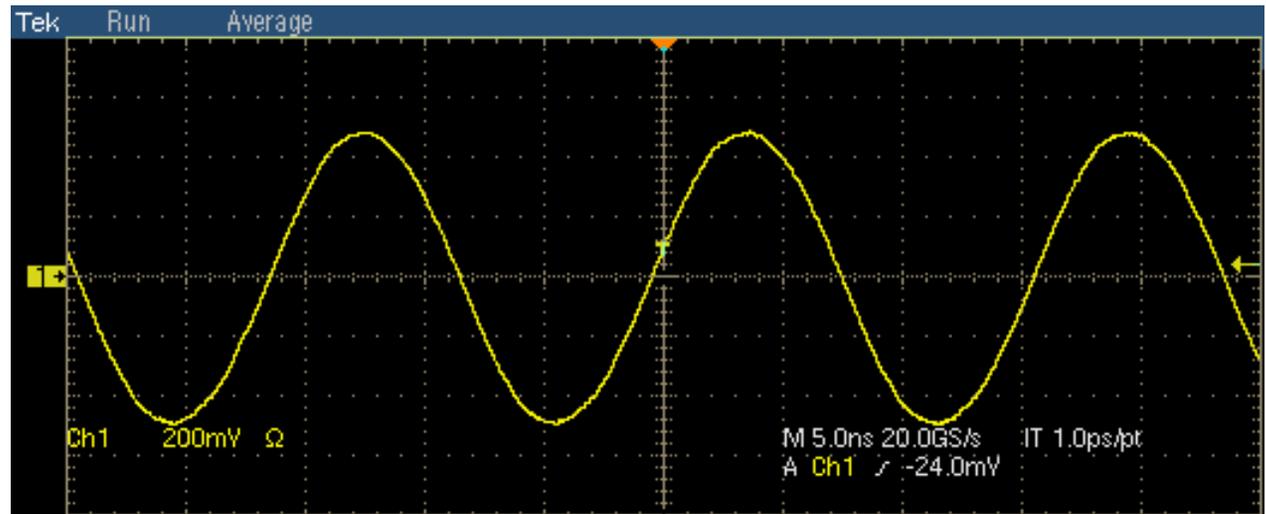
- ▶ Test mode 1の信号波形
- ▶ Template, Peak Voltage, Droop試験で使用
- ▶ 測定ポイントは下表の通り



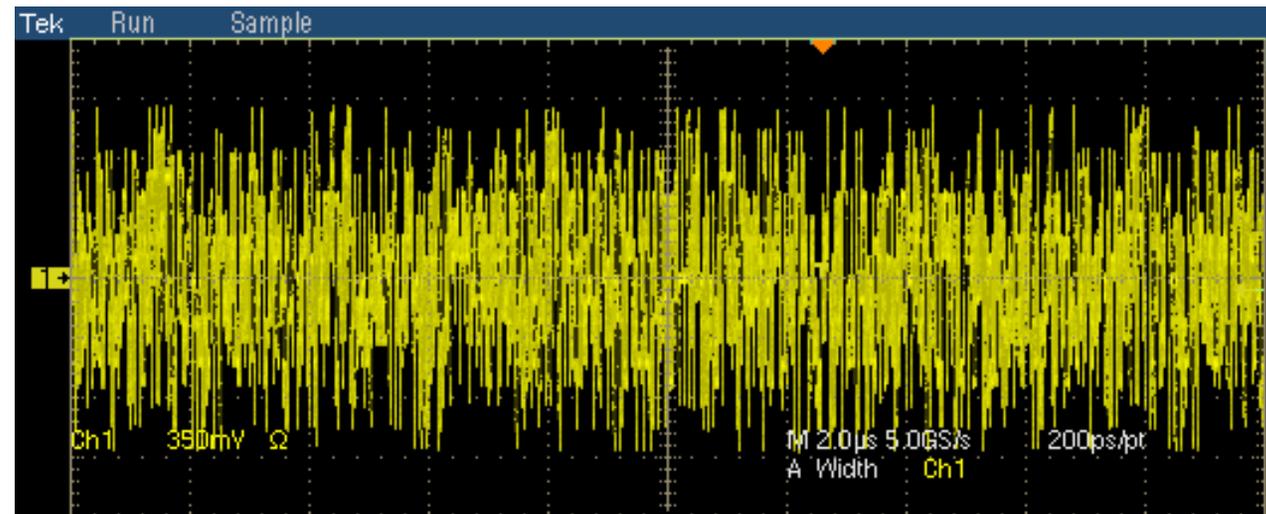
Test	Points
Template	A,B,C,D,F, and H
Droop	G and J (上図でF またはH から500ns後ろのポイント)
Peak Voltage	A,B,C, and D

2 Test信号について(2)

- ▶ Test mode 2 および Test mode 3の信号波形
- ▶ Jitter試験で使用
- ▶ 周波数は62.5MHz (TX_TCLKの半分の周波数)



- ▶ Test mode 4の信号波形
- ▶ Distortion, Return Loss, Common Mode Voltage試験で使用



3 Template test の手順(1)

Template testの試験内容

- ▶ Test mode 1の信号の6箇所(A, B, C, D, F, H)のTest pointの波形でテスト
- ▶ 電圧の正規化を行う
 - Test point Aに対してはPoint Aのピーク電圧で正規化
 - Test point Bに対してはPoint Aの(極性を負にした)ピーク電圧で正規化
 - Test point Cに対してはPoint Aのピーク電圧の半分で正規化
 - Test point Dに対してはPoint Aの(極性を負にした)ピーク電圧の半分で正規化
 - Test point F周辺に対してはPoint Fのピーク電圧で正規化
 - Test point H周辺に対してはPoint Hのピーク電圧で正規化
- ▶ マスク・テストではテンプレートにフィットさせるため、時間方向に移動可能
- ▶ Disturbing信号はリモート・トランスミッタをシミュレートするものでコンプライアンス・テストでは必須
- ▶ 4つのTest Pairでそれぞれ行う

3 Template test の手順(2)

Template testの接続方法

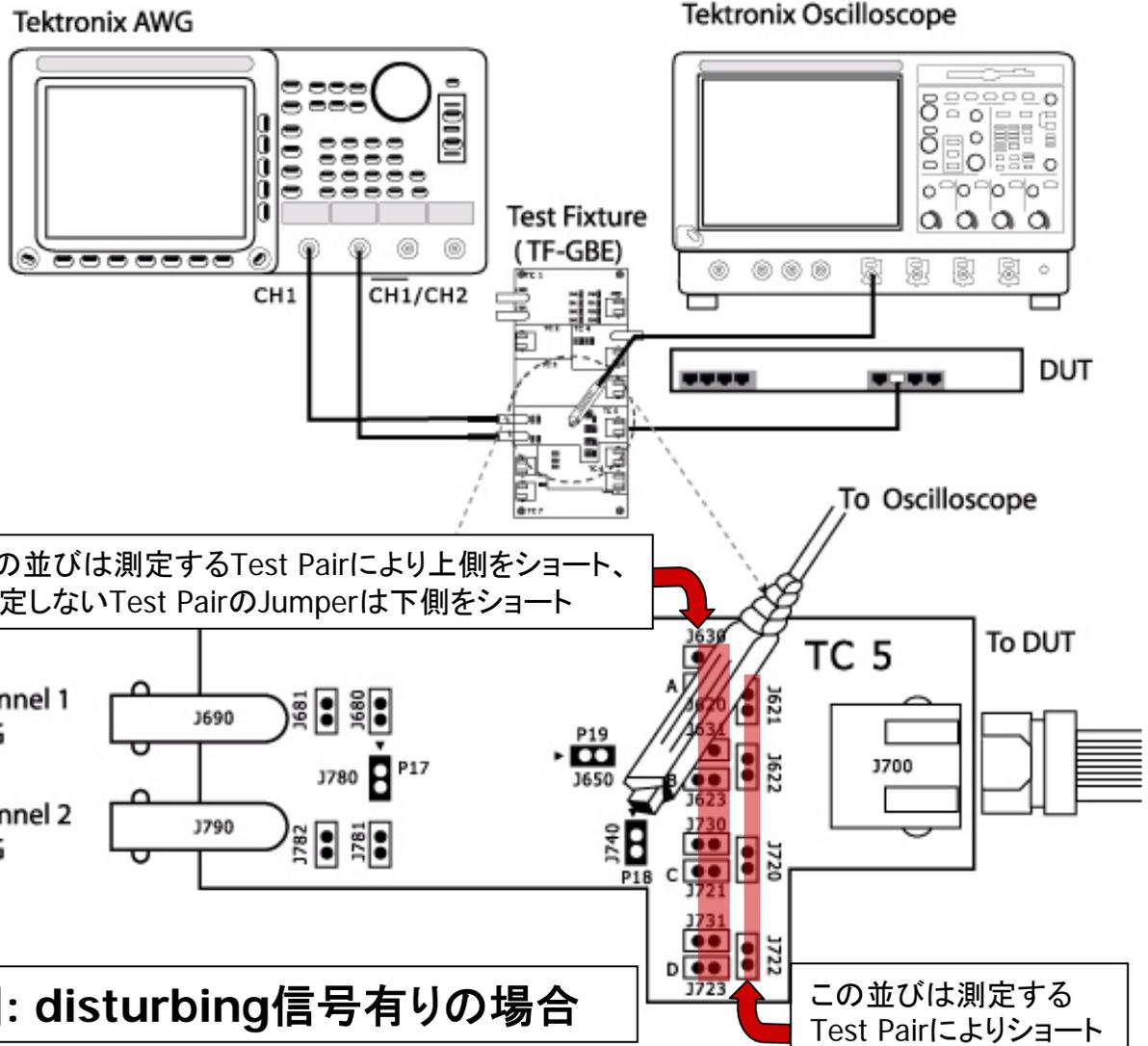
- ▶ J700にDUTのTest portを接続
- ▶ AWG+にはAWGのCH1、AWG-にはAWGのCH2又は/CH1を接続
- ▶ 差動プローブをP18に接続
- ▶ Jumperのショート: J680, J781 と以下のJumper

Test Pair A: J621, J630
J623, J721, J723

Test Pair B: J622, J631
J620, J721, J723

Test Pair C: J720, J730
J620, J623, J723

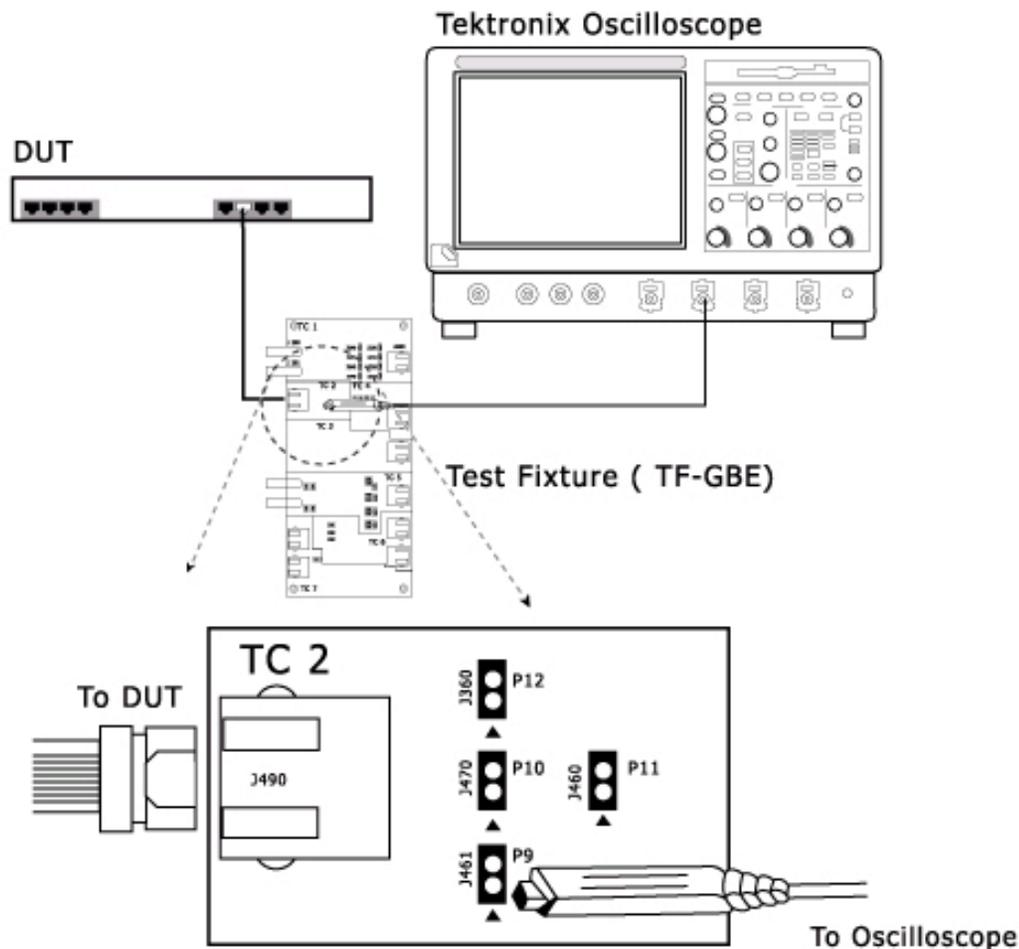
Test Pair D: J722, J731
J620, J623, J721



3 Template test の手順(3)

- ▶ J490にDUTのTest portを接続
- ▶ 差動プローブはTest Pairによって以下のように接続
 - Test Pair A: P9
 - Test Pair B: P10
 - Test Pair C: P11
 - Test Pair D: P12
- ▶ **Disturbing信号無しの試験は規格に準拠していません**
⇒ 初期の性能確認用

1000Base-Tは250Mbpsの**Wire Pair**を**4対**使用し、1000Mbpsを実現しています。それで**Test Pair**が**A, B, C, D**と**4対**あります。このA, B, C, Dと測定PointのA, B, C, ...と混同しないで下さい。

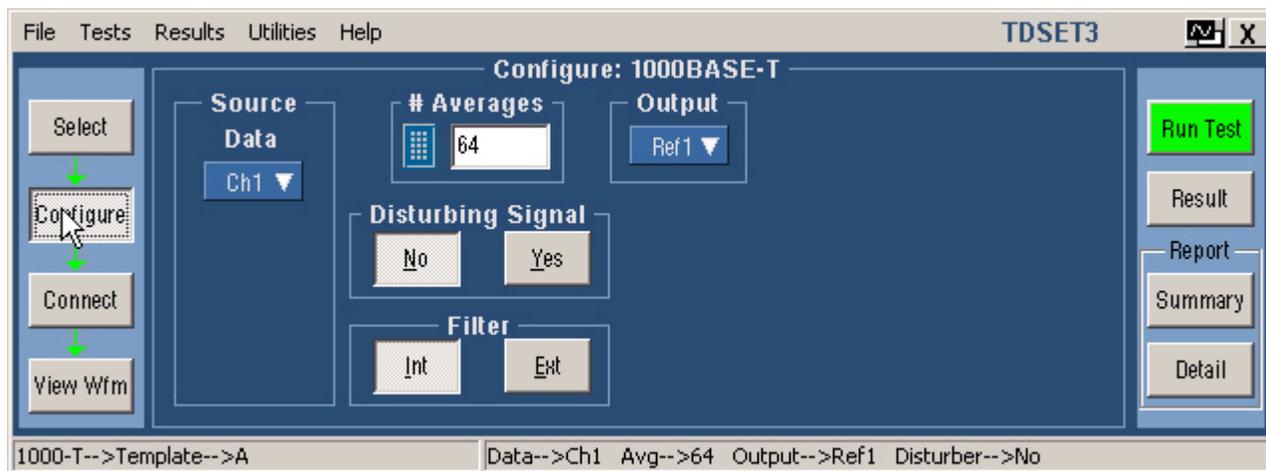
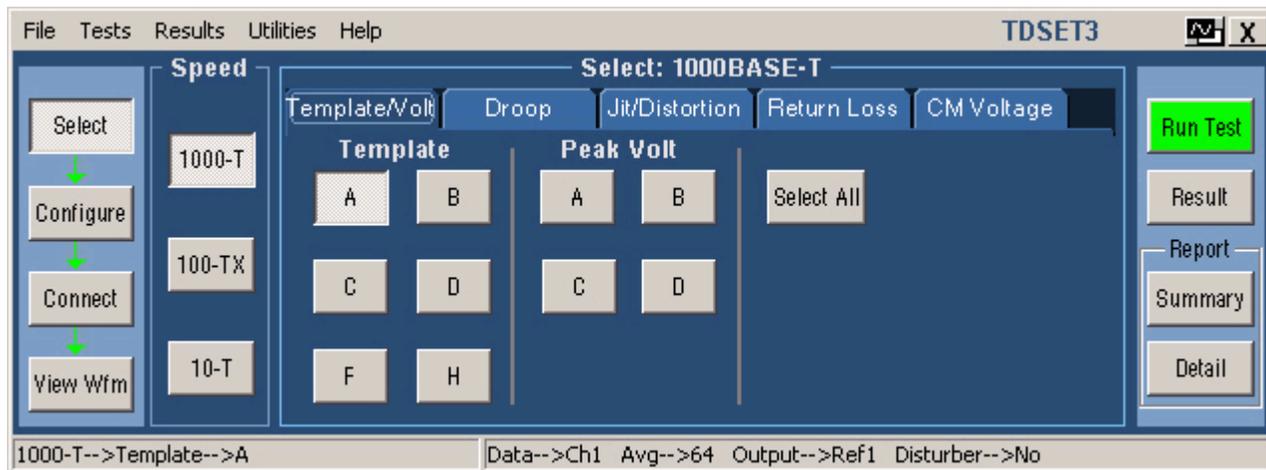


接続図: disturbing信号無しの場合

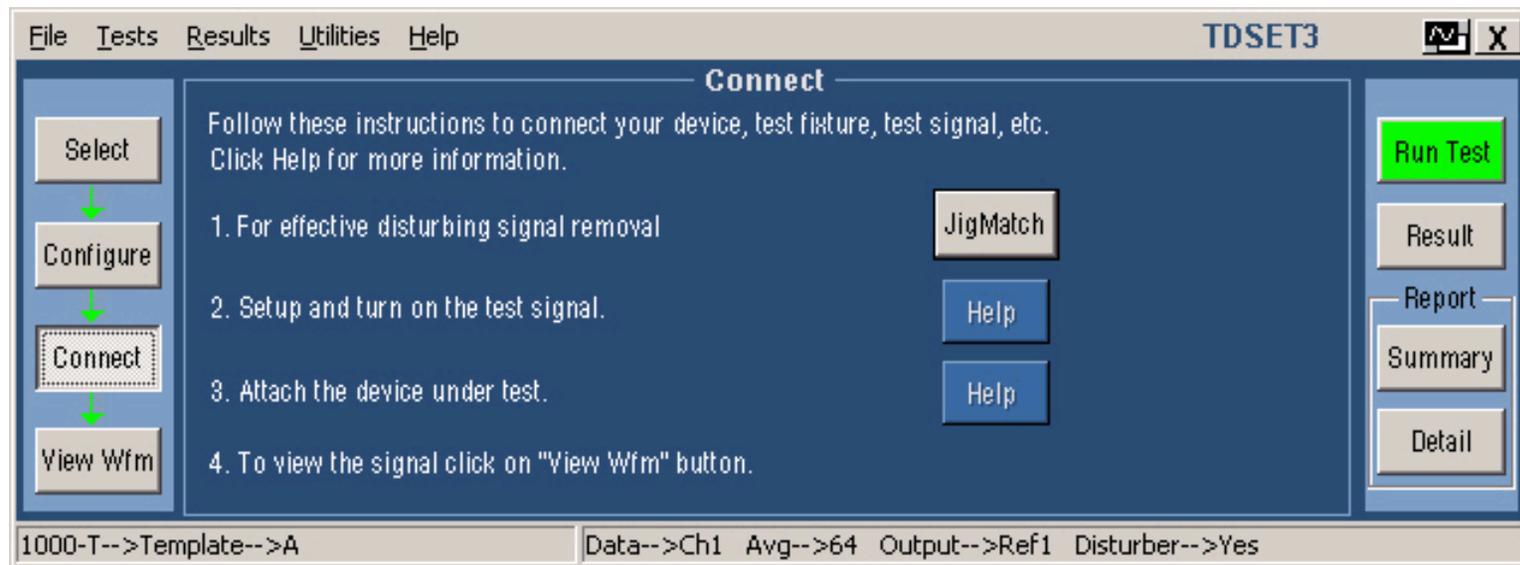
3 Template test の手順(4)

- ▶ Selectメニューにて測定ポイントを選択、Select Allを選択するとPeak Voltage testも一緒に行われる
- ▶ Configureメニューでは以下を設定
- ▶ Source Data: Ch1-Ch4
- ▶ #Averages: 64-10,000 (Default:64)
- ▶ Disturbing Signal: Yes (無い場合No)
- ▶ Filter: プローブとオシロの間に挿入する測定用フィルタ (2MHz HPF、通常はIntを選択)
- ▶ Output: Ref1

Template testの試験方法



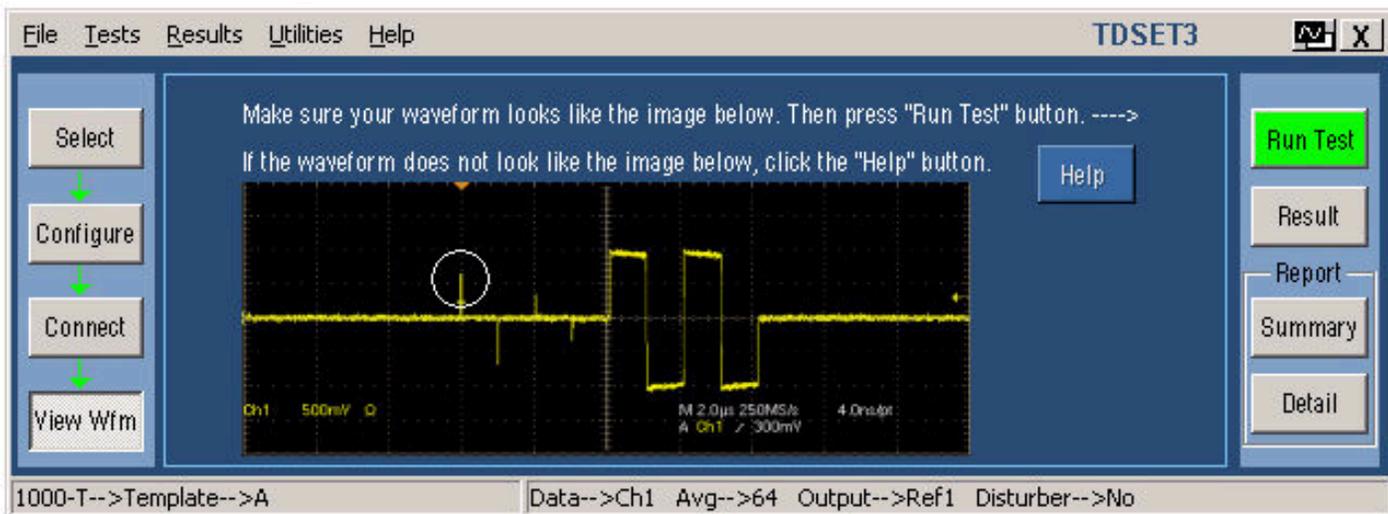
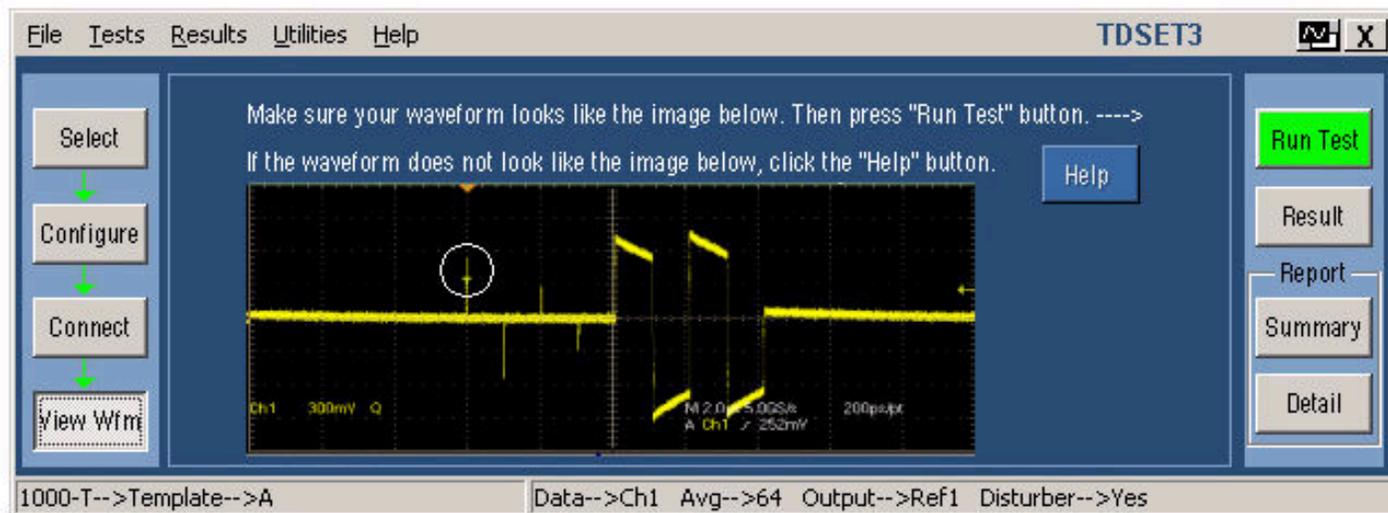
3 Template test の手順(5)



- ▶ Connectボタンを押すと上図の表示になります。
- ▶ JigMatchは必ず行って下さい。前述「JigMatchの手順」参照してください。

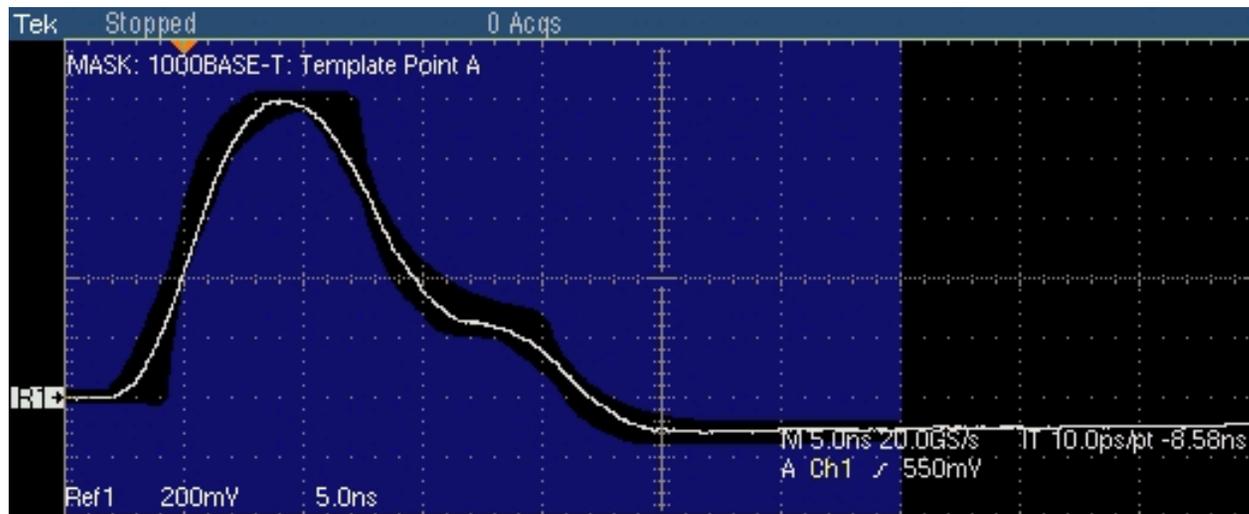
3 Template test の手順(6)

- ▶ View Wfmボタンを押すとTest Mode1の波形が表示されます。この波形がオシロで表示される波形と同じかどうか確認します。
- ▶ 上がDisturbing SignalがYesの場合
- ▶ 下がDisturbing SignalがNoの場合です。
- ▶ 波形が正しく表示されたらRun Testボタンを押し、Testを始めます。



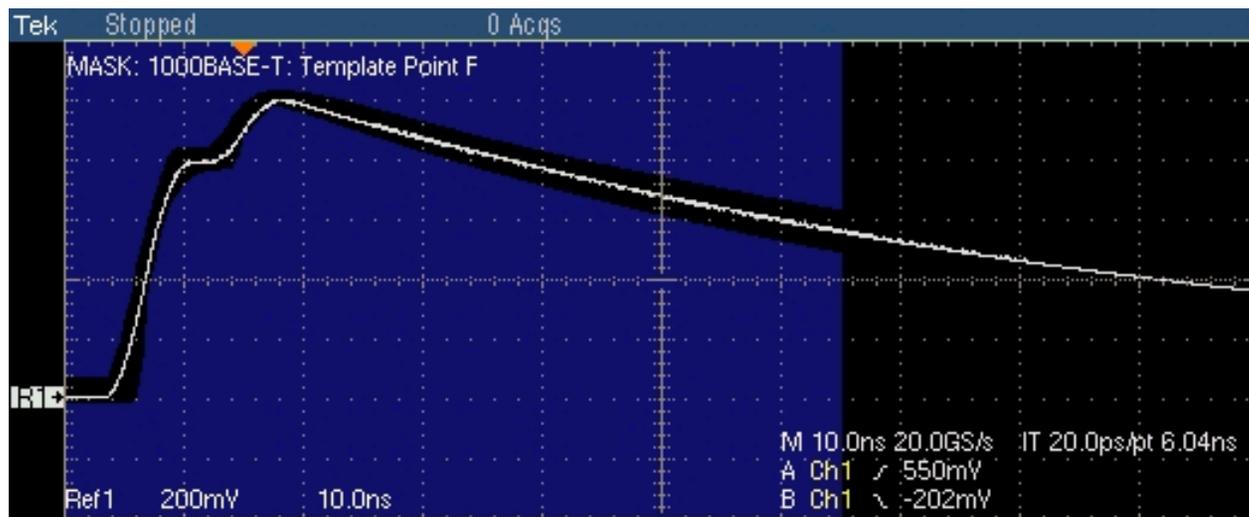
3 Template test の手順(7)

- ▶ Run Testを行うとオシロでは右のような波形が表示されます。

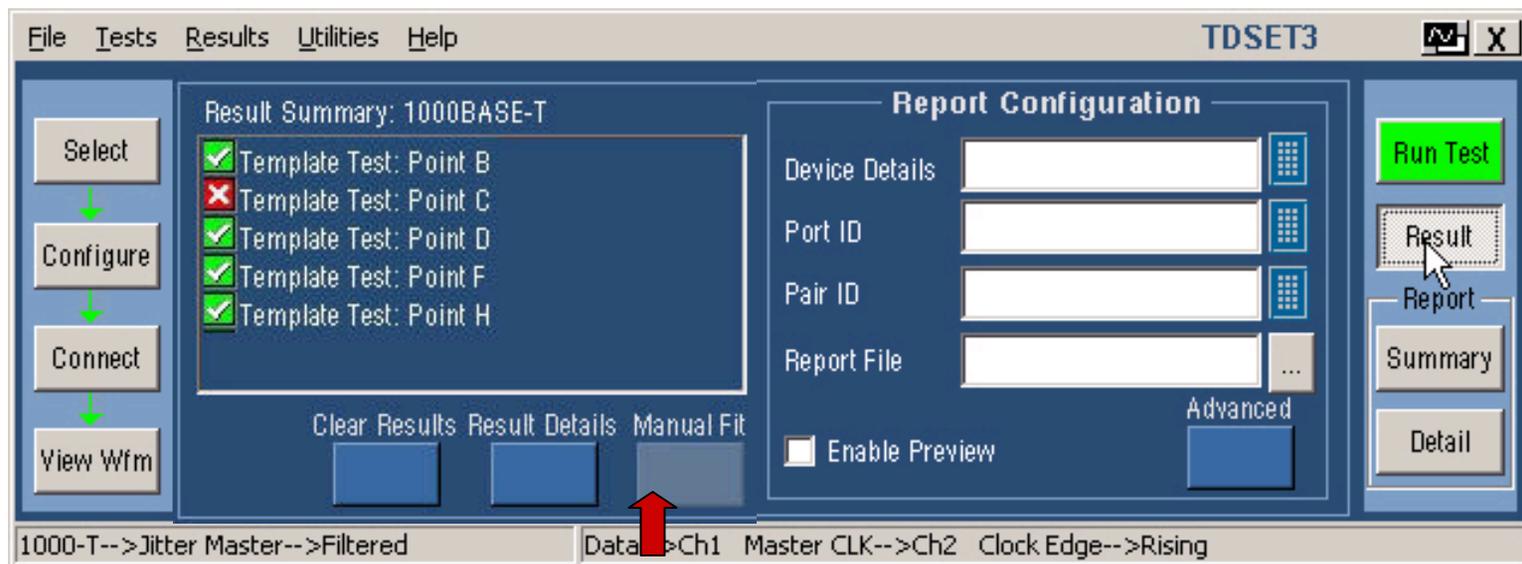


- ▶ Test Point A, B, C, Dの波形

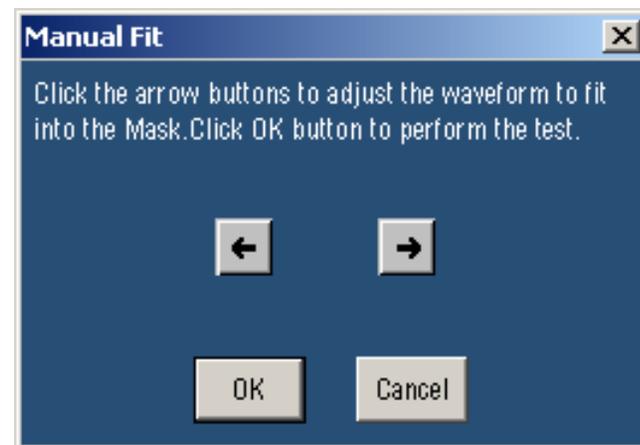
- ▶ Test Point F, Hの波形



3 Template test の手順(8)



- ▶ Run Testが終了すると上図のように結果が表示されます。
- ▶ Selectにて**Test Pointを単独**で指定したときのみ、Manual Fitボタンが有効になり、右図のようなPopupが開き、← / →ボタンでRef波形を移動させることができます。
- ▶ 波形がMaskにうまくフィットしたらOKを押します。ResultがFailだったものがPassとなります。



3 Template test の手順(9)

Description	Spec Range	Measured Value	Pass/Fail	Remarks
Template Test: Point D	Fit the template	Total Hits=0	Pass	
Template Test: Point F	Fit the template	Total Hits=0	Pass	
Template Test: Point H	Fit the template	Total Hits=0	Pass	
Peak Volt Test: Point A	670mV to 820mV	IPoint A1=681.2mV	Pass	
Peak Volt Test: Point B	670mV to 820mV	IPoint B1=680.3mV	Pass	
%Diff between A&B Test	(1 - IPoint	0.130%	Pass	IPoint A1=681.2
Peak Volt Test: Point C	(1 - (0.5 * (IPointA1 +	0.084%	Pass	IPoint A1=681.2
Peak Volt Test: Point D	(1 - (0.5 * (IPointA1 +	1.281%	Pass	IPoint A1=681.2

- ▶ Result Detailsボタン(上左)を押すと詳細な測定結果が表示されます(上右)。

- ▶ Advancedボタン(上左)にてAdvance Report Configurationで“Use oscilloscope...”をチェックすると、オシロのExportの設定のカラーパレットの設定が反映されます。**レポートのカラー表示**

4 Peak Voltage test の手順(1)

Peak Voltage testの試験内容

- ▶ Test mode 1の信号の6箇所(A, B, C, D, F, H)のTest pointの波形でテスト
- ▶ Point A, Bの電圧の絶対値は670mV~820mVでA, B間の電圧の差は1%未満であること
- ▶ Point C, Dの電圧の絶対値は上記A, Bの電圧の平均値の半分に対して2%未満であること
- ▶ Disturbing信号はリモート・トランスミッタの信号をシミュレートするものでコンプライアンス・テストでは必須
- ▶ 4つのTest Pairでそれぞれ行う

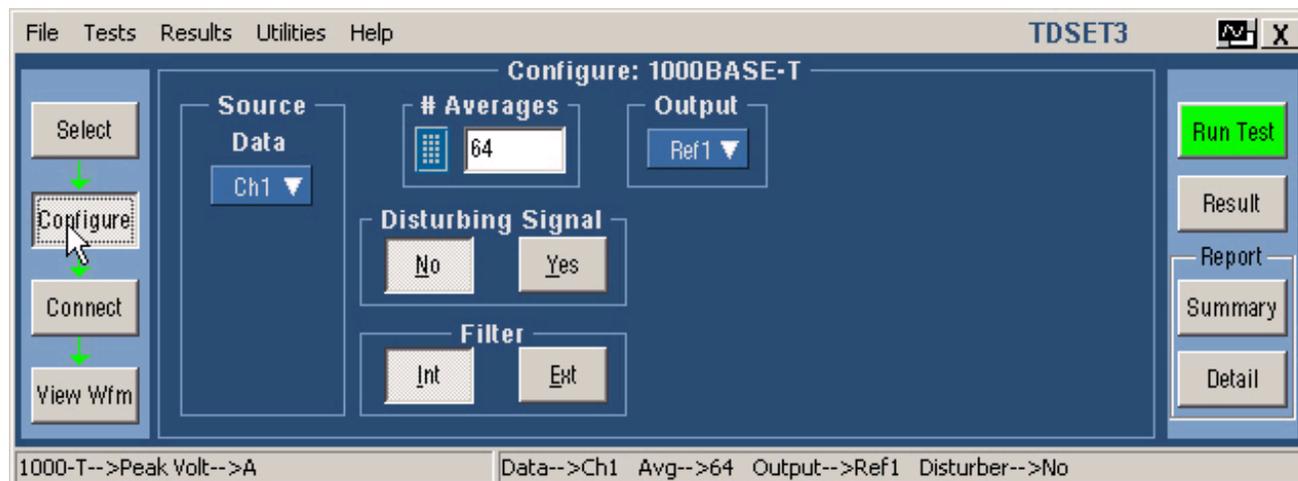
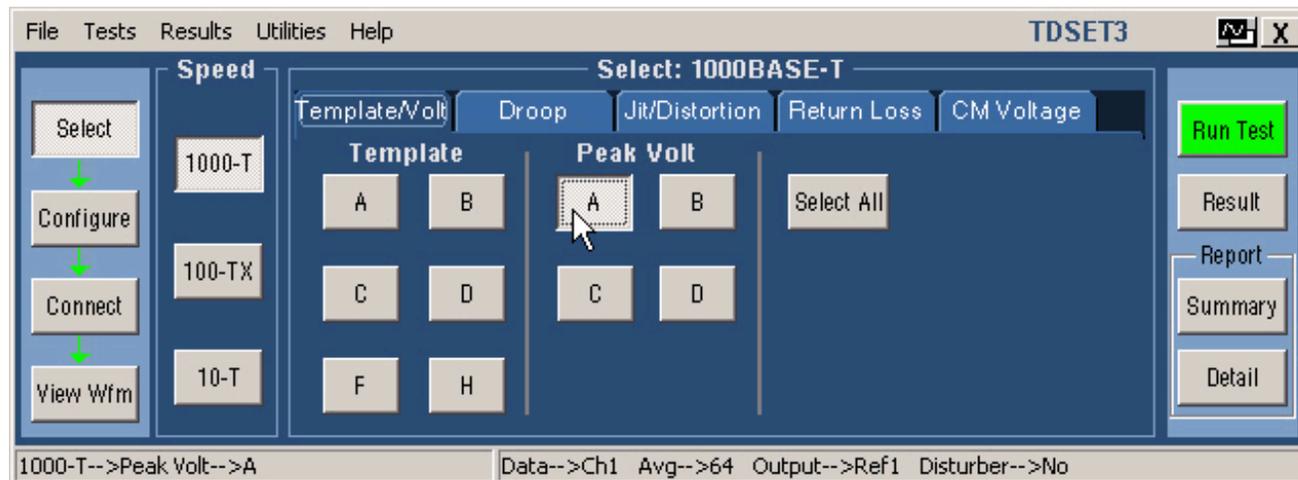
Peak Voltage testの接続方法

- ▶ Peak Voltage testの接続はTemplate testと同様。Template Testの手順(2)、(3)参照。

4 Peak Voltage test の手順(2)

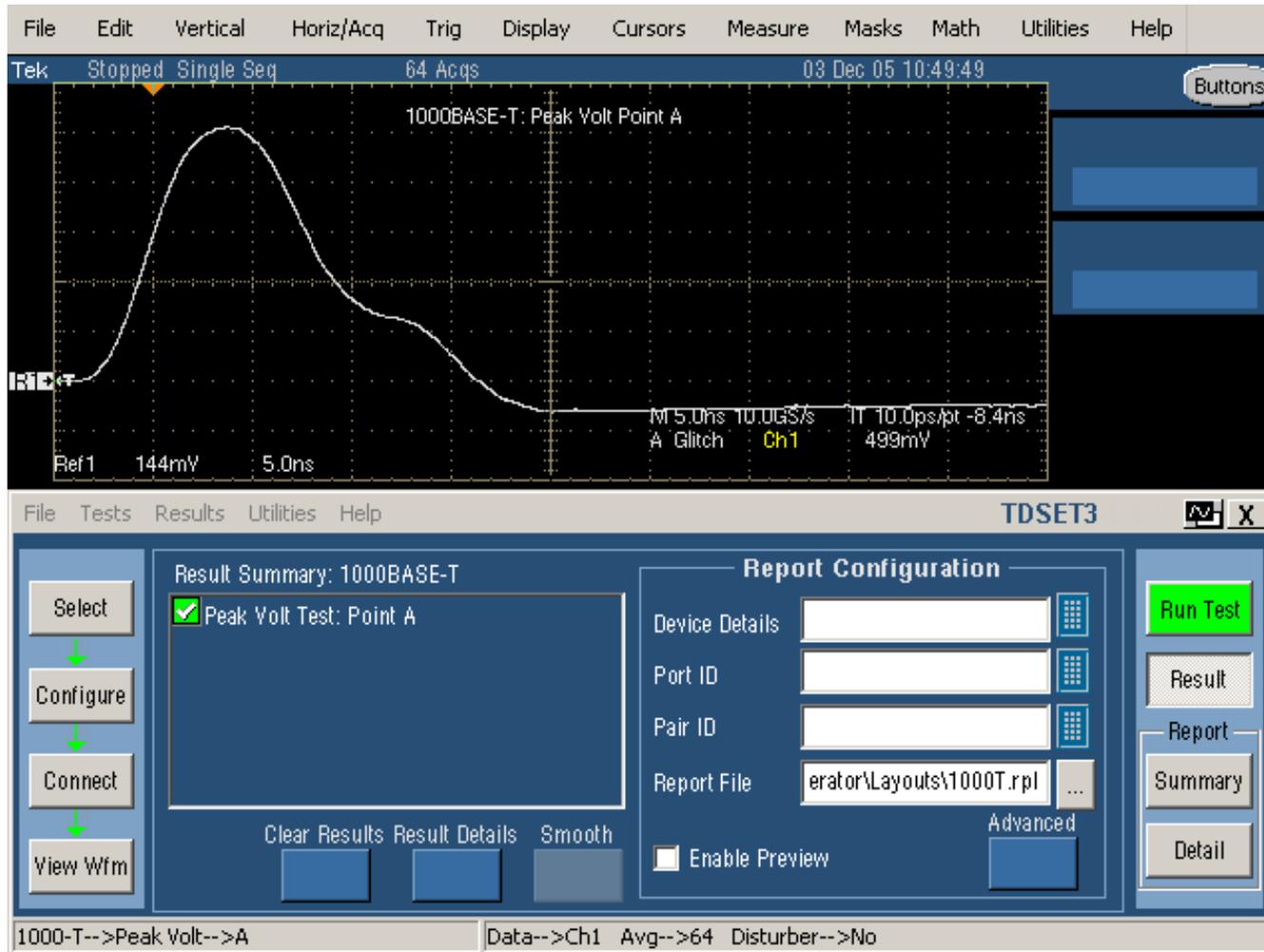
Peak Voltage testの試験方法

- ▶ Selectメニューにて測定ポイントを選択、Select Allを選択するとTemplate testも一緒に行われる
- ▶ ConfigureメニューもTemplate testと同様
- ▶ Source Data: Ch1-Ch4
- ▶ #Averages: 64-10,000 (Default:64)
- ▶ Disturbing Signal: Yes / No
- ▶ Filter: プローブとオシロの間に挿入する測定用フィルタ、通常はIntを選択
- ▶ Output: Ref1



4 Peak Voltage test の手順(3)

- ▶ Run Testを行うとオシロでは下のような表示になります。



5 Droop test の手順(1)

Droop testの試験内容

- ▶ Test mode 1の信号の6箇所(F, G, H, J)のTest pointの波形でテスト
- ▶ Point G (Fから500ns後ろ)の(極性を正にした)値がFの(極性を正にした)ピーク値の73.1%よりも大きいこと
- ▶ Point J (Hから500ns後ろ)の値がFのピーク値の73.1%よりも大きいこと

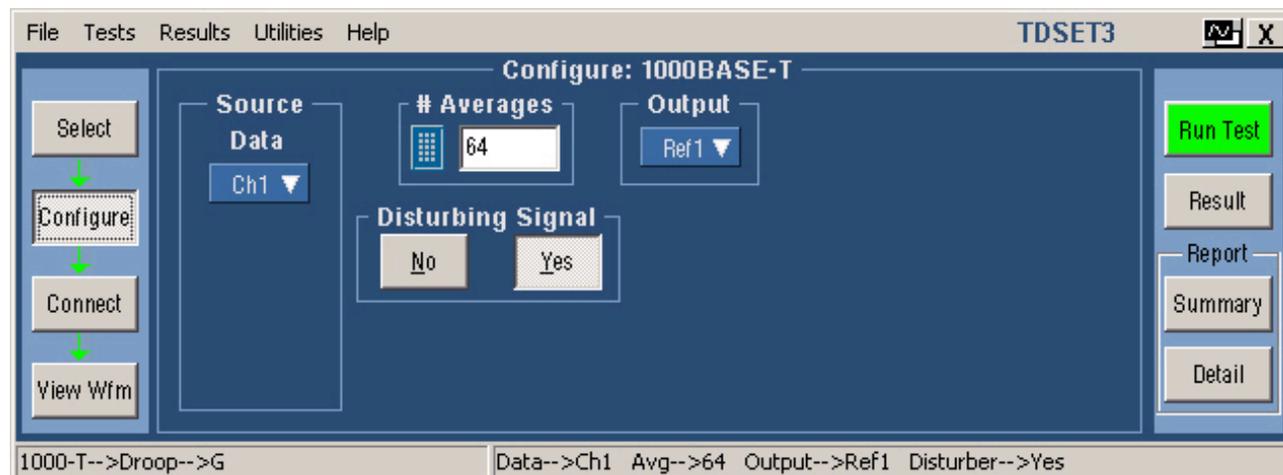
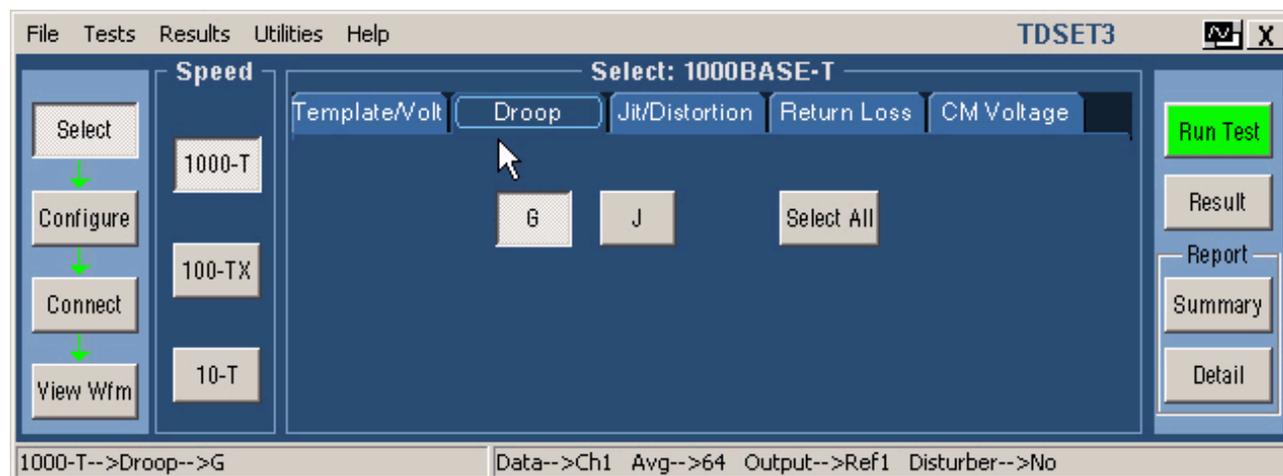
Droop testの接続方法

- ▶ Droop testの接続はTemplate testと同様。Template Testの手順(2)、(3)参照。

5 Droop test の手順(2)

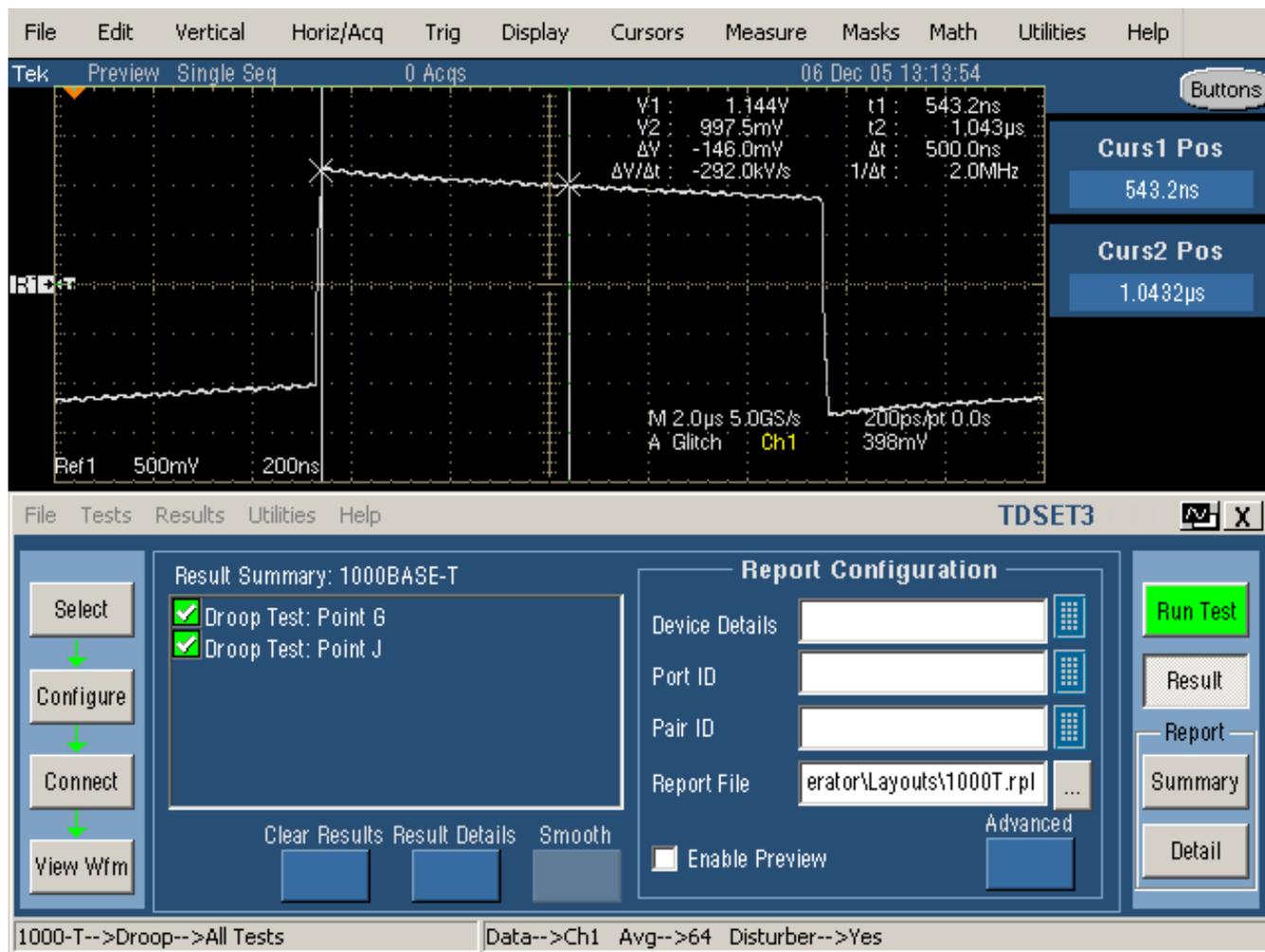
- ▶ Selectメニューにて測定ポイントを選択
- ▶ Configureメニューでは以下を設定
 - ▶ Source Data: Ch1-Ch4
 - ▶ #Averages: 64-10,000 (Default:64)
 - ▶ Disturbing Signal: Yes / No
 - ▶ Output: Ref1

Droop testの試験方法



5 Droop test の手順(3)

- ▶ Run Testを行うとオシロでは下のような表示になります。



6 Jitter test の手順(1)

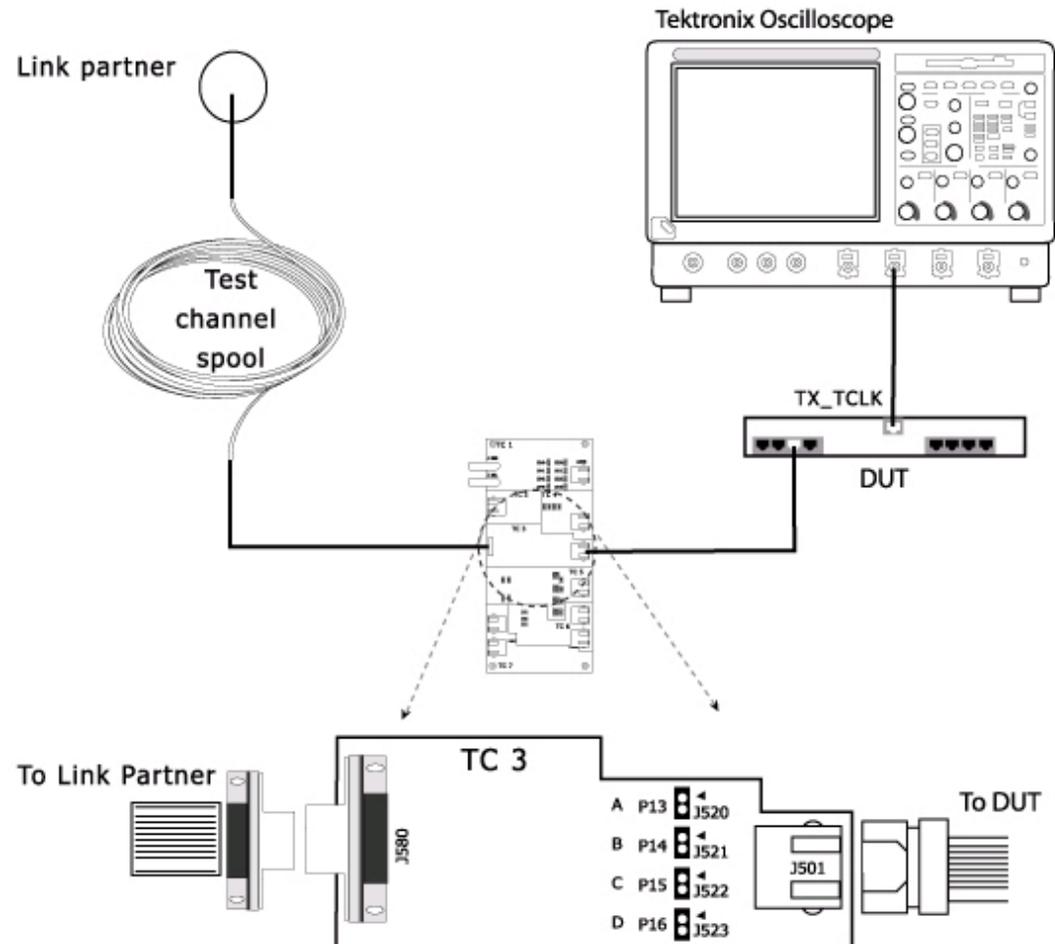
Jitter testの試験内容

- ▶ 1000Base-TにおいてMaster-Slaveの関係は2つのステーション間のネゴシエーションにより決定されます。MASTER PHYは自分のLocal Clockを送信に使用し、SLAVE PHYはMASTERから受け取った信号を元にClock Recoverを行い、そのClockを送信に使用します。
- ▶ **Jitter Master Unfiltered test:** Master TX_TCLKのJitter(p-p)を測定、1.4ns未満であることを確認する (DUTはTest Mode 2)
- ▶ **Jitter Master Filtered test:** Master TX_TCLKのJitter(p-p) + Jtxout(p-p)を測定、0.3ns未満であることを確認する (DUTは①Master動作でNormal Mode、オシロで測定したTX_TCLKをカットオフ周波数5kHzのHPFで処理 ②Test Mode 2でJtxoutをtest portから測定)
- ▶ **Jitter Slave Unfiltered test:** Slave TX_TCLKのJitter(p-p)を測定、1.4ns未満であることを確認する (DUTはSlave動作でNormal Mode)
- ▶ **Jitter Slave Filtered test:** Slave TX_TCLKのJitter(p-p) + Jtxout(p-p)を測定、同時に測定したMaster TX_TCLKのJitter(p-p) を引いた値が0.4ns以下であることを確認する (DUTは①Slave動作でNormal Mode、オシロで測定したTX_TCLKをカットオフ周波数32kHzのHPFで処理、MasterのTX_TCLKは5kHzのHPFで処理 ②Test Mode 3でJtxoutをtest portから測定)

6 Jitter test の手順(2) - Jitter Master Unfiltered

Jitter Master Unfiltered testの接続方法

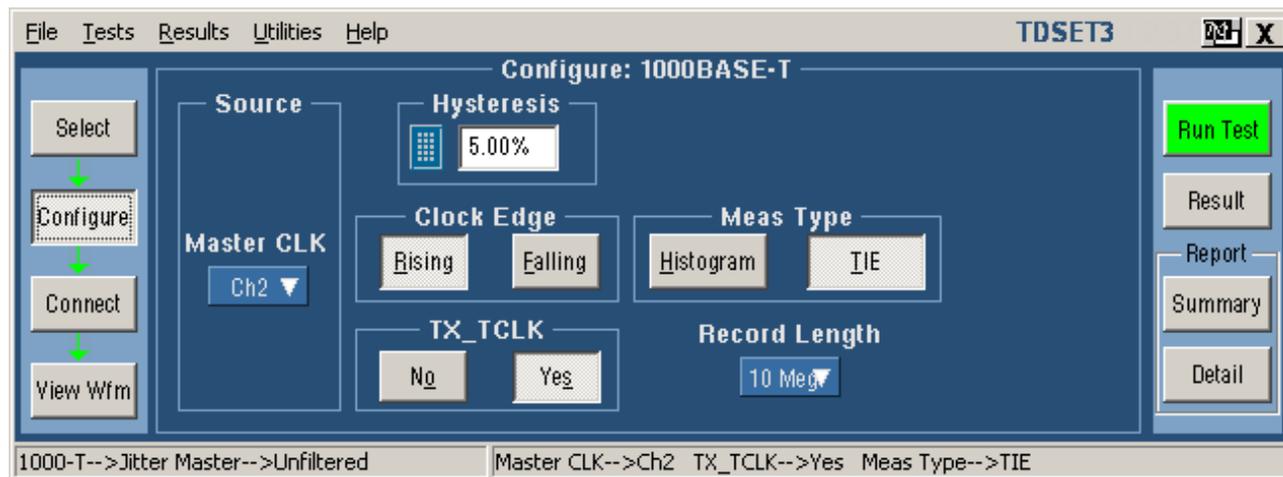
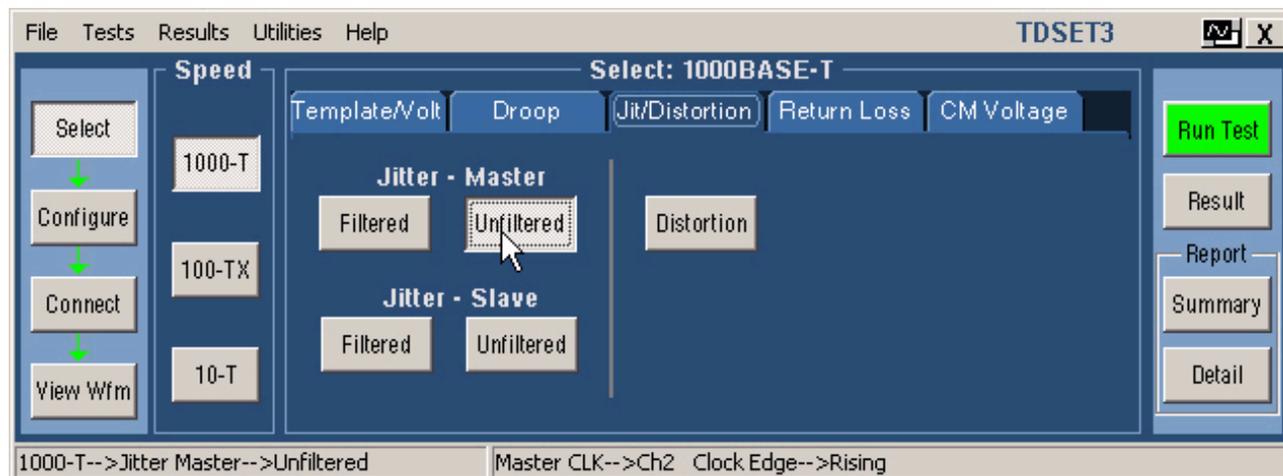
- ▶ DUTをTest Mode 2に設定
- ▶ DUTのtest portとJ501とをEthernet Cableで接続
- ▶ J580とLink partnerとを接続
- ▶ DUTのTX_TCLKをアクティブ・プローブでプロービング



6 Jitter test の手順(3) - Jitter Master Unfiltered

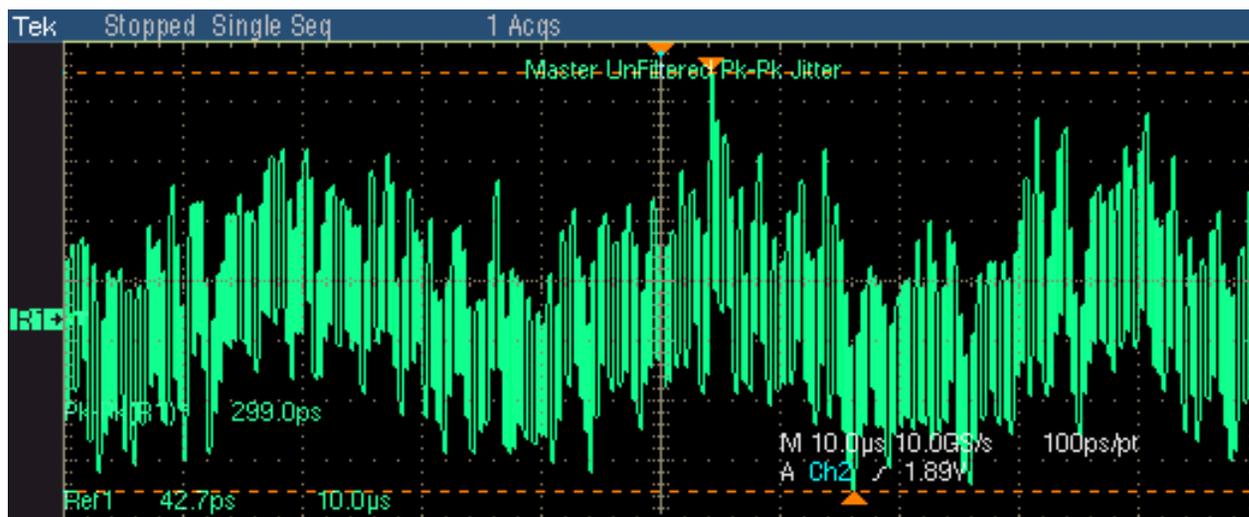
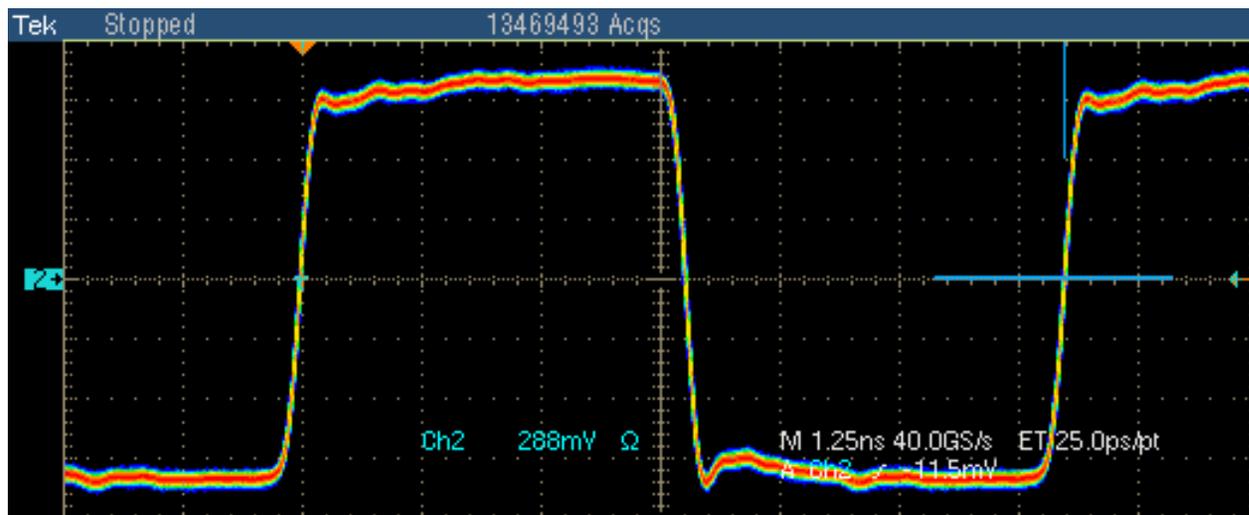
- ▶ Selectメニューにて Unfilteredを選択
- ▶ Configureメニュー
- ▶ Master CLK: Ch1-Ch4 (Active Probe)
- ▶ Hysteresis: 5-30% (Default:5%) Clock Edgeのノイズを振幅の何%まで無視するかの設定)
- ▶ Clock Edge: Rising / Falling
- ▶ TX_TCLK: Yes
- ▶ Meas Type: **Histogram** (TIEでは測定方法、測定値が違いう上、100msのデータも取れません)
- ▶ Record Length: 最大に設定します。(Meas Type: TIEの場合)

Jitter Master Unfiltered testの試験方法



6 Jitter test の手順(4) - Jitter Master Unfiltered

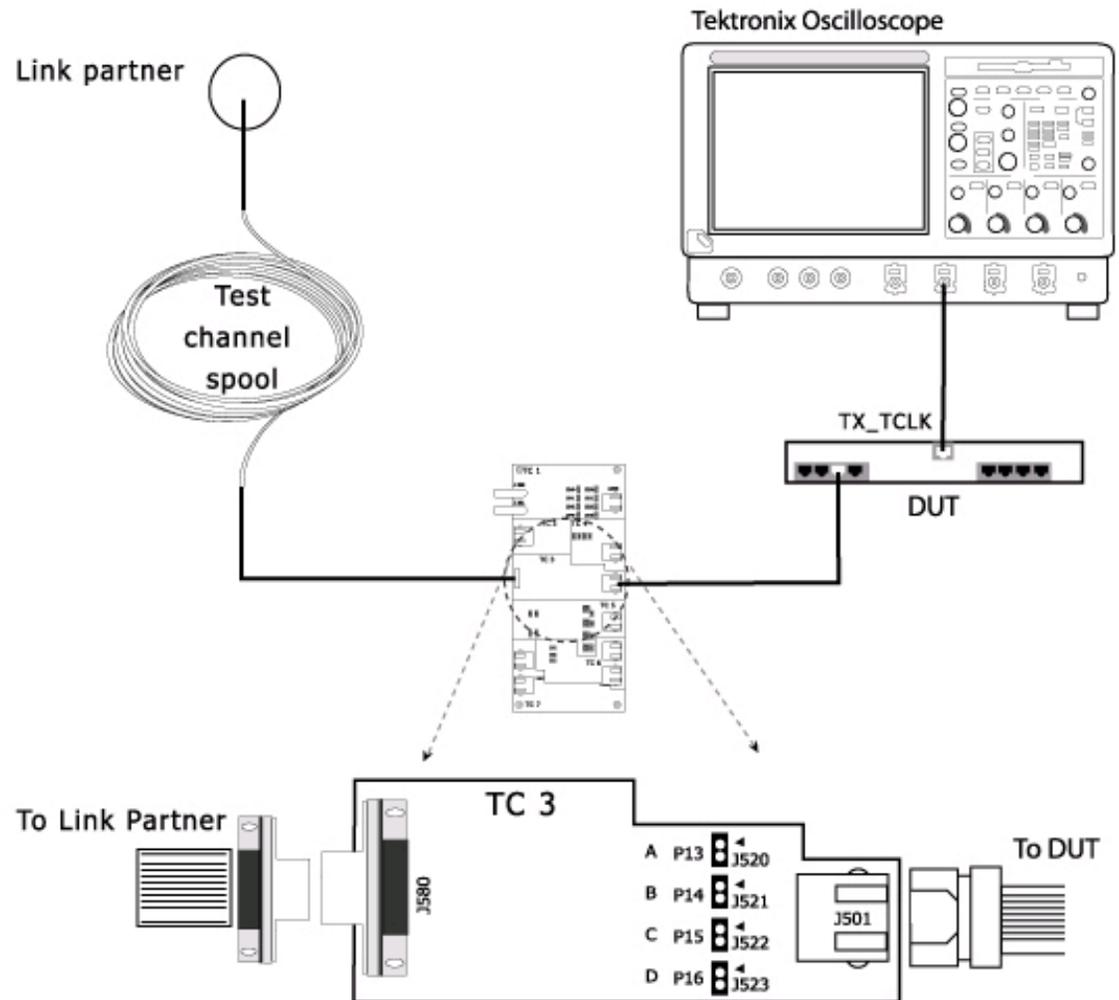
- ▶ Run Testを行うとオシロでは右上のような表示になります。
- ▶ 右下はTIEを選択した場合で、100,000エッジ以上のデータを取ります。但し、**Unfiltered Test**では100ms以上、1s以下のジッタのデータが必要で、TIEでは100ms以上のデータを取ることはできません。
- ▶ Master Unfiltered Pk-Pk Jitterの値が1.4ns未満であるかどうかでPass/Failを判定します。



6 Jitter test の手順(5) - Jitter Master Filtered

Jitter Master Filtered testの接続方法(Step1 :Master TX_TCLKのJitter)

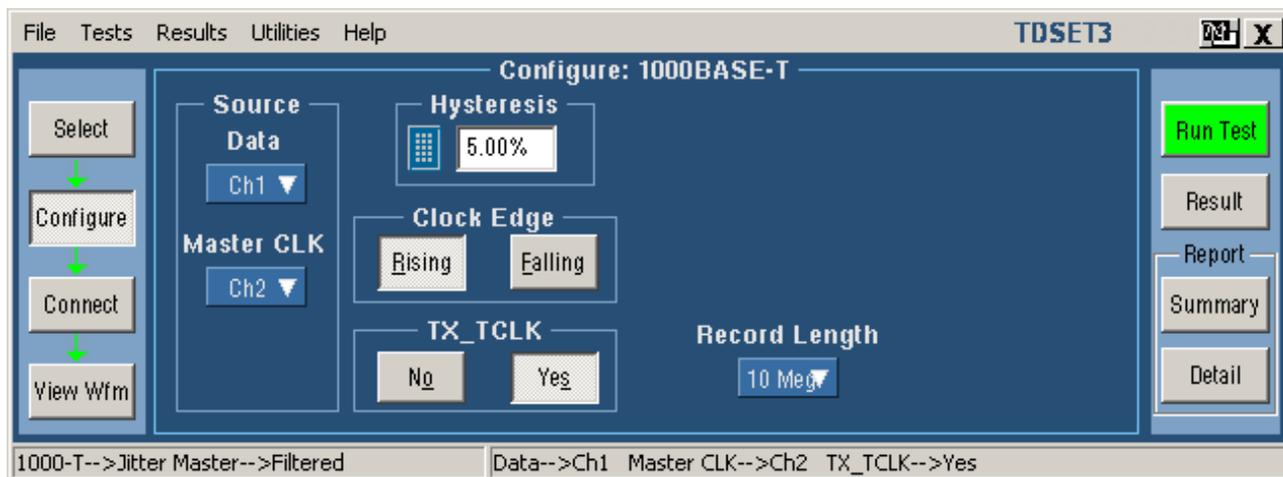
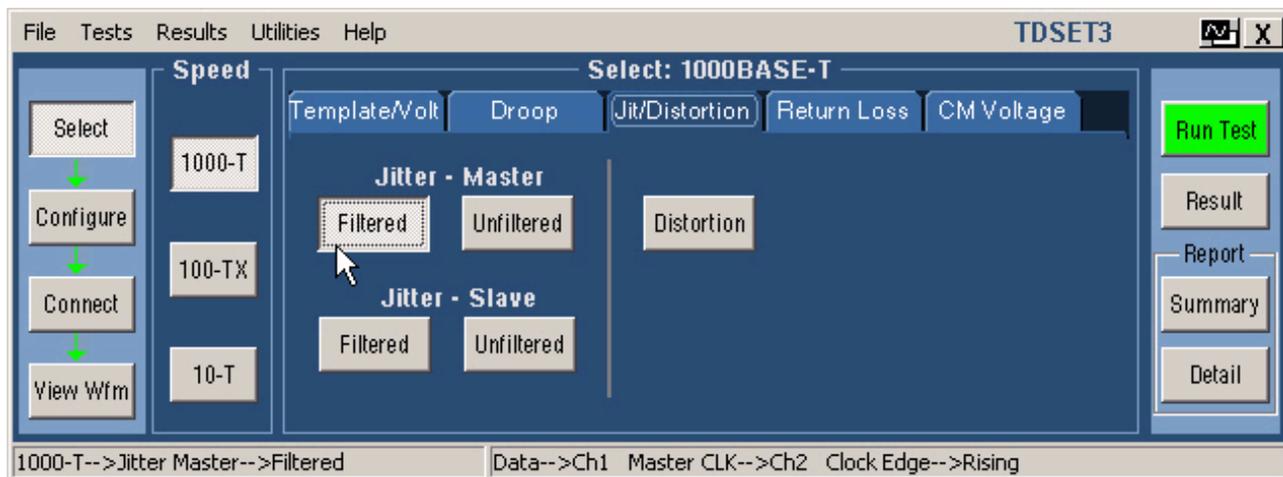
- ▶ DUTをNormal mode、Masterに設定
- ▶ Link partnerはNormal mode、Slaveに設定
- ▶ DUTのtest portとJ501とをEthernet Cableで接続
- ▶ J580とLink partnerとを接続
- ▶ DUTのTX_TCLKをアクティブ・プローブでプロービング



6 Jitter test の手順(6) - Jitter Master Filtered

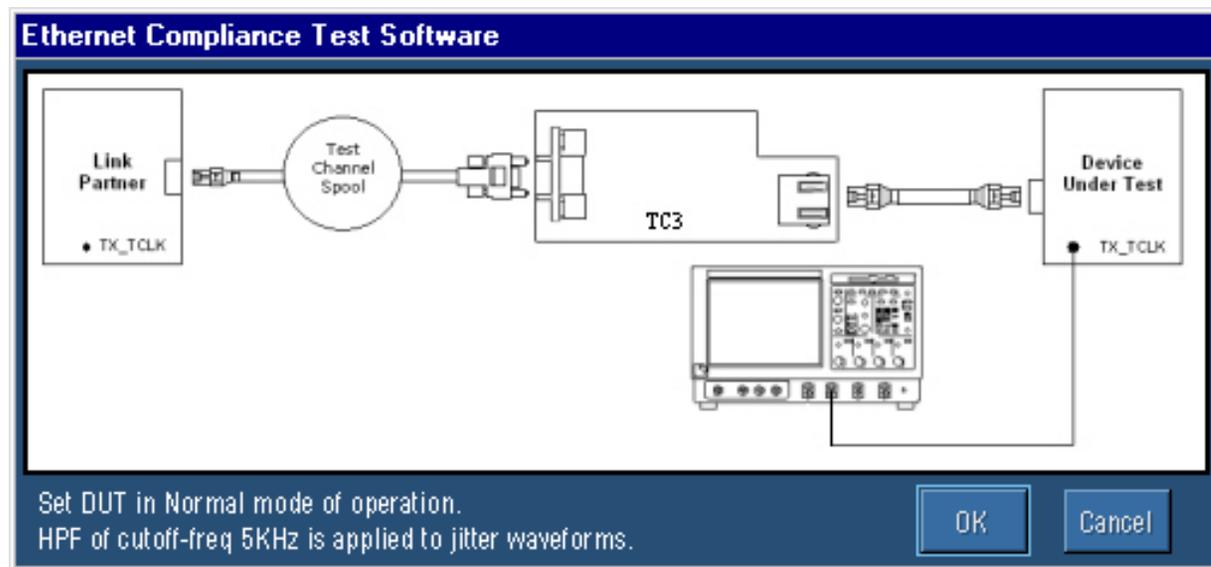
Jitter Master Filtered testの試験方法(Step1:Master TX_TCLKのJitter)

- ▶ Selectメニューにて Filteredを選択
- ▶ Configureメニュー
- ▶ Data: Ch1-Ch4 (Differential Probe)
- ▶ Master CLK: Ch1-Ch4 (Active Probe)
- ▶ Hysteresis: 5-30% (Default:5%) Clock Edgeのノイズを振幅の何%まで無視するかの設定)
- ▶ Clock Edge: Rising / Falling
- ▶ TX_TCLK: Yes
- ▶ Record Length: 最大に設定します。



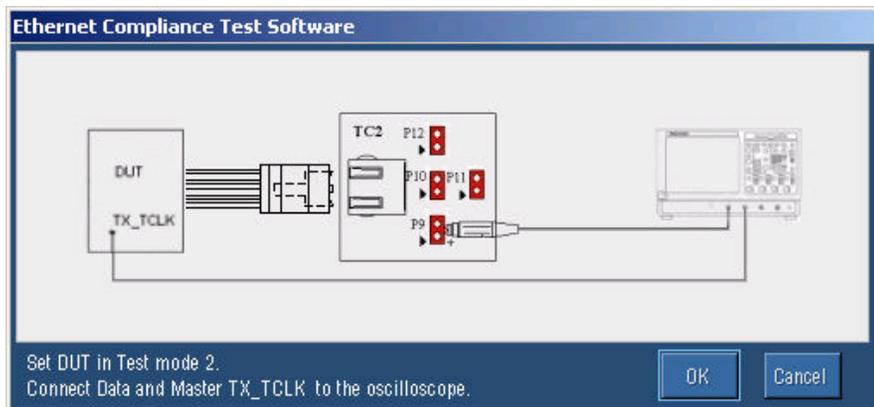
6 Jitter test の手順(7) - Jitter Master Filtered

- ▶ Run Testを行うと下図のようなダイアログ・ボックスが表示されます。
- ▶ OKボタンをクリックするとテストがスタートし、Master TX_TCLKのJitter(p-p) (Master Filtered Pk-Pk Jitter)を測定します。
- ▶ **Filtered Testでは少なくとも100,000エッジのデータを取る必要があるので、TDSはopt.3M以上のメモリ・オプションが必要です。**
- ▶ 5kHzのフィルタ処理を行ったTIEジッタのPlotが画面に表示されます。



6 Jitter test の手順(8) - Jitter Master Filtered

Jitter Master Filtered testの試験方法(Step2: Jtxout test portのjitter)



- ▶ 途中、ダイアログ・ボックスが表示されたらその指示に従い、テスト・フィクスチャTC2のJ490にDUTを、差動プローブを接続します。

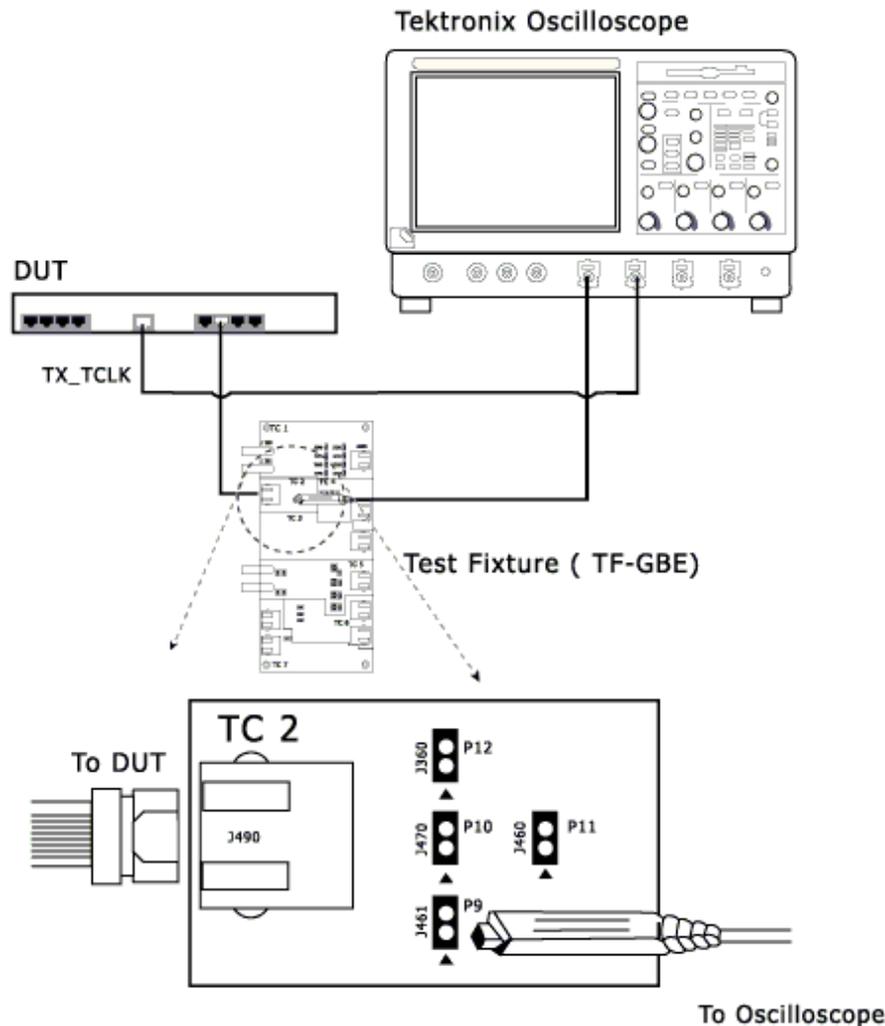
Test Pair A: P9

Test Pair B: P10

Test Pair C: P11

Test Pair D: P12

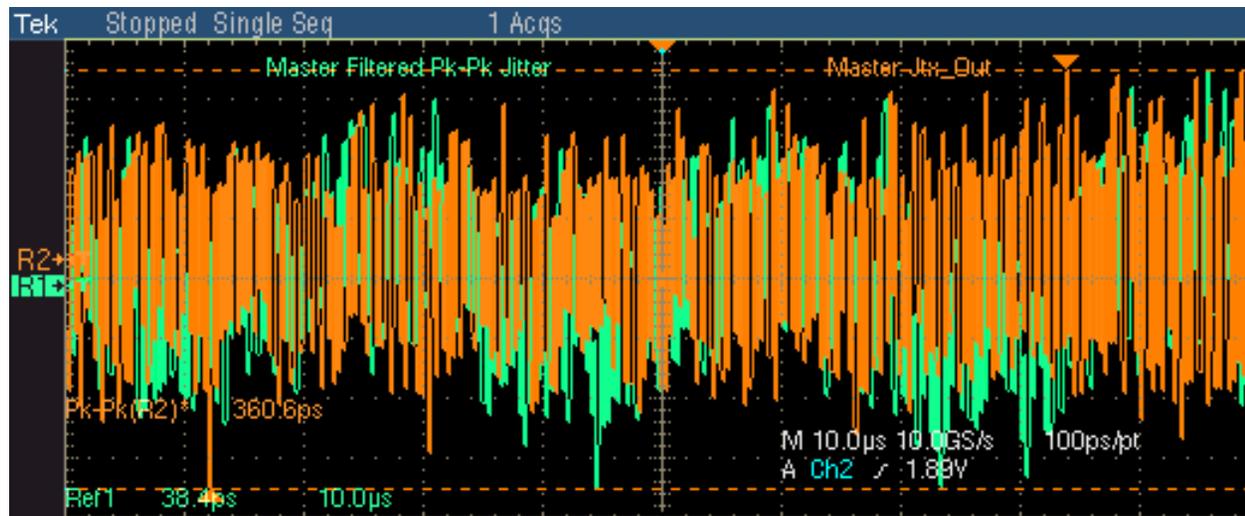
- ▶ DUTをTest mode2に設定したらダイアログ・ボックスのOKボタンをクリックします。



To Oscilloscope

6 Jitter test の手順(9) - Jitter Master Filtered

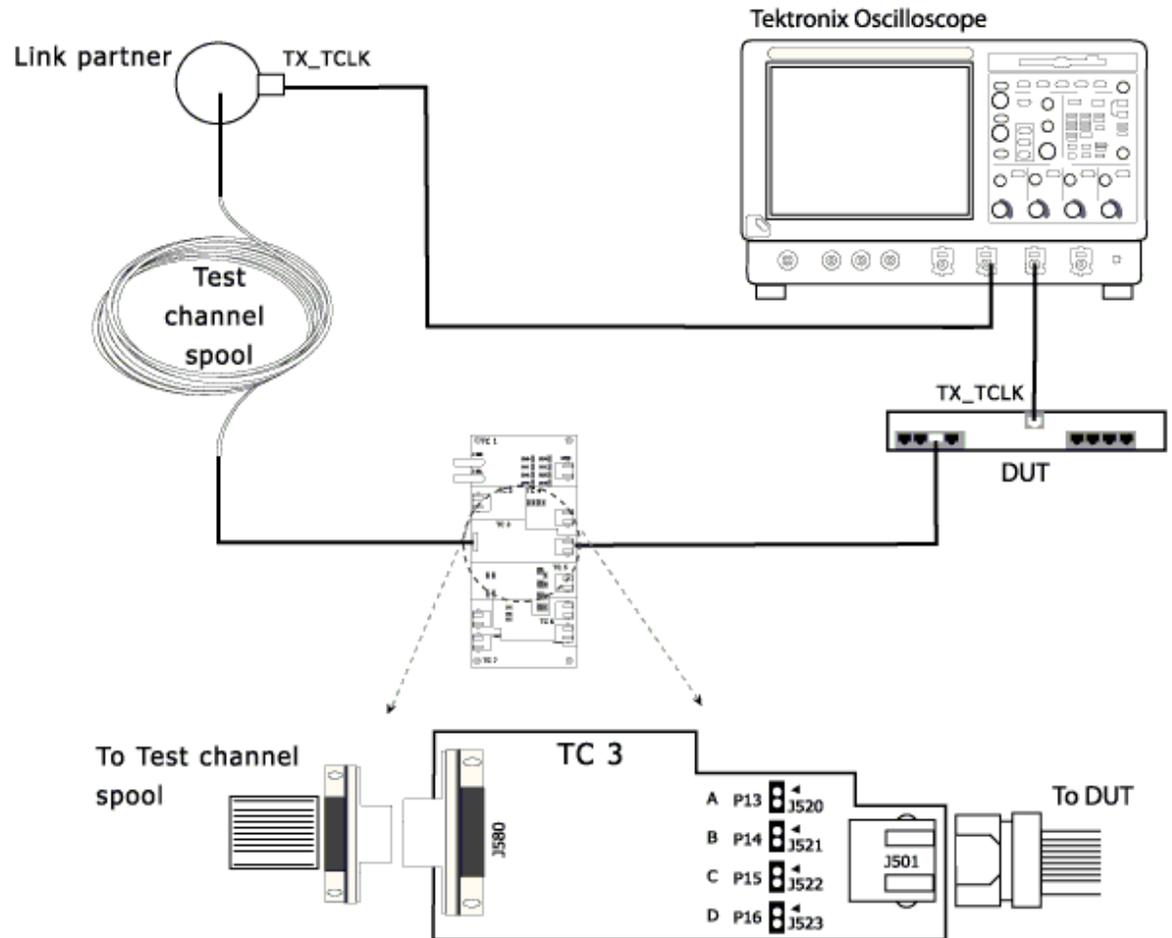
- ▶ TX_TCLKに対するデータのJitter(Jtxout)が計算され、TIEのPlotとして表示されます。(下図オレンジの波形)
- ▶ Step1で測定したMaster Filtered Pk-Pk Jitter(下図緑の波形)にJtxoutが加算され、その値が0.3ns未満であるかどうかでPass/Failを判定します。



6 Jitter test の手順(10) - Jitter Slave Unfiltered

Jitter Slave Unfiltered testの接続方法

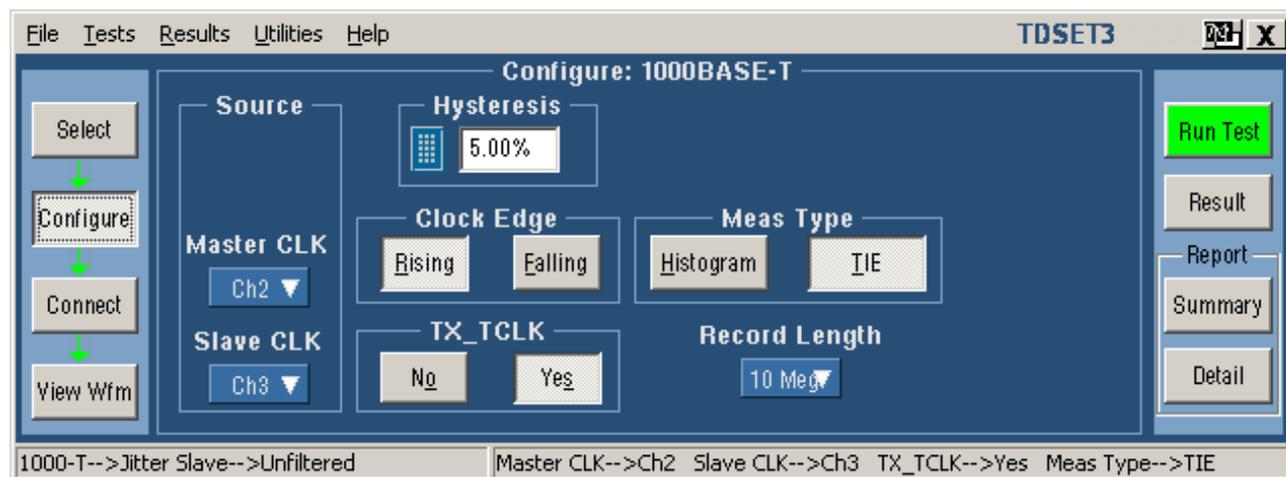
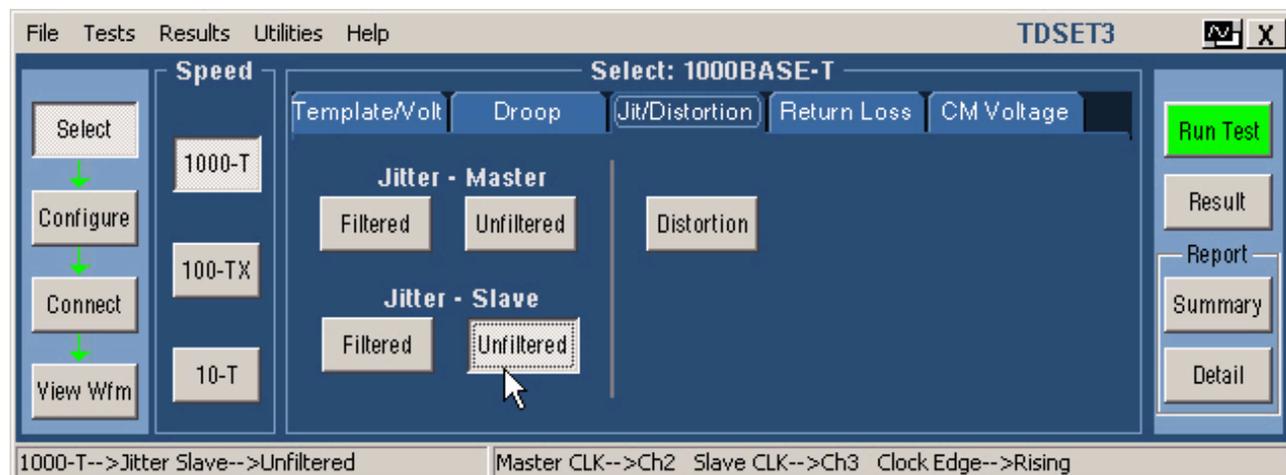
- ▶ DUTをNormal mode、Slaveに設定
- ▶ Link partnerはNormal mode、Masterに設定
- ▶ DUTのtest portとJ501とをEthernet Cableで接続
- ▶ J580とLink partnerとを接続
- ▶ DUTのTX_TCLKとLink partnerのTX_TCLKをそれぞれアクティブ・プローブでプロービング



6 Jitter test の手順(11) - Jitter Slave Unfiltered

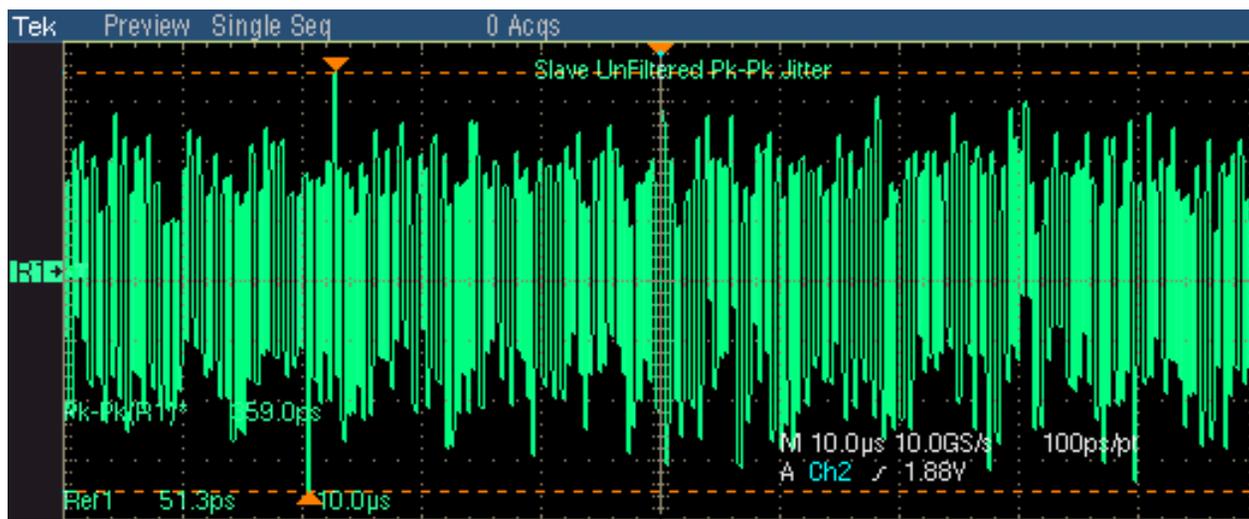
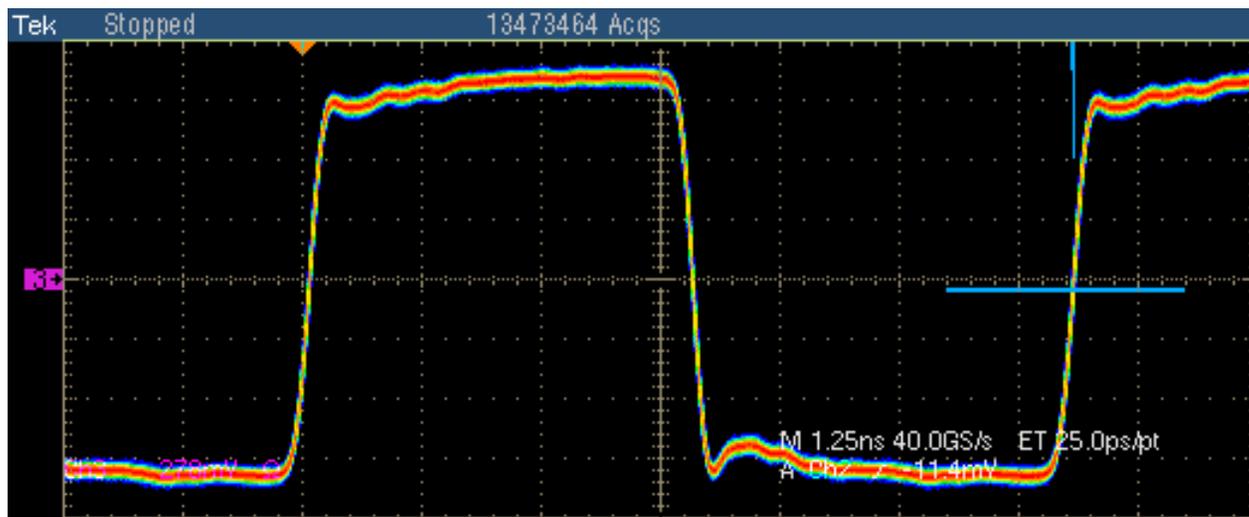
- ▶ Selectメニューにて Unfilteredを選択
- ▶ Configureメニュー
- ▶ Master CLK, Slave CLK: Ch1-Ch4 (Active Probe)
- ▶ Hysteresis: 5-30% (Default:5%) Clock Edgeのノイズを振幅の何%まで無視するかの設定)
- ▶ Clock Edge: Rising / Falling
- ▶ TX_TCLK: Yes
- ▶ Meas Type: **Histogram** (TIEでは測定方法、測定値が違う上、100msのデータも取れません)
- ▶ Record Length: 最大に設定します。(Meas Type: TIEの場合)

Jitter Slave Unfiltered testの試験方法



6 Jitter test の手順(12) - Jitter Slave Unfiltered

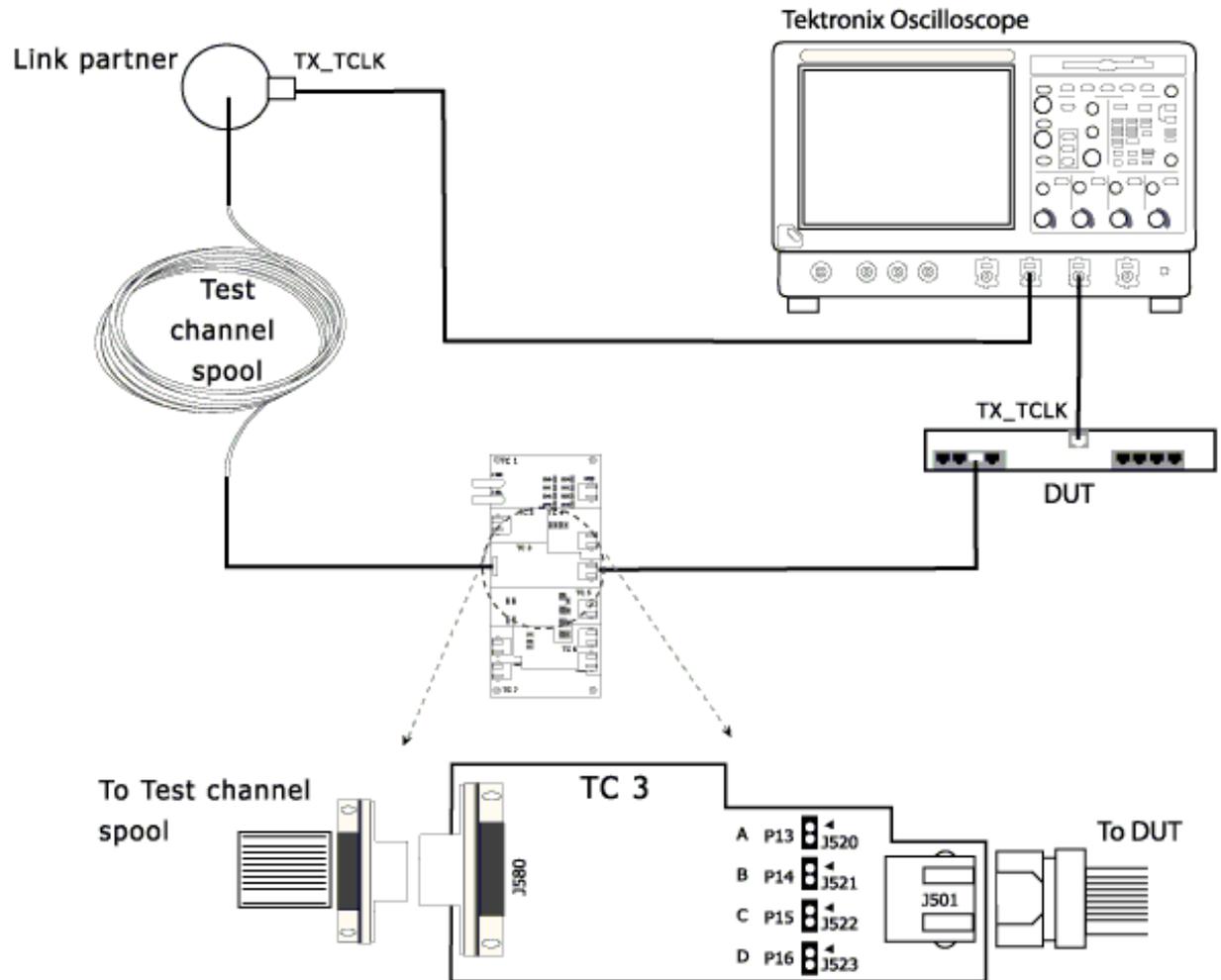
- ▶ Run Testを行うとオシロでは右上のような表示になります。
- ▶ 右下はTIEを選択した場合で、100,000エッジ以上のデータを取ります。但し、**Unfiltered Testでは100ms以上、1s以下のジッタのデータが必要**で、TIEでは100ms以上のデータを取ることはいけません。
- ▶ Slave Unfiltered Pk-Pk Jitterの値が1.4ns未満であるかどうかでPass/Failを判定します。



6 Jitter test の手順(13) - Jitter Slave Filtered

Jitter Slave Filtered testの接続方法(Step1 : Master/Slave TX_TCLKのJitter)

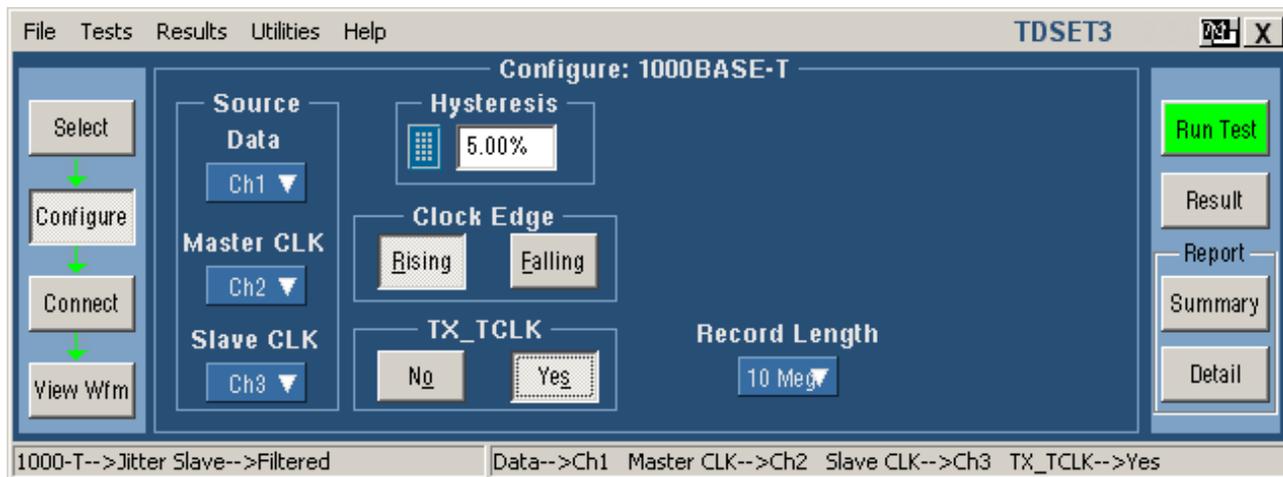
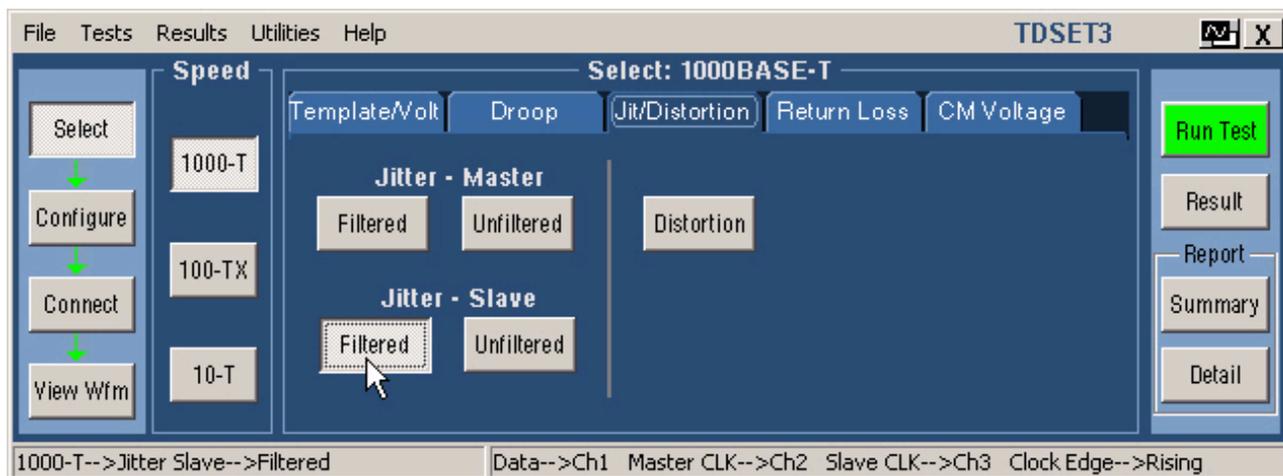
- ▶ DUTをNormal mode、Slaveに設定
- ▶ Link partnerはNormal mode、Masterに設定
- ▶ DUTのtest portとJ501とをEthernet Cableで接続
- ▶ J580とLink partnerとを接続
- ▶ DUTのTX_TCLKをアクティブ・プローブでプロービング
- ▶ Link partnerのTX_TCLKをアクティブ・プローブでプロービング



6 Jitter test の手順(14) - Jitter Slave Filtered

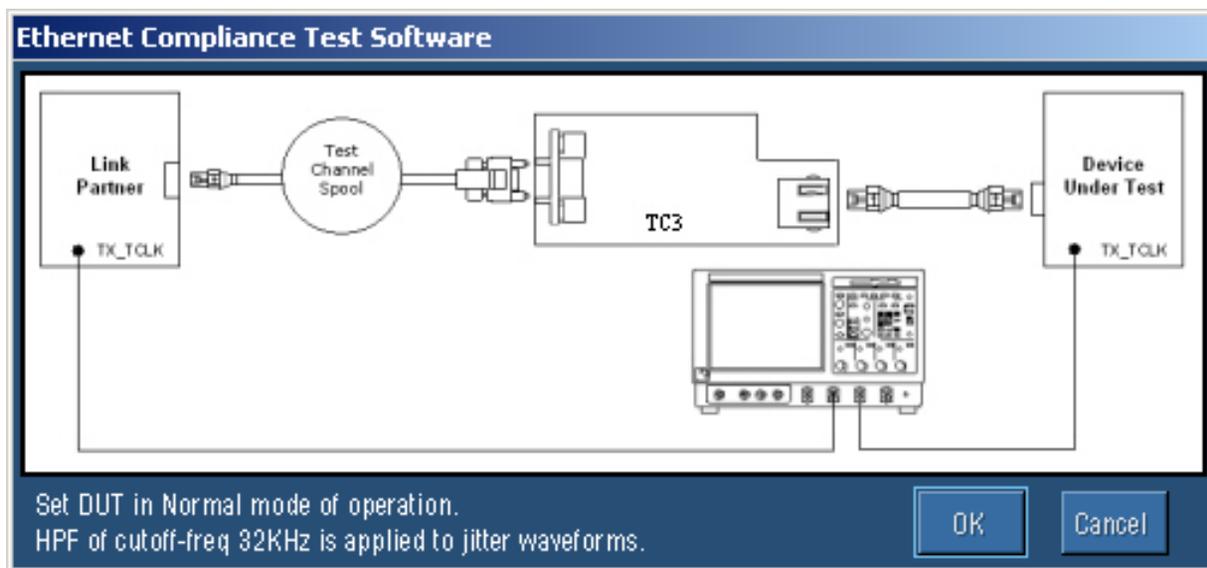
Jitter Slave Filtered testの試験方法(Step1: Master/Slave TX_TCLKのJitter)

- ▶ Selectメニューにて Filteredを選択
- ▶ Configureメニュー
- ▶ Data: Ch1-Ch4 (Differential Probe)
- ▶ Master CLK, Slave CLK: Ch1-Ch4 (Active Probe)
- ▶ Hysteresis: 5-30% (Default:5%) Clock Edgeのノイズを振幅の何%まで無視するかの設定)
- ▶ Clock Edge: Rising
- ▶ TX_TCLK: Yes
- ▶ Record Length: 最大に設定します。



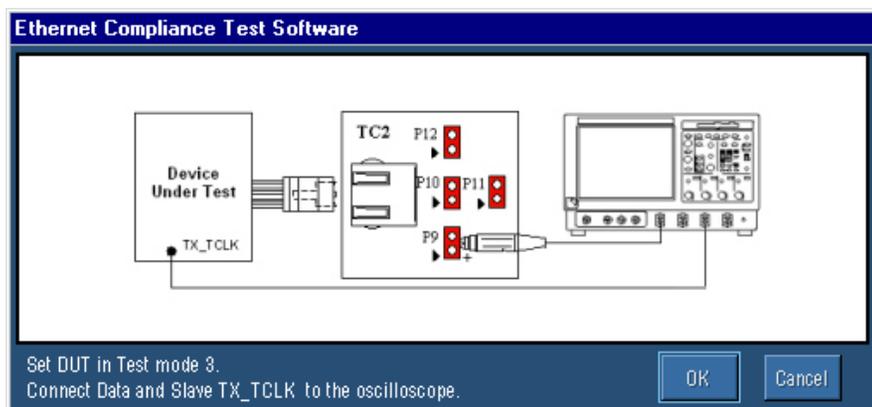
6 Jitter test の手順(15) - Jitter Slave Filtered

- ▶ Run Testを行うと下図のようなダイアログ・ボックスが表示されます。
- ▶ OKボタンをクリックするとテストがスタートし、Master TX_TCLKのJitter(p-p) (Master Filtered Pk-Pk Jitter)とSlave TX_TCLKのJitter(p-p) (Slave Filtered Pk-Pk Jitter)を測定します。
- ▶ **Filtered Testでは少なくとも100,000エッジのデータを取る必要があるので、TDSはopt.3M以上のメモリ・オプションが必要です。**
- ▶ Masterは5kHz、Slaveは32kHzのHPF処理を行い、TIEジッタのPlotを画面に表示します。



6 Jitter test の手順(16) - Jitter Slave Filtered

Jitter Slave Filtered testの試験方法(Step2: Jtxout test portのjitter)



- ▶ 途中、ダイアログ・ボックスが表示されたらその指示に従い、テスト・フィクスチャTC2のJ490にDUTを、差動プローブを接続します。

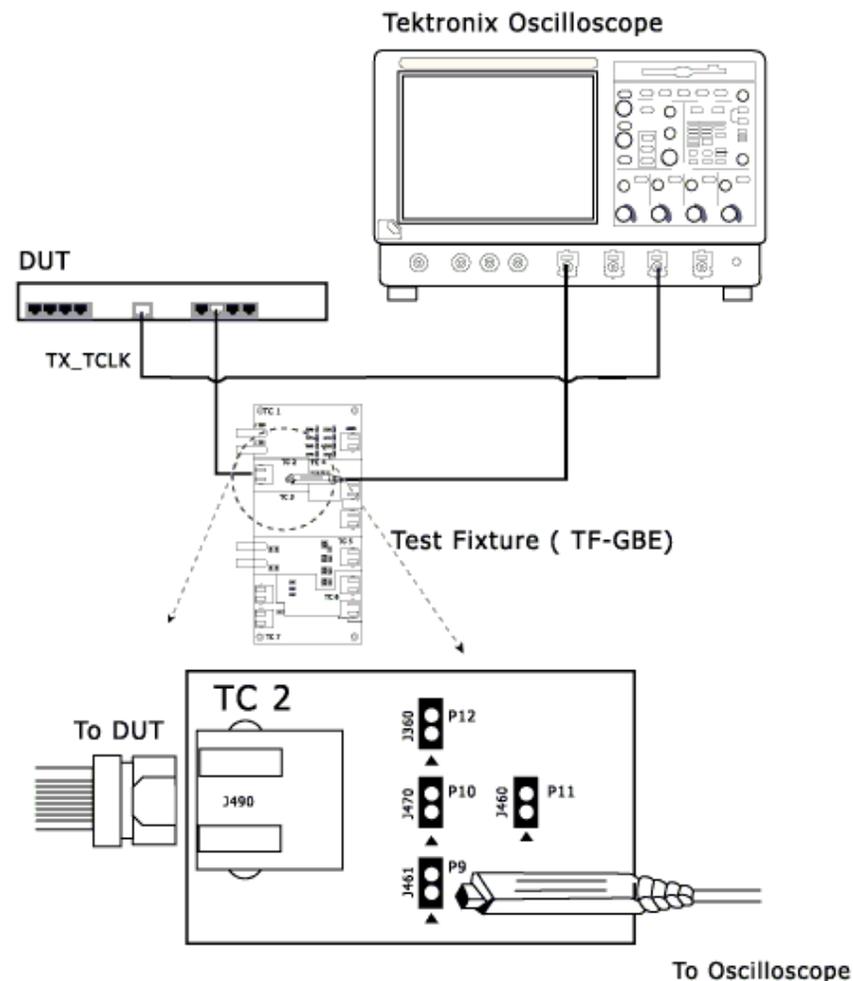
Test Pair A: P9

Test Pair B: P10

Test Pair C: P11

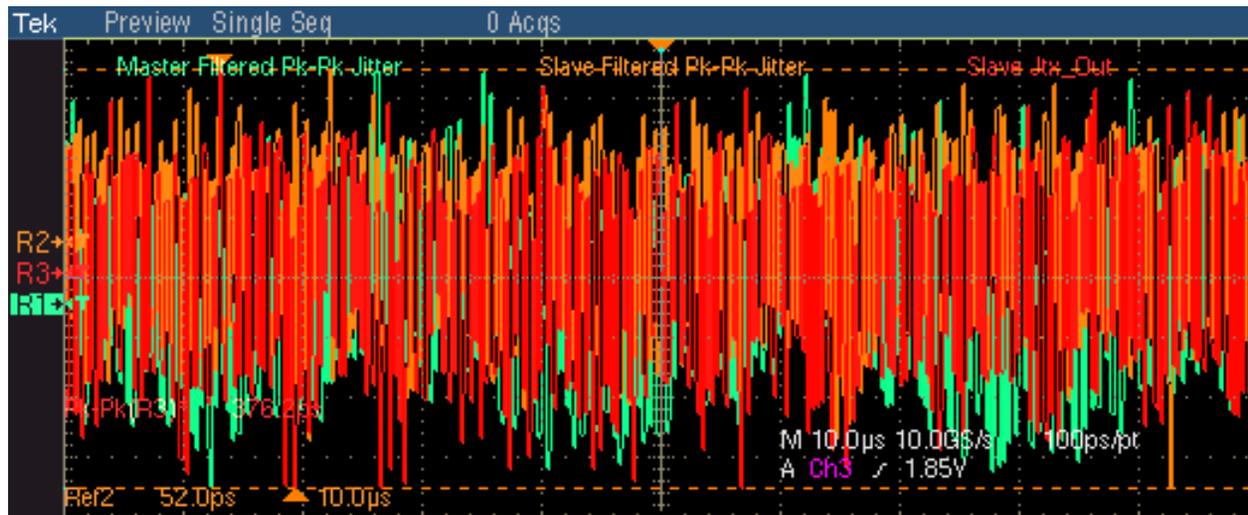
Test Pair D: P12

- ▶ DUTをTest mode3に設定したらダイアログ・ボックスのOKボタンをクリックします。



6 Jitter test の手順(15) - Jitter Slave Filtered

- ▶ TX_TCLKに対するデータのJitter(Jtxout)が計算され、TIEのPlotとして表示されます。(下図赤の波形)
- ▶ Step1で測定したSlave Filtered Pk-Pk Jitter(下図緑の波形)からMaster Filtered Pk-Pk Jitter(下図オレンジの波形)が差し引かれ、Step2で測定したJtxoutが加算され、その値が0.4ns未満であるかどうかでPass/Failを判定します。



7 Distortion test の手順(1)

Distortion testの試験内容

- ▶ Test mode 4の信号でテスト
波形ピーク値が17レベル、2047シンボルの擬似ランダムノイズ波形
- ▶ 取り込んだ波形データはTX_TCLKの位相に対して時間相関が取られ、ディスタービング信号成分が除去され、正規化されます。(TX_TCLK無しの場合はデータからクロックを抽出)
- ▶ 理想波形との比較を行います。波形の違いはエラー(歪)として取り扱われます。
- ▶ エラー・プロットを表示し、最大誤差を決定します。(最大誤差は10mV未満であること)
- ▶ ディスタービング信号は初期の設計段階でのみ不要。規格ではディスタービング信号の印加は必須です。

注意事項

- ▶ 最大誤差10mVを測定する為、SPCやProbe Calが適切に行われていなければなりません。
- ▶ TX_TCLK無しの場合、TX_TCLKが測定時に安定していなければ正しい測定が出来ません。

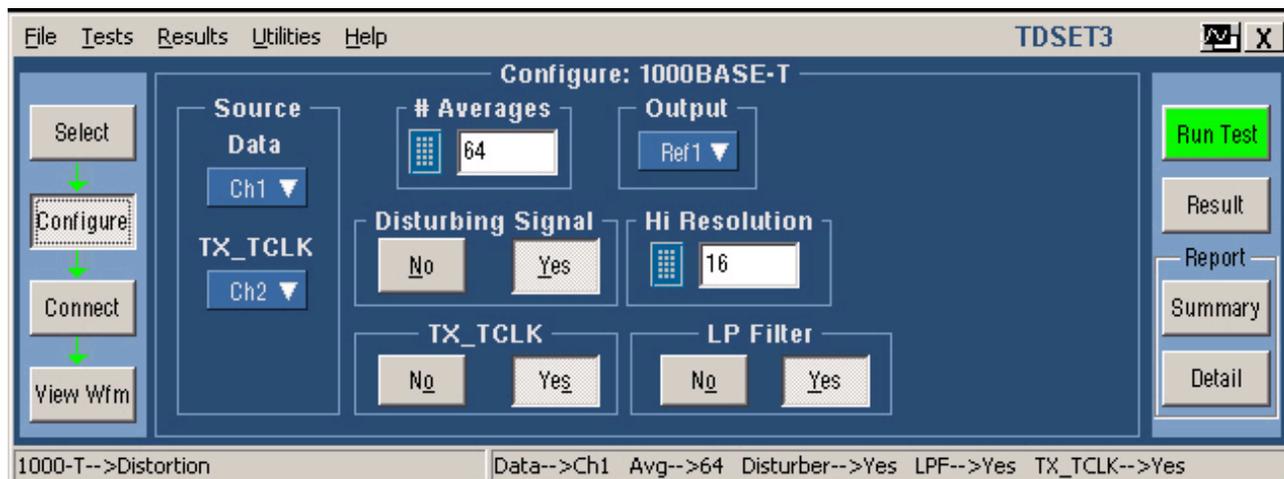
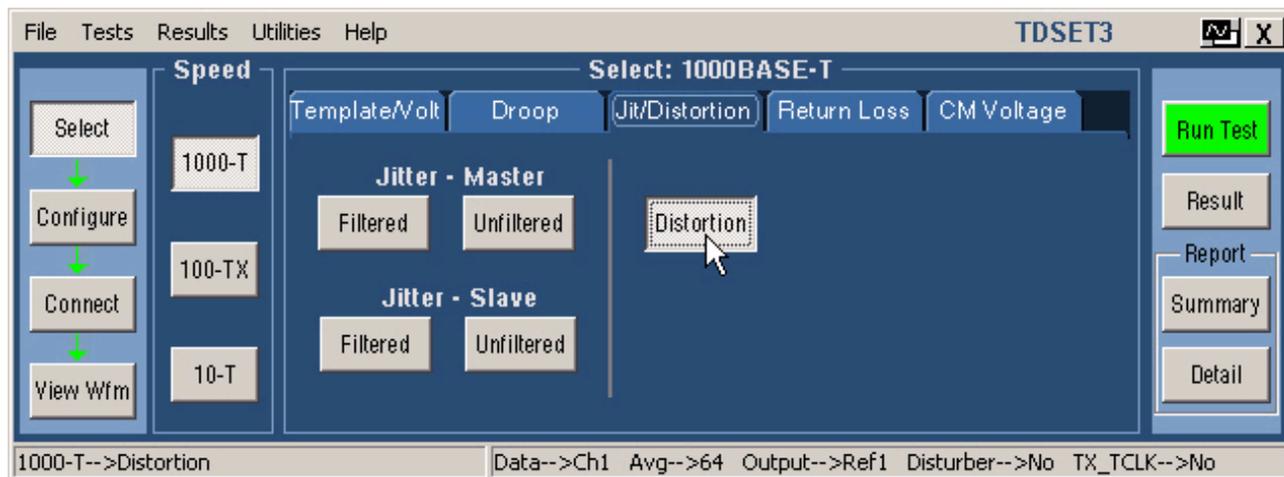
Distortion testの接続方法

- ▶ Distortion testの接続はTemplate testと同様。Template Testの手順(2)、(3)参照。

7 Distortion test の手順(2)

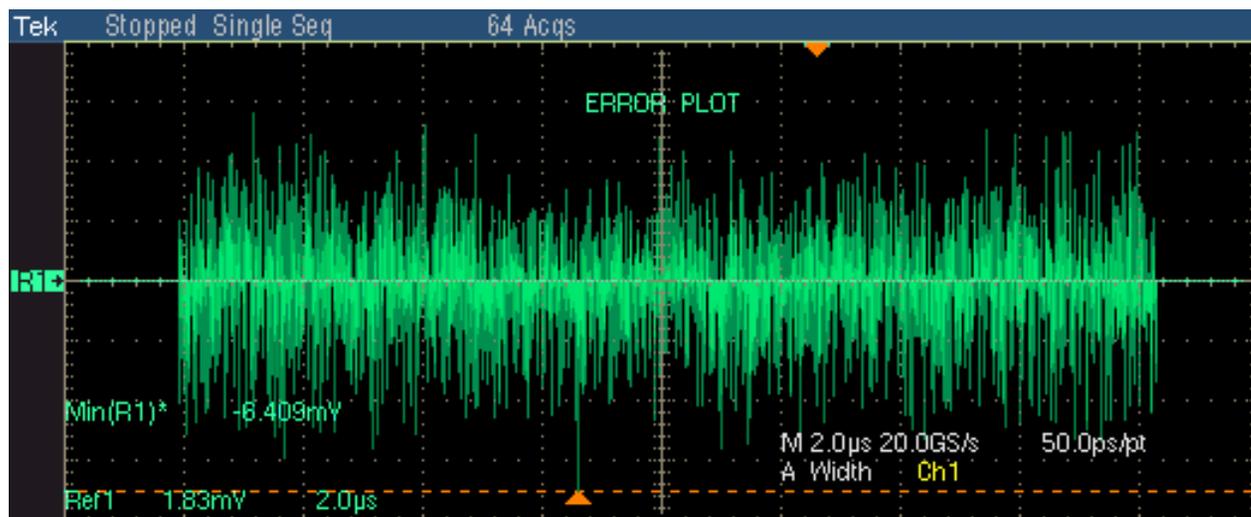
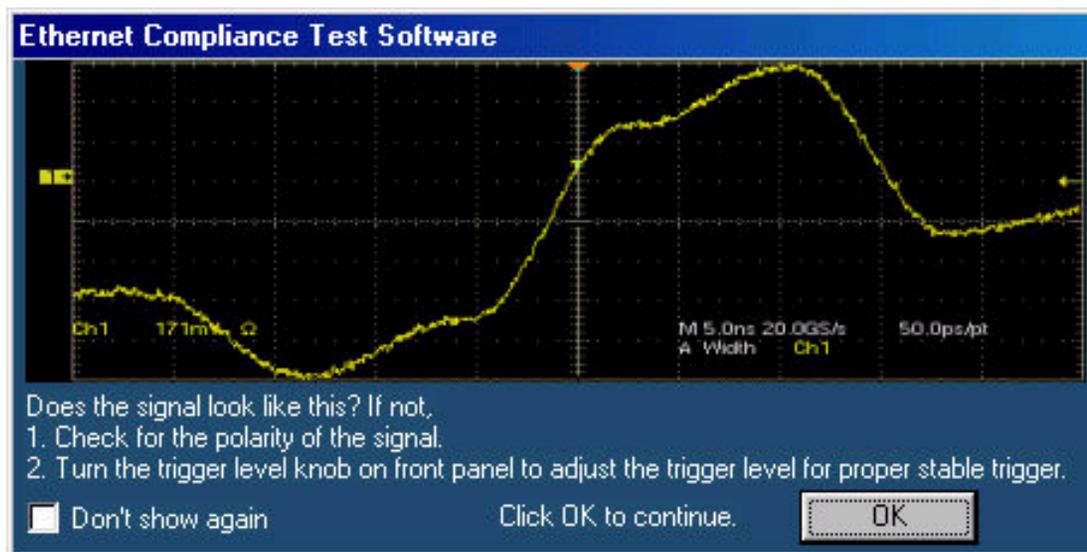
- ▶ Selectメニューにて Distortionを選択
- ▶ Configureメニュー
- ▶ Source Data: Ch1-Ch4
- ▶ TX_TCLK: Ch1-Ch4
- ▶ #Averages: 64-10,000 (Default:64)
- ▶ Disturbing Signal: Yes (Noは初期設計時のみ)
- ▶ TX_TCLK: Yes / No
- ▶ Output: Ref1
- ▶ Hi Resolution: 2-75 (Default:64) 設定値が大きいほうが測定値は小さくなります)
- ▶ LP Filter: No (150MHzの帯域をもったLPFでノイズ除去、Yesは初期設計時のみ使用可です)

Distortion testの試験方法

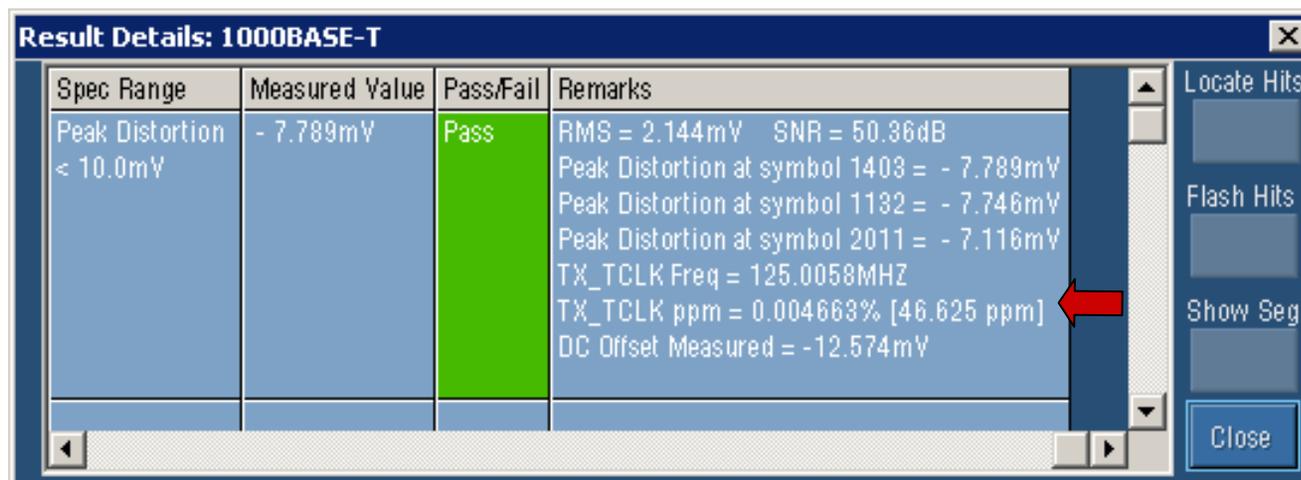


7 Distortion test の手順(3)

- ▶ Run Testを行うと右上のような波形がオシロで表示されるかどうか訊かれます。同じような波形であればOKボタンをクリックし、先に進みます。OKでない場合、プローブの極性、トリガレベルの微調整を行っててください。
- ▶ 試験がPassすると右下のように緑色でERROR PLOTが表示されます。
- ▶ 試験がFailした場合、ERROR PLOTは赤色で表示されます。



7 Distortion test の手順(4)



Spec Range	Measured Value	Pass/Fail	Remarks
Peak Distortion < 10.0mV	- 7.789mV	Pass	RMS = 2.144mV SNR = 50.36dB Peak Distortion at symbol 1403 = - 7.789mV Peak Distortion at symbol 1182 = - 7.746mV Peak Distortion at symbol 2011 = - 7.116mV TX_TCLK Freq = 125.0058MHZ TX_TCLK ppm = 0.004663% [46.625 ppm] DC Offset Measured = -12.574mV

- ▶ Result画面にてResult Detailボタンを押すと上のようなポップアップ画面が表示されます。
- ▶ Remarksの項目中で TX_TCLK Freqの値が125MHzから大きく外れ、TX_TCLK ppmの値が数百ppmを大きく上回るような場合はTX_TCLKがSpectrum Spread Clockingで動いている可能性があります。この場合、Distortion試験では正しい値が取れません。
- ▶ TX_TCLK ppmの値が数十ppmの範囲内で試験できるようにDUTの設定を行って下さい。

8 Common Mode (CM) Voltage test の手順(1)

Common Mode Voltage testの試験内容

- ▶ Test mode 4の信号でテスト

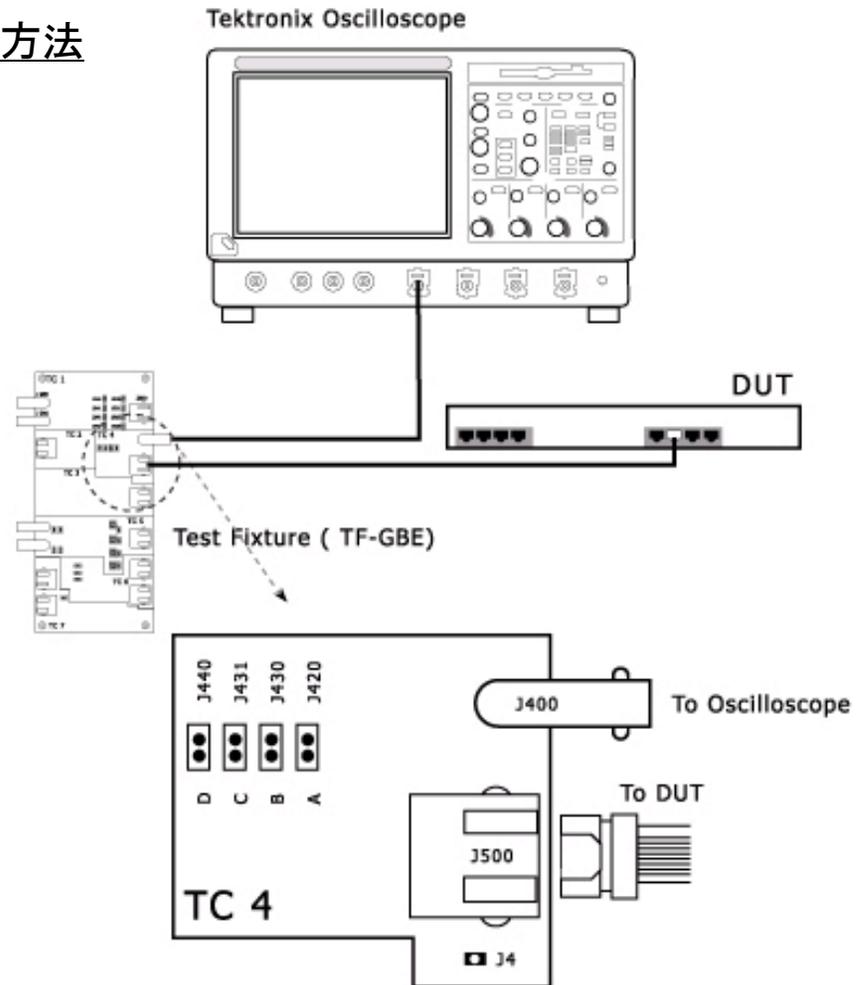
波形ピーク値が17レベル、2047シンボルの擬似ランダムノイズ波形

- ▶ MDIの差動出力をそれぞれ47.5Ωで終端し、その中点を49.9Ω (50Ω)で終端、中点の電圧(コモンモード電圧)をオシロスコープにて直接測定します。プローブは使用しません。
- ▶ テストフィクスチャTC4では47.5Ωの終端抵抗のペアが4つのTest Pair A, B, C, Dの分だけあり、それぞれについてTestします。
- ▶ HistogramのPk-Pk測定により波形のpk-pkの値が測定され、50mV未満であることがチェックされます。

8 Common Mode (CM) Voltage test の手順(2)

Common Mode Voltage testの接続方法

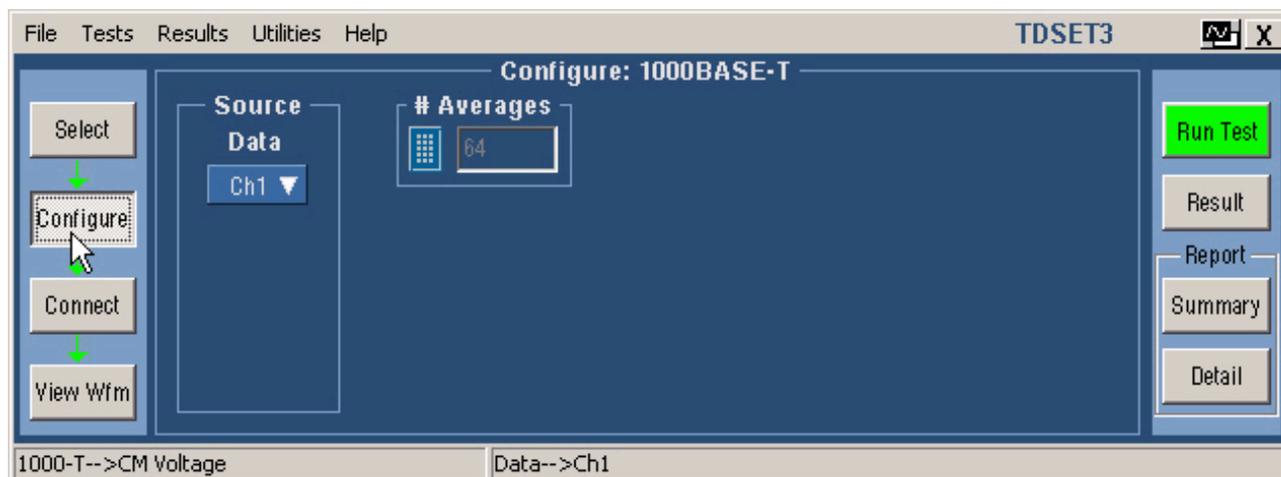
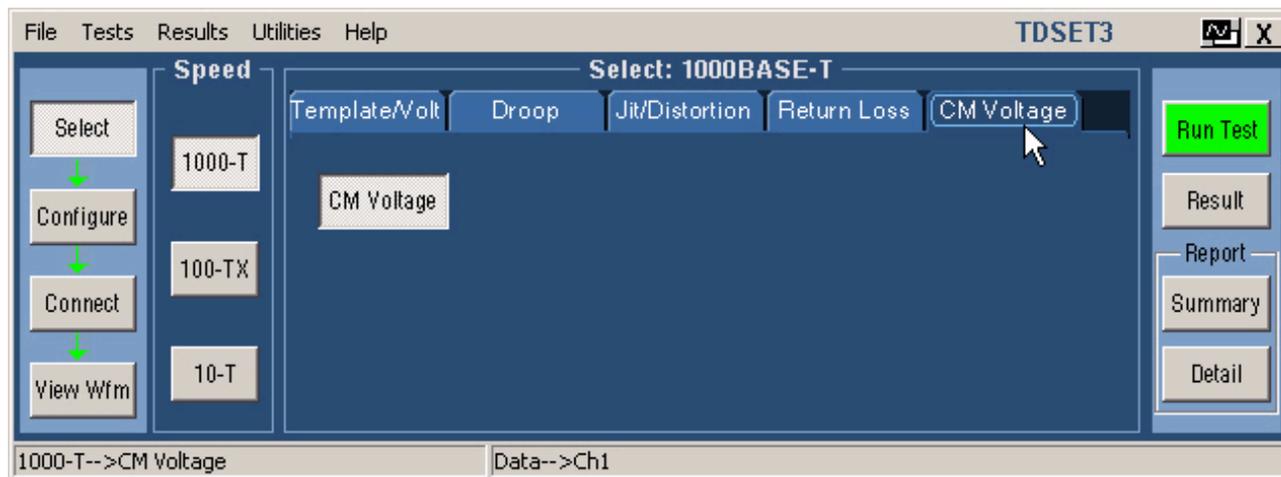
- ▶ DUTをTest Mode 4に設定
- ▶ TC4のJ500にDUTのTest portを接続
- ▶ BNCケーブルをJ400とオシロスコープの測定チャンネルに接続
- ▶ Test Pairにより以下のようにJumperをショート
- ▶ Test Pair A: J420
- ▶ Test Pair B: J430
- ▶ Test Pair C: J431
- ▶ Test Pair D: J440



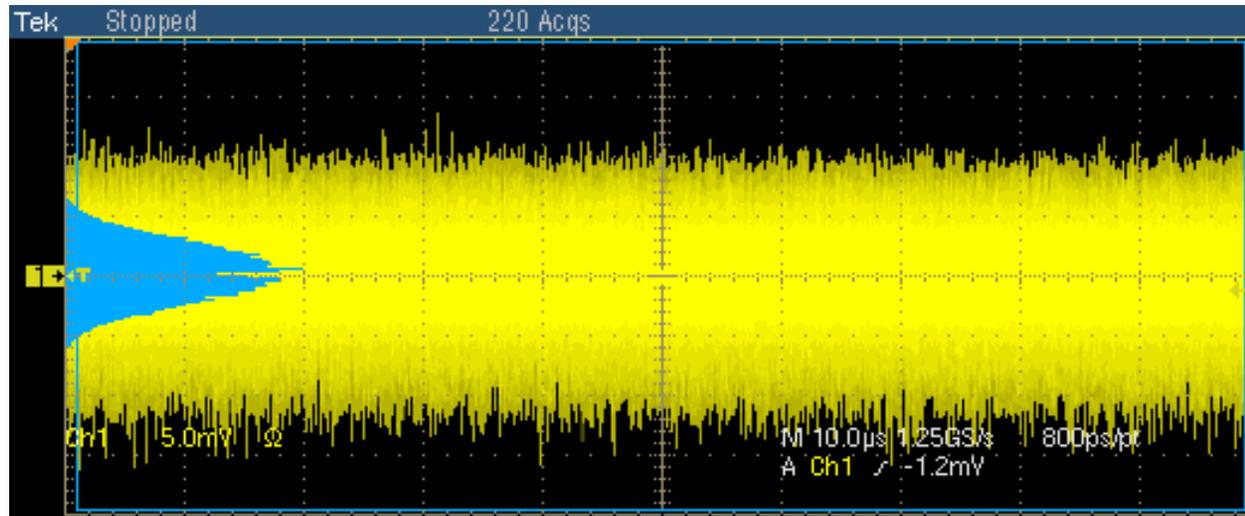
8 Common Mode (CM) Voltage test の手順 (3)

Common Mode Voltage testの試験方法

- ▶ SelectメニューにてCM Voltageを選択
- ▶ Configureメニュー
- ▶ Source Data: Ch1-Ch4
- ▶ #Averages: 64 (固定)



8 Common Mode (CM) Voltage test の手順(3)



- ▶ Run Testを行うと上図のような波形がオシロスコープで表示されます。

9 Return Loss test の手順(1)

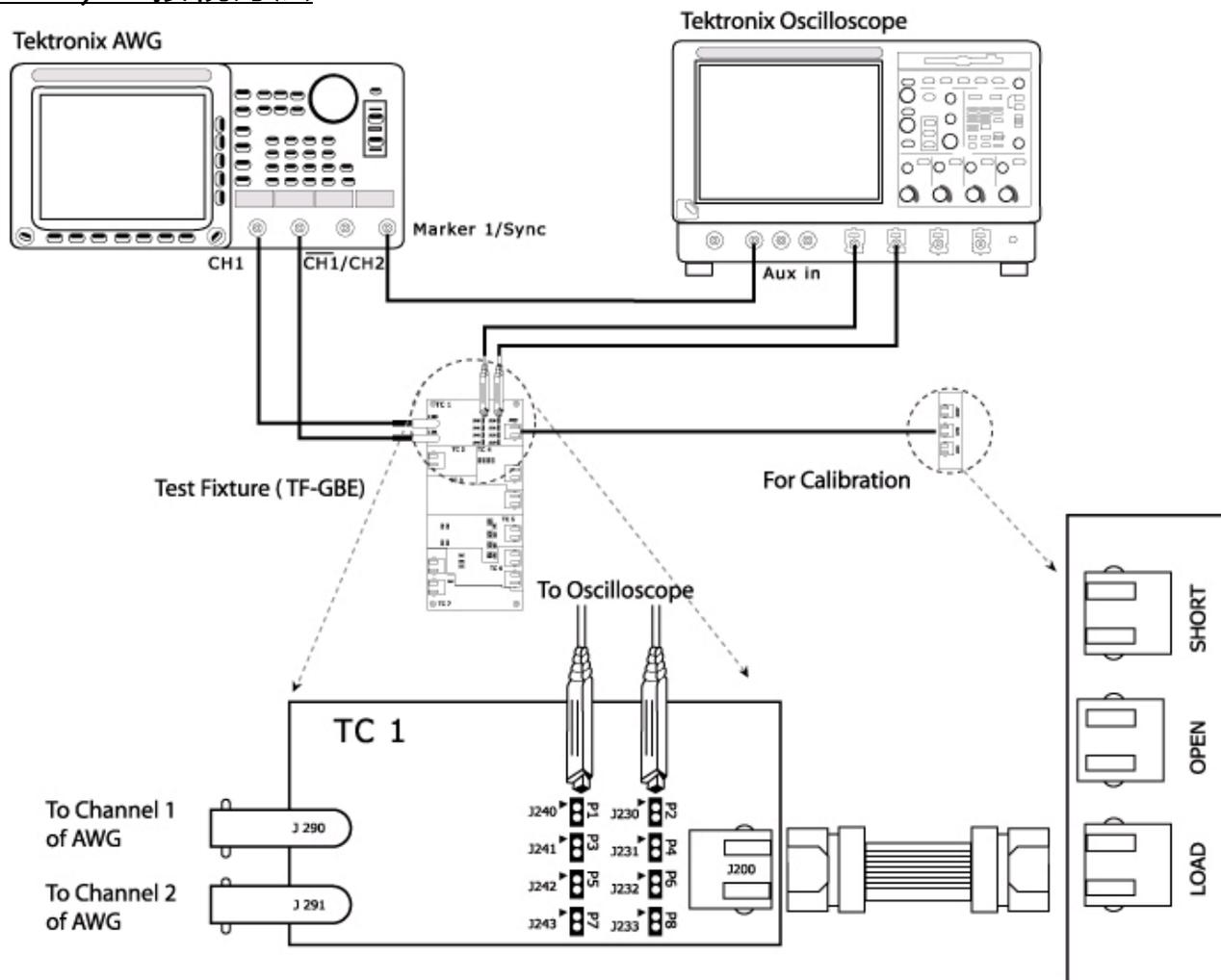
Return Loss testの試験内容

- ▶ リターンロスはいмпीडランスの不整合により発生する反射波の度合いを表します。この値が大きいと反射が小さく、信号伝送品質が優れていることとなります。リターンロスはVSWRと関連した値となります。
- ▶ MDI (Medium Dependent Interface : RJ45コネクタ～PHYの手前) に入射した信号に対して反射する信号は以下の通りである必要があります。
- ▶ 1MHz ~ 40MHz: 16dB以上減衰すること
- ▶ 40MHz ~ 100MHz: $10 - 20 \cdot \log(f/80)$ 以上減衰すること
- ▶ MDIに接続するケーブルの差動インピーダンスは $100 \Omega \pm 15\%$ (85 Ω 、100 Ω 、115 Ω)で行うこと
- ▶ Testに先立ちCalibrationを行う必要があります。
- ▶ 4つのTest Pairでそれぞれ行います。

9 Return Loss test の手順(2)

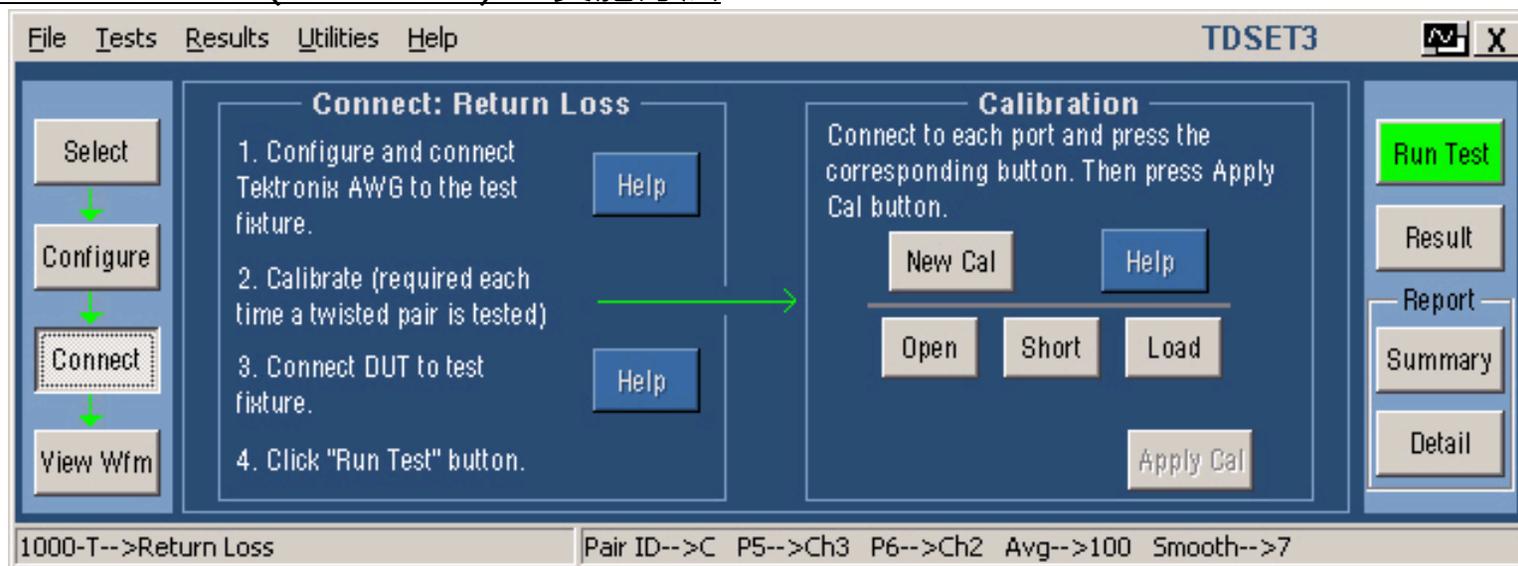
Return Loss test (Calibration) の接続方法

- ▶ J200とReturn Loss Calibration基板とを Short RJ45 cableで接続します (CAT5 cable)
- ▶ TC1のJ290, J291を AWGのCH1, CH2(/CH1)にそれぞれ接続、AWGのMarker1をオシロのAUX INに接続します
- ▶ Test Pairにより下記をプローブ
- ▶ Test Pair A: P1(J240), P2(J230)
- ▶ Test Pair B: P3(J241), P4(J231)
- ▶ Test Pair C: P5(J242), P6(J232)
- ▶ Test Pair D: P7(J243), P8(J233)



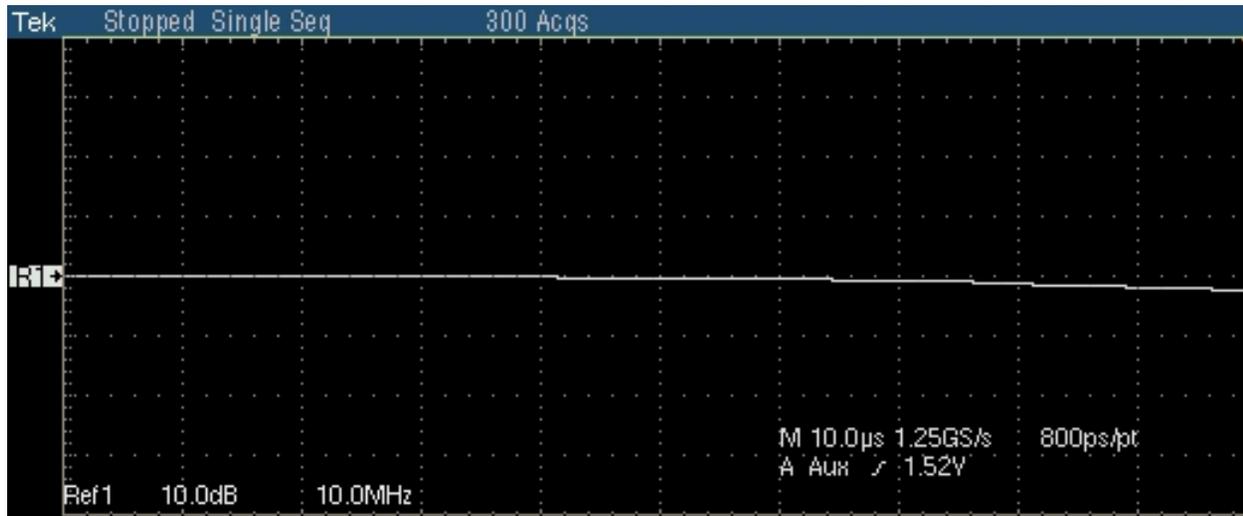
9 Return Loss test の手順(3)

Return Loss test (Calibration) の実施方法



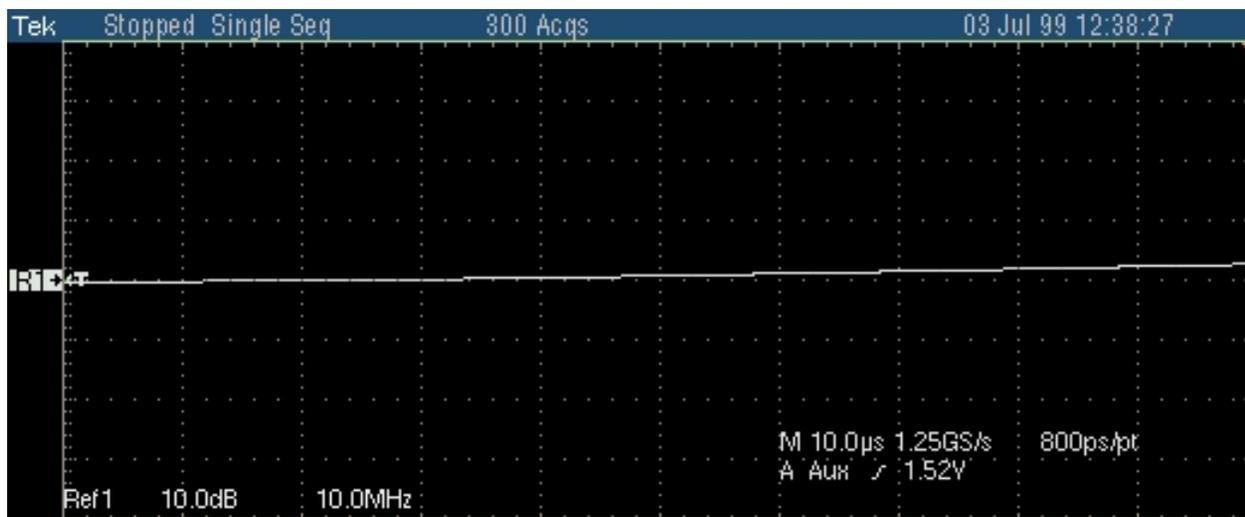
- ▶ TDSのCDライブ、C:\TekApplications\TDSET3\AWG Waveforms\1000BaseT Return Loss (AWG機種別フォルダ) から使用するWFMファイルをAWGにCopy
- ▶ AWGから信号を出力 (Test Mode4 相当の波形、Amplitude: 2Vpp, Clock: 250MHzであることを確認)
- ▶ Selectメニューで1000Base-T、Return Lossを選択します。
- ▶ ConnectメニューにてNew Calをクリック
- ▶ Return Loss Calibration基板のOPEN (J702)とTC1のJ200とをCAT5 cableで接続
- ▶ 右上図Openボタンをクリックします

9 Return Loss test の手順(4)



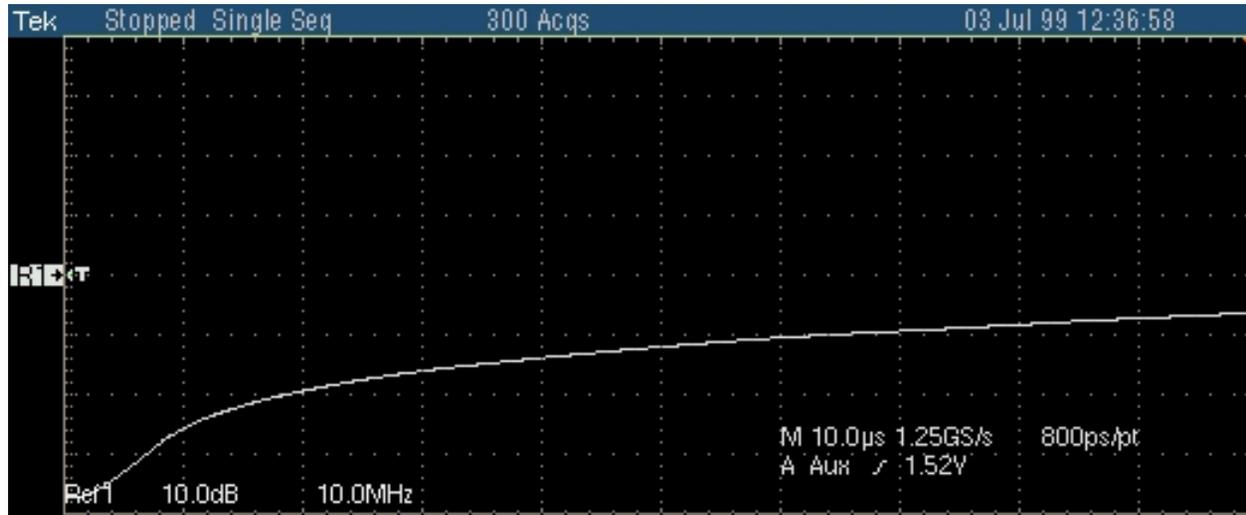
- ▶ Calibrationが完了すると“Done”という文字がOpenボタンの下に現れます
- ▶ 上記のような波形がReturn Loss Open Calibrationの結果として表示されます

9 Return Loss test の手順(5)



- ▶ 次にReturn Loss Calibration基板のSHORT (J703)とTC1のJ200とをCAT5 cableで接続
- ▶ ConnectメニューのCalibrationの中からShortボタンをクリックします
- ▶ Calibrationが完了すると“Done”という文字がShortボタンの下に現れます
- ▶ 上記のような波形がReturn Loss Short Calibrationの結果として表示されます

9 Return Loss test の手順(6)

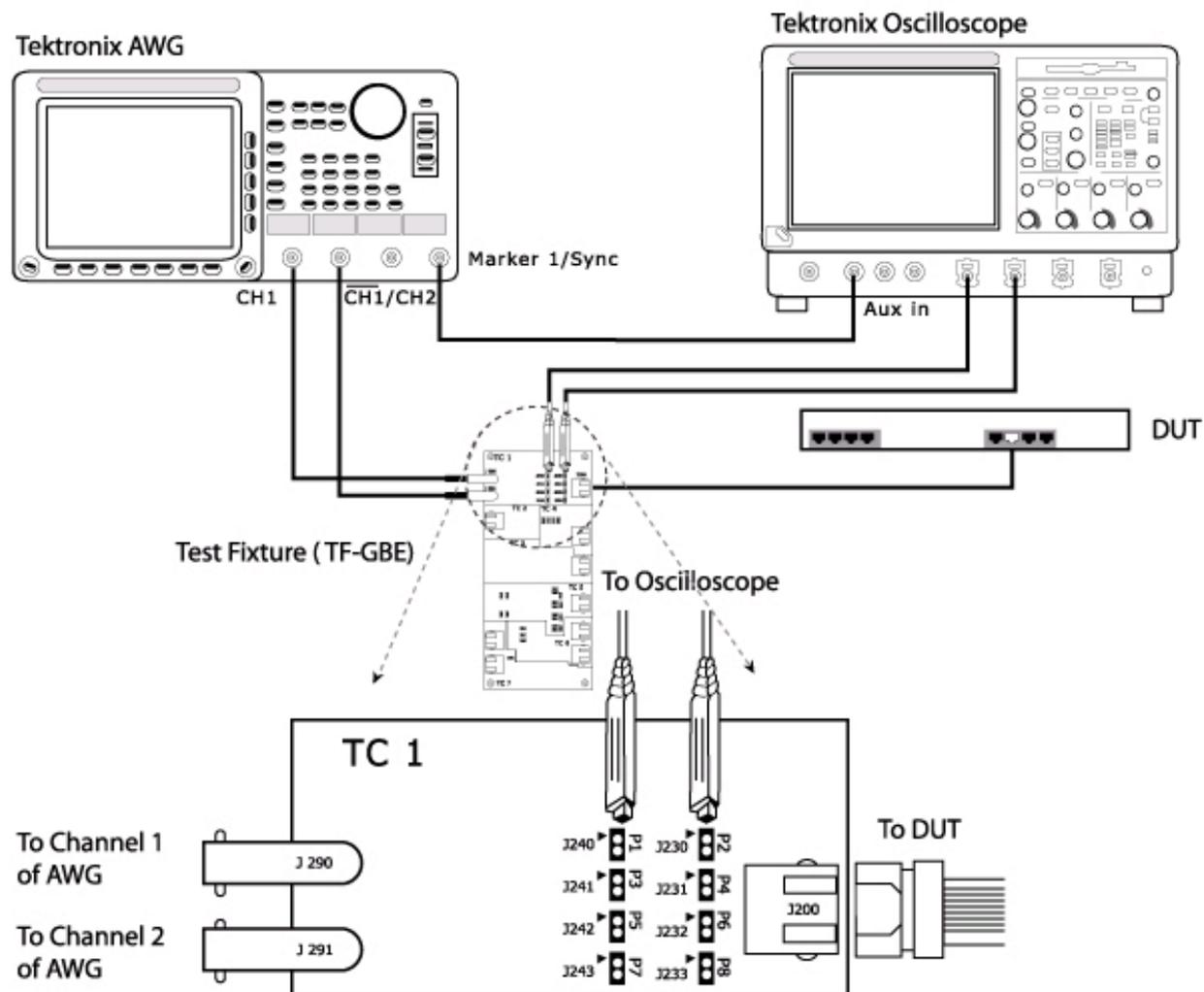


- ▶ 次にReturn Loss Calibration基板のLOAD (J704)とTC1のJ200とをCAT5 cableで接続
- ▶ ConnectメニューのCalibrationの中からLoadボタンをクリックします
- ▶ Calibrationが完了すると“Done”という文字がShortボタンの下に現れます
- ▶ 上記のような波形がReturn Loss Load Calibrationの結果として表示されます
- ▶ 3つのCalibrationが終了したらApply Calをクリックします
- ▶ 再Calを行う場合はNew Calをクリックしてから前述のCalを再度実行します

9 Return Loss test の手順(7)

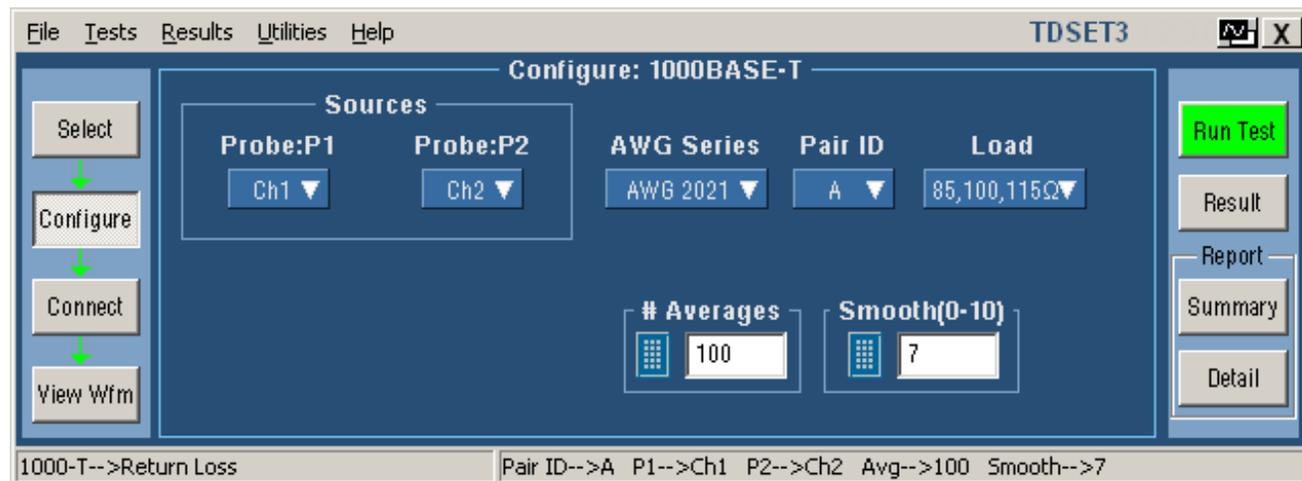
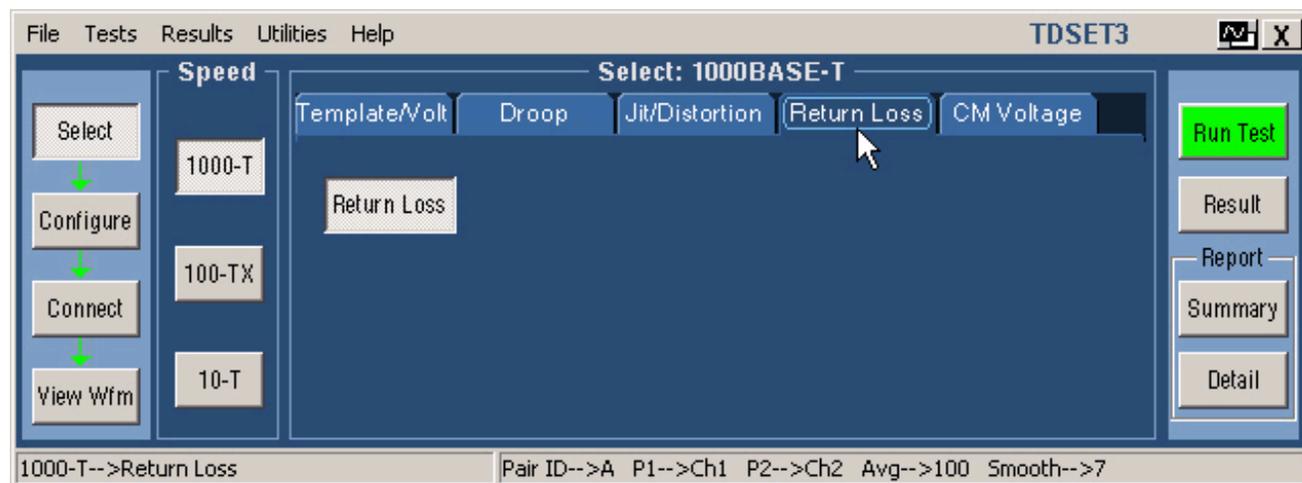
Return Loss test の接続方法

- ▶ DUTをTest Mode 4に設定します
- ▶ J200とDUTを接続します
- ▶ TC1のJ290, J291をAWGのCH1, CH2(/CH1)に、AWGのMarker1をオシロのAUX INに接続します
- ▶ Test Pairにより下記をプローブ
- ▶ Test Pair A: P1(J240), P2(J230)
- ▶ Test Pair B: P3(J241), P4(J231)
- ▶ Test Pair C: P5(J242), P6(J232)
- ▶ Test Pair D: P7(J243), P8(J233)



9 Return Loss test の手順(8)

- ▶ Selectメニューにて Return Lossを選択
- ▶ Configureメニュー
- ▶ Sources Probe: P1/P2: Ch1-Ch4
- ▶ AWG Series: AWG4xx AWG2021 AWG5xx AWG6xx AWG7xx
- ▶ Pair ID: Test Pair A, B, C, D
- ▶ Load: 100Ω 又は 85,100,115Ω
- ▶ #Averages: 100-10,000 (Default:100)
- ▶ Smooth(0-10) (Default:7)
Return Loss波形を平滑化、値は任意



9 Return Loss test の手順(9)



- ▶ AWGから信号を出力します。(Test Mode4 相当の波形、Amplitude: 2Vpp, Clock:250MHzであることを確認)
- ▶ Run Testを行うと上図のような波形がオシロスコープで表示されます。
- ▶ 表示される周波数帯域は0-100MHzで、85/100/115ohmのいずれの波形においてもマスクにかかった場合Failとなります。