40nm FPGAが実現する最先端メモリ・インタフェース

日本アルテラ株式会社
プロダクト・マーケティング・マネージャ
橋詰　英治

© 2009 Altera Corporation—**Public**

アルテラが提供する完全なソリューション

ALTERA

MAX Series — CPLD

Cyclone Series — 低コストFPGA

Arria Series — ミッド・レンジFPGA

Stratix Series — 高集積・高性能・多機能FPGA

HardCopy Series — ASIC

Nios II — エンベデッド・プロセッサ

IPコア製品群

QUARTUS II — 開発ソフトウェア

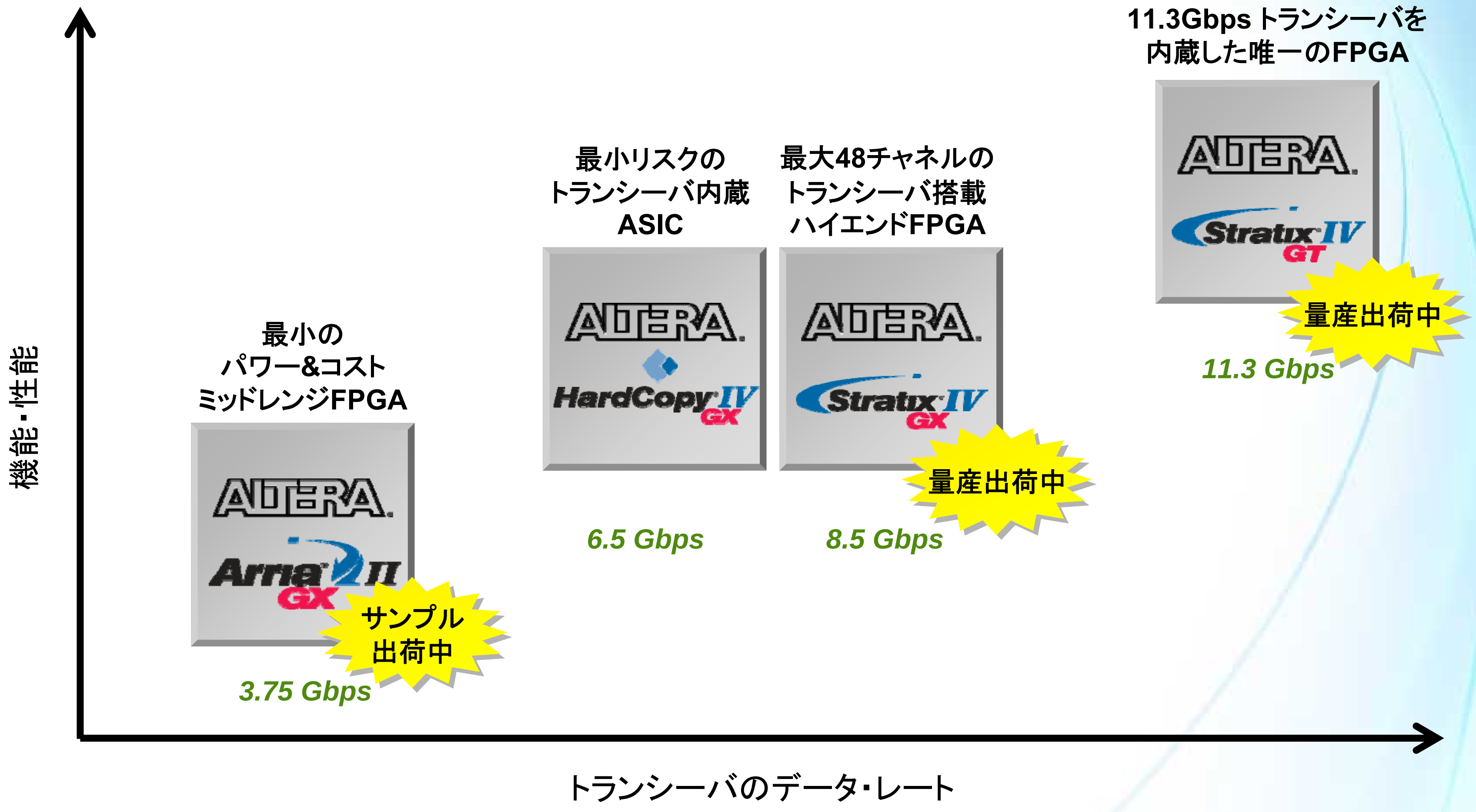
開発キット

© 2009 Altera Corporation—**Public**

Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

ALTERA

最新 40nm FPGA & ASIC 製品



全てトランシーバ(SERDES)を内蔵、
同一の40nm プロセスでご提供

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

Stratix® IV GX FPGA

- 最高集積
  - 最大 530 K LE 相当
  - 最大 20.3 M ビットの内蔵メモリ
  - 最大 1,288 個の 18 x 18 マルチプライヤ
- 最高の帯域幅および性能
  - 最大 48 個のトランシーバ
    - 8.5 Gbps トランシーバ 36 個
    - 6.5 Gbps トランシーバ 12 個
  - 最大4個のPCIe Gen1 / Gen2 x8対応ハード IP
  - 最大748 GMACSのDSP性能
- 最小の消費電力
  - 40 nm プロセスの利点（0.9 V のコア電圧を含む）
  - プログラマブル・パワー・テクノロジ
  - Quartus® II PowerPlay テクノロジ
- FPGAプロトタイピングから HardCopy ASIC による量産への シームレスなマイグレーション

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

HardCopy IV GX ASIC

- トランシーバを内蔵した初のHardCopy ASIC
  - Stratix IV GX と同一アーキテクチャのトランシーバ
  - 6.5+ Gbps、最大36個
- シームレスなプロトタイピング手法の提供
  - 1 種類の設計データ、RTL コード、IP コア、設計ツールにより、FPGA と ASIC 両方の実装を実現
- 最小のリスク、最小のトータル・コストでディープ・サブミクロン ASIC を利用可能
  - 低い NRE 費用、予測可能で短い開発期間
- 低消費電力
  - 対応する FPGA より 50 % 以上の低消費電力化
- 初回の成功を確実にするASIC手法

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

ALTERA

Stratix IV GT FPGA

- 11.3 Gbps トランシーバを搭載し
  40G / 100G アプリケーションに対応する
  唯一の FPGA
  - アルテラおよびパートナーによる
    完全な IP ソリューションを用意
- 最大のバンド幅
  - 48 個のトランシーバ
    - 最大 11.3 Gbps トランシーバ 32 個
    - 最大　6.5 Gbps トランシーバ 12 個
  - 光モジュールにダイレクト接続が可能
- 最大集積度
  - 230 K ~ 530 K のロジック･エレメント (LE)
  - 13.3 M ビット ~ 20.3 M ビットの内蔵 RAM
  - 832 個 ~ 1,288 個 の18 x 18 乗算器

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

Arria® II GX FPGA

- 最小の消費電力を実現する
3.75 Gbps トランシーバ FPGA
  - 既存ソリューションの 1/2 の消費電力
    - 90 nm、65 nm FPGA に対して
- コストを最適化
  - 最大 3.75 Gbps アプリケーションに対し、回路トランシーバと I/O を最適化
- 幅広い選択オプション
  - 16 K ~ 256 K のロジック・エレメント（LE）
  - 4 個 ~ 16 個のトランシーバ
  - 56個 ~ 736個の 18 x 18 マルチプライヤ
  - 0.7 ~ 8.5 Mビットの内蔵メモリ

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

40nm FPGA & ASIC 製品の機能比較

デバイス・ファミリ	Arria II GX FPGA	HardCopy IV GX ASIC	Stratix IV GX FPGA	Stratix IV GT FPGA
コア				
ロジック集積度 (K-LE)	16 ~ 256	70 ~ 530 （~ 11.5M ASICゲート）	70 ~ 530	230 ~ 530
内蔵メモリ (Mビット)	0.6 ~ 8.5	6.3 ~ 20.3	6.3 ~ 20.3	13.3 ~ 20.3
18x18 マルチプライヤ数	56 ~ 736	384 ~ 1288	384 ~ 1288	832 ~ 1288
PCIe ハードIPブロック	Gen1, x1~ x8 最大1 個	Gen1/Gen2, x1~ x8 最大4個	Gen1/Gen2, x1~ x8 最大4個	Gen1/Gen2, x1~ x8 最大4個
I/O				
ユーザ I/O数	156 ~ 612	368 ~ 736	288 ~ 904	636 ~ 754
3.75 Gbps トランシーバ数	4 ~ 16	8 ~ 36	8 ~ 48	36 ~ 48
6.5 Gbps トランシーバ数	-	8 ~ 36	8 ~ 48	36 ~ 48
8.5 Gbps トランシーバ数	-	-	8 ~ 32	24 ~ 32
11.3 Gbps トランシーバ数	-	-	-	12 ~ 32
LVDS	1 Gbps	1.6 Gbps	1.6 Gbps	1.6 Gbps
DDR3	300 MHz	533 MHz	533 MHz	533 MHz

注1：LEあたり12ゲート、18x18マルチプライヤは5000ゲートで換算。メモリ、PLL、テスト回路、およびI/Oレジスタは含んでいません。

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

DDR メモリ･インタフェースの課題と ソリューション

© 2009 Altera Corporation—**Public**

DDR3 の特徴（JEDEC JESD79-3）

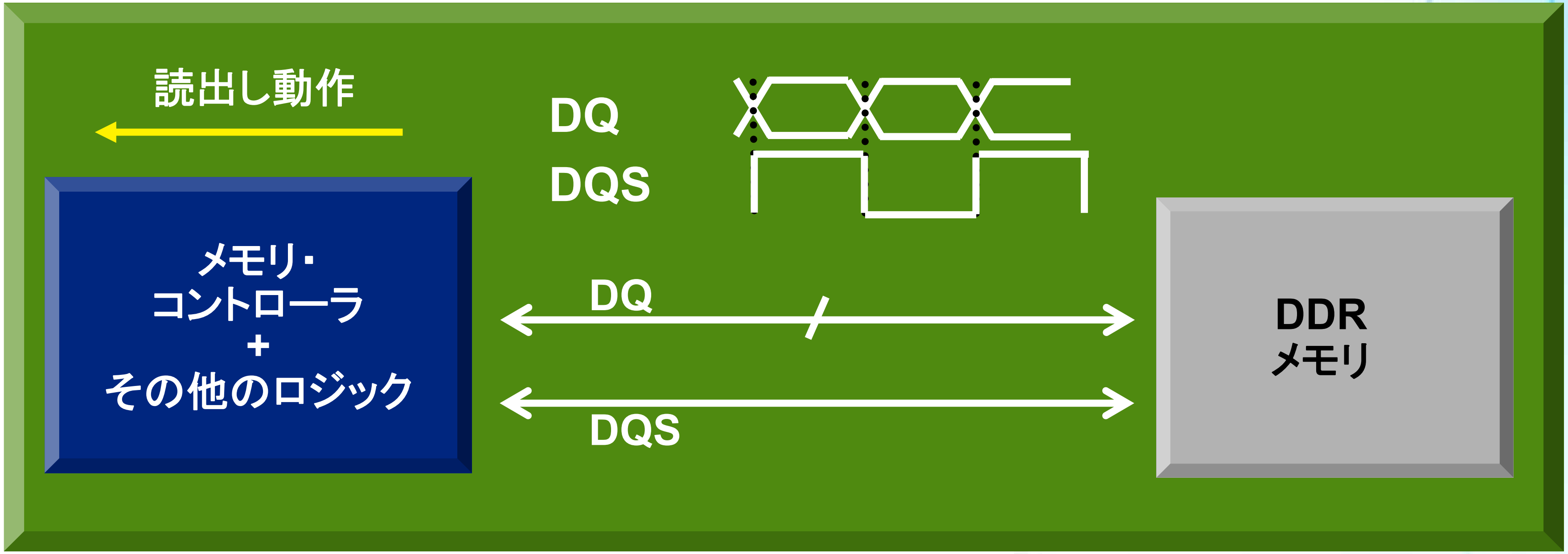
- 高速性（高バンド幅）
  - 800 ~ 1,600 Mbps
- 低電圧（低消費電力）
  - SSTL 1.5 V I/O
- 新しい DIMM 配線
  - “Fly by” トポロジ
- ダイナミック･レベリング
  - ライト･レベリング
  - リード･レベリング
- ダイナミック ODT

名称	I/O バス･クロック	転送レート	モジュール	ピーク転送レート（モジュール）
DDR3 – 800	400 MHz	800 Mbps	PC3-6400	6.40 Gbps
DDR3 – 1066	533 MHz	1,066 Mbps	PC3-8500	8.53 Gbps
DDR3 – 1333	667 MHz	1,333 Mbps	PC3-10600	10.67 Gbps
DDR3 – 1600	800 MHz	1,600 Mbps	PC3-12800	12.80 Gbps

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

DDRメモリ･インタフェースの課題：DQ-DQS 間の位相制御（読出し）

- 読出し動作時：
  - メモリが出力する DQ と DQS は、エッジで揃えられる
  - データを確実に取込むためには、
    DQS がデータの有効な範囲の真ん中にくるように、再調整する必要がある



© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

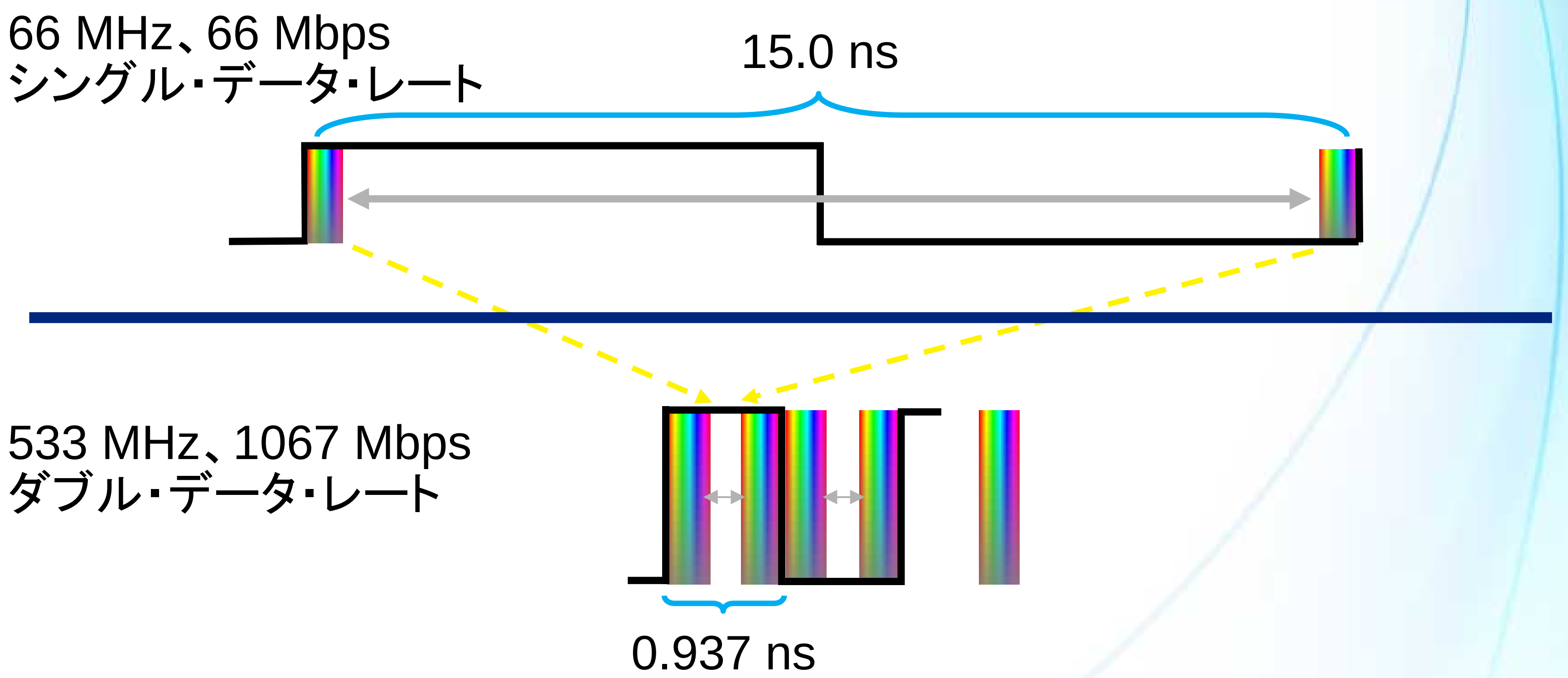
高速なDDRメモリ・インタフェースにおける課題

- シグナル・インテグリティ
  - 高速に動作する I/O バッファ
  - SSN（同時動作スイッチング・ノイズ）
  - PDN（パワー・ディストリビューション・ネットワーク）
- スタティック・マージンの減少
  - クロック周期の縮小
  - データ有効領域の縮小
  - データ有効領域のシフト

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

クロック周期が縮小

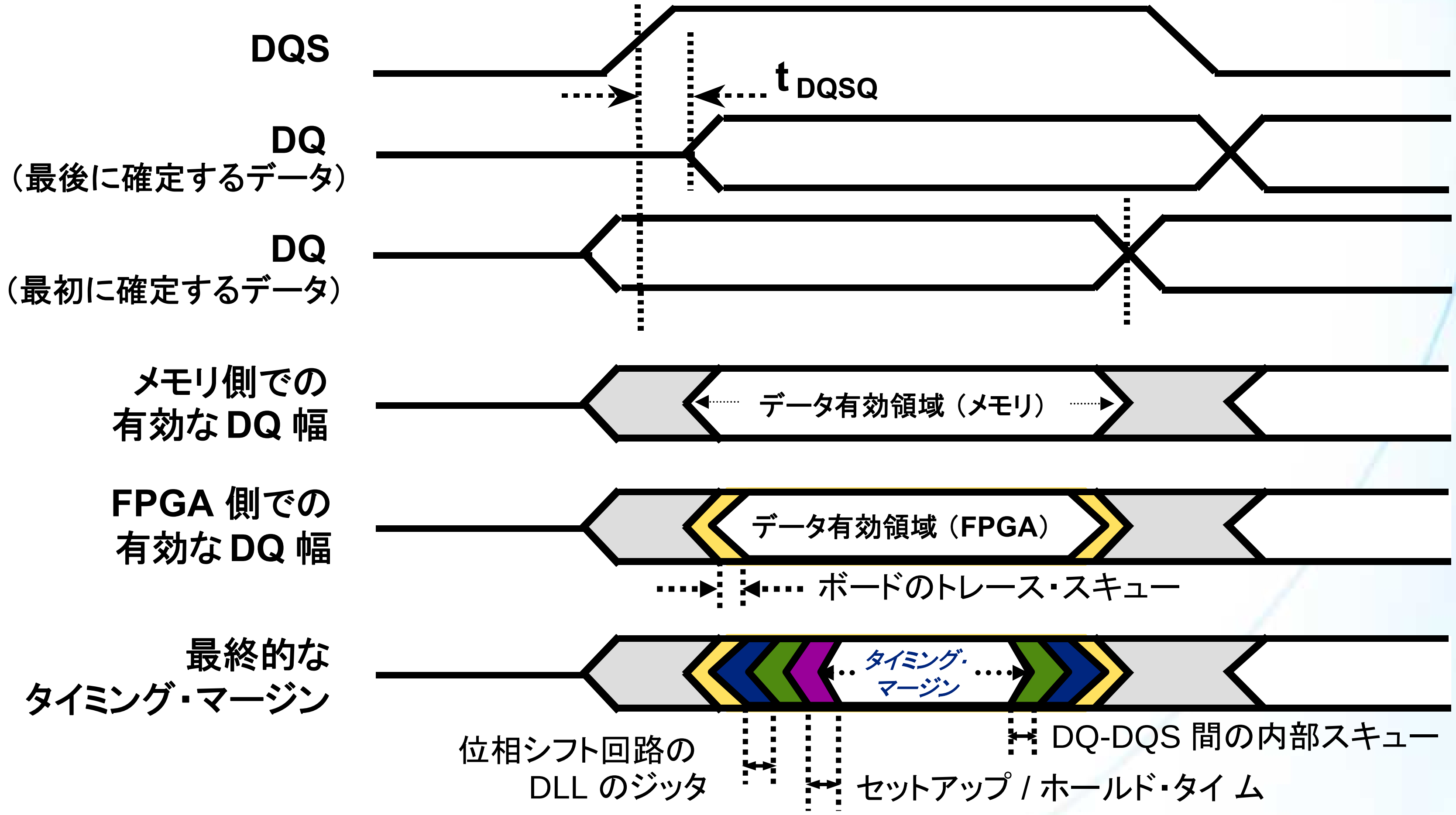
- ただし、デバイスおよびボードの不安定要素は減らない



© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

データ有効領域の減少

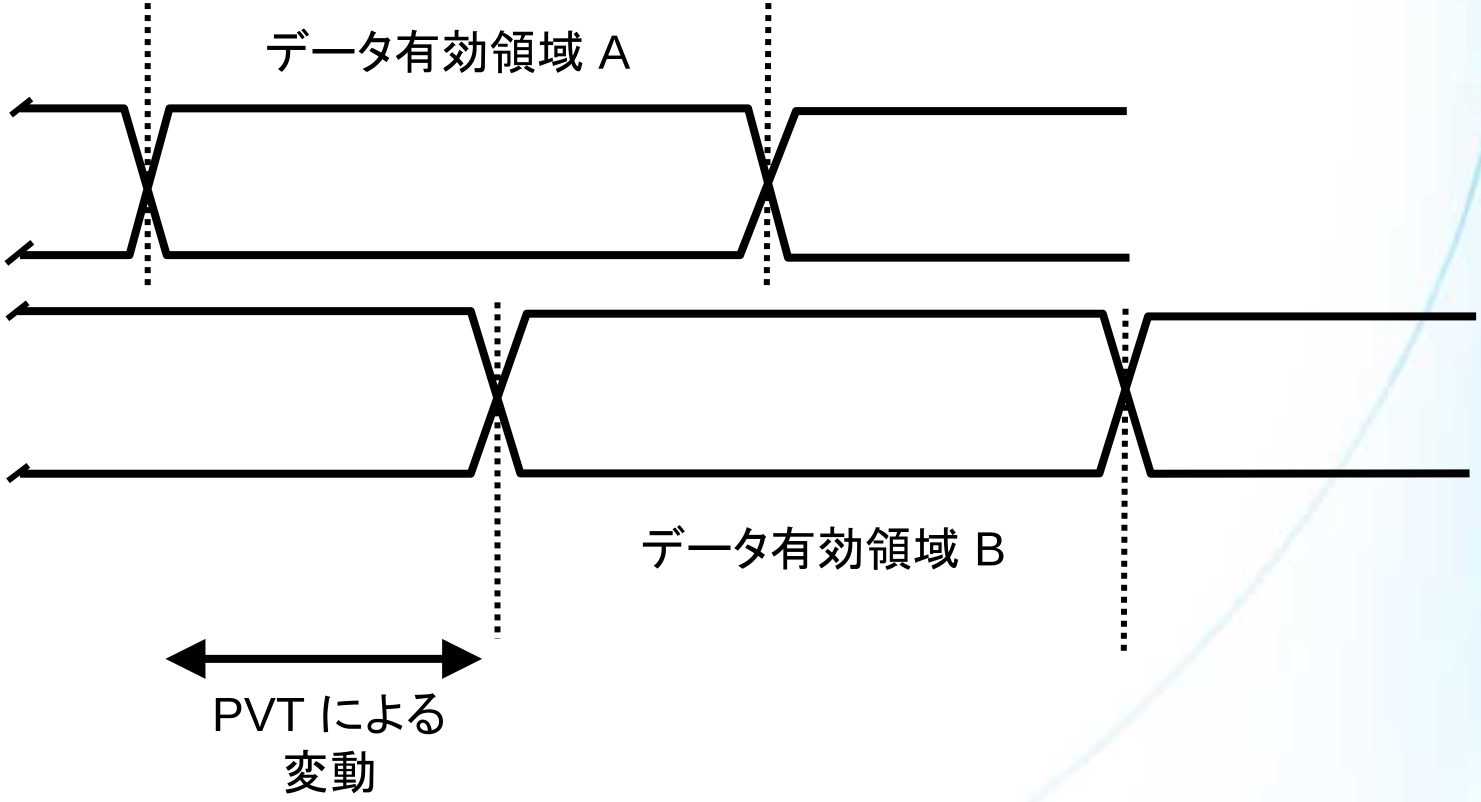
- DQ バスのスキューにより、データ有効領域は更に縮小



© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

データ有効領域の変動

- PVT（プロセス、電圧および温度）の影響で、データ有効領域が変動

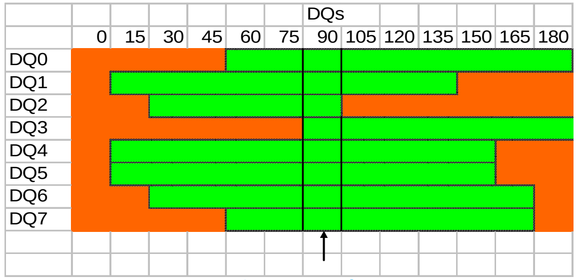


© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

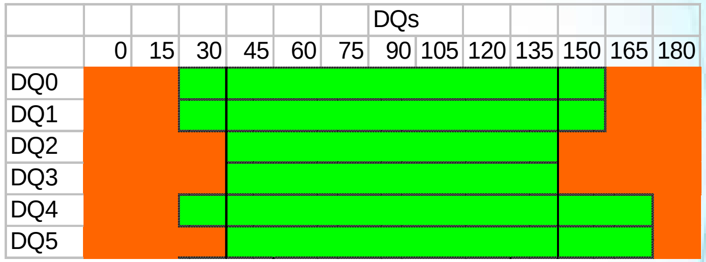
ソリューションは “キャリブレーション”

キャプチャ時のキャリブレーション (De-skew)

De-skew 前 ー 狭い有効領域



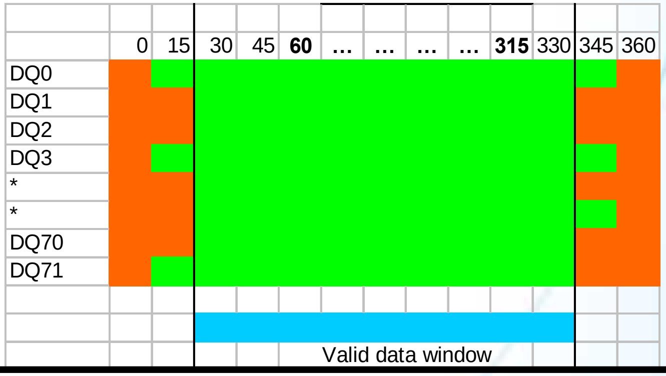
De-skew 後 – 最大化された有効領域



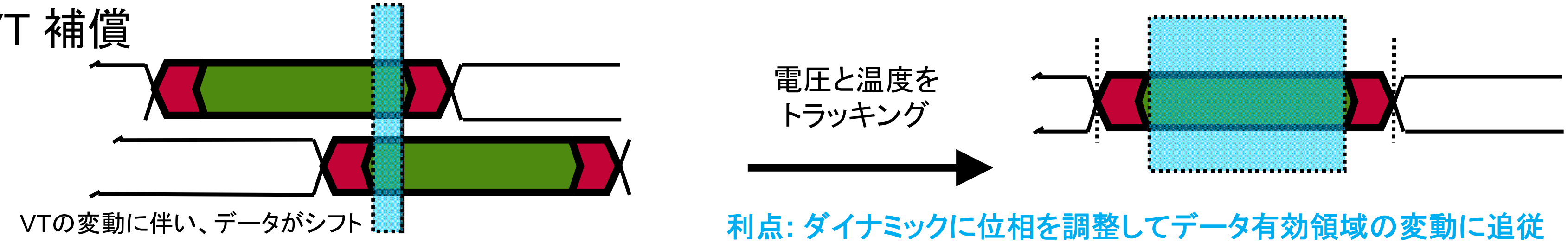
利点: データ･グループ内でスキューを最小化 ⇨ キャプチャ時のマージンを最大化

リシンク時のキャリブレーション

利点: 適切なストローブ･ポイントを判別&選択
⇨ リシンク時のマージンを最大化



VT 補償



利点: ダイナミックに位相を調整してデータ有効領域の変動に追従
⇨ VT 変動に強い耐久性

Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

Stratix IV が提供する 最先端 DDR テクノロジ

- パッケージおよび I/O デザインによる
  最高水準のシグナル・インテグリティ
  - オン・ダイ & オン・パッケージ・キャパシタンス
  - 8 : 1 : 1 の電源グランド比
  - 低いピン・キャパシタンス
- ハード IP とソフト IP による、容易かつ確実なデザイン
  - 消費電力を低減するダイナミック OCT （チップ内終端）
  - プログラマブル I/O ディレイ
  - DQS 位相シフト回路
  - ハーフレート・オプション
  - DDR3 のためのレベリング機能
  - ソフト IP （ALTMEMPHY） : オート・キャリブレーション PHY

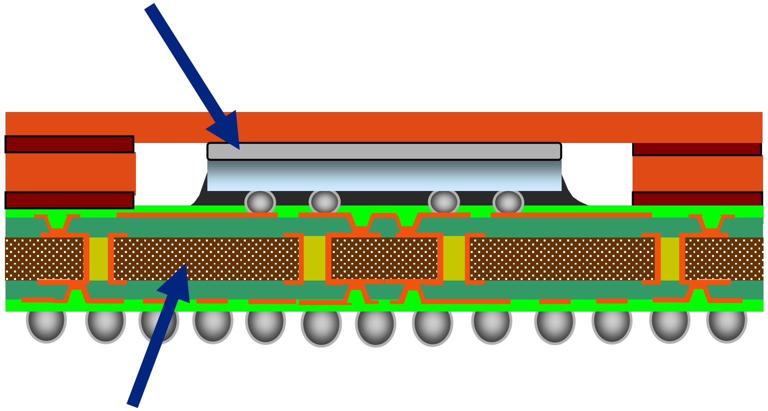
信頼性の高い
高速な DDR インタフェースを容易に実現

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

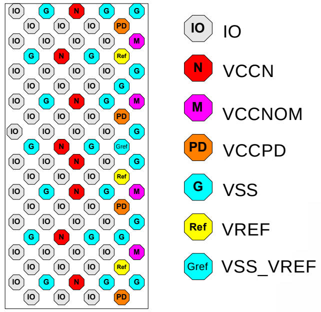
ALTERA.

パッケージおよび I/O デザインによるシグナル・インテグリティの改善

シリコン機能	利点
■ 調整可能なスルー・レート（4 段階） ■ 進化した OCT（On-Chip Termination : チップ内終端） ■ 調整可能な I/O ディレイ ■ オン・ダイ・キャパシタ	■ $\partial I / \partial t$ を制御 ■ 適切な終端 ■ SSN を抑制 ■ PDN 品質を向上



8 : 1 : 1 I/O : GND : PWR



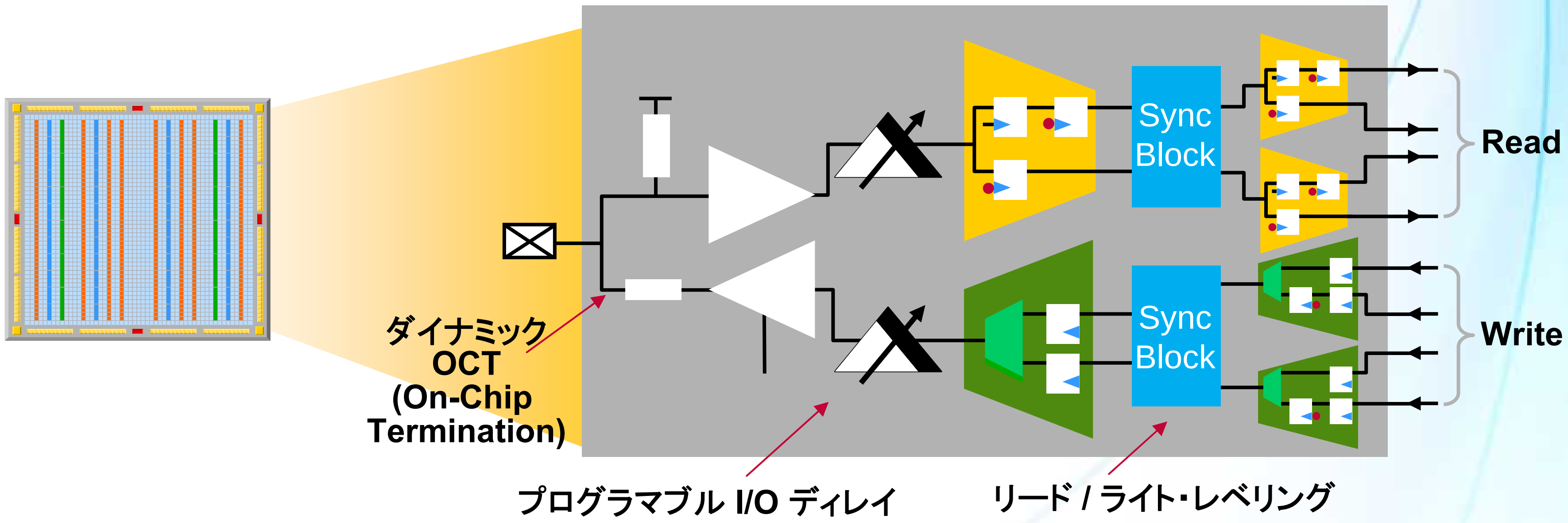
パッケージ機能	利点
■ オン・パッケージ・デカップリング・キャパシタ ■ 8 : 1 : 1 の I/O : グランド : 電源比率 – I/O とグランドの最大間隔は “ 1 ”	■ ループ・インダクタンスを低減 → SSN を抑制 ■ PDN 品質を向上

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

新しい DQ ブロック

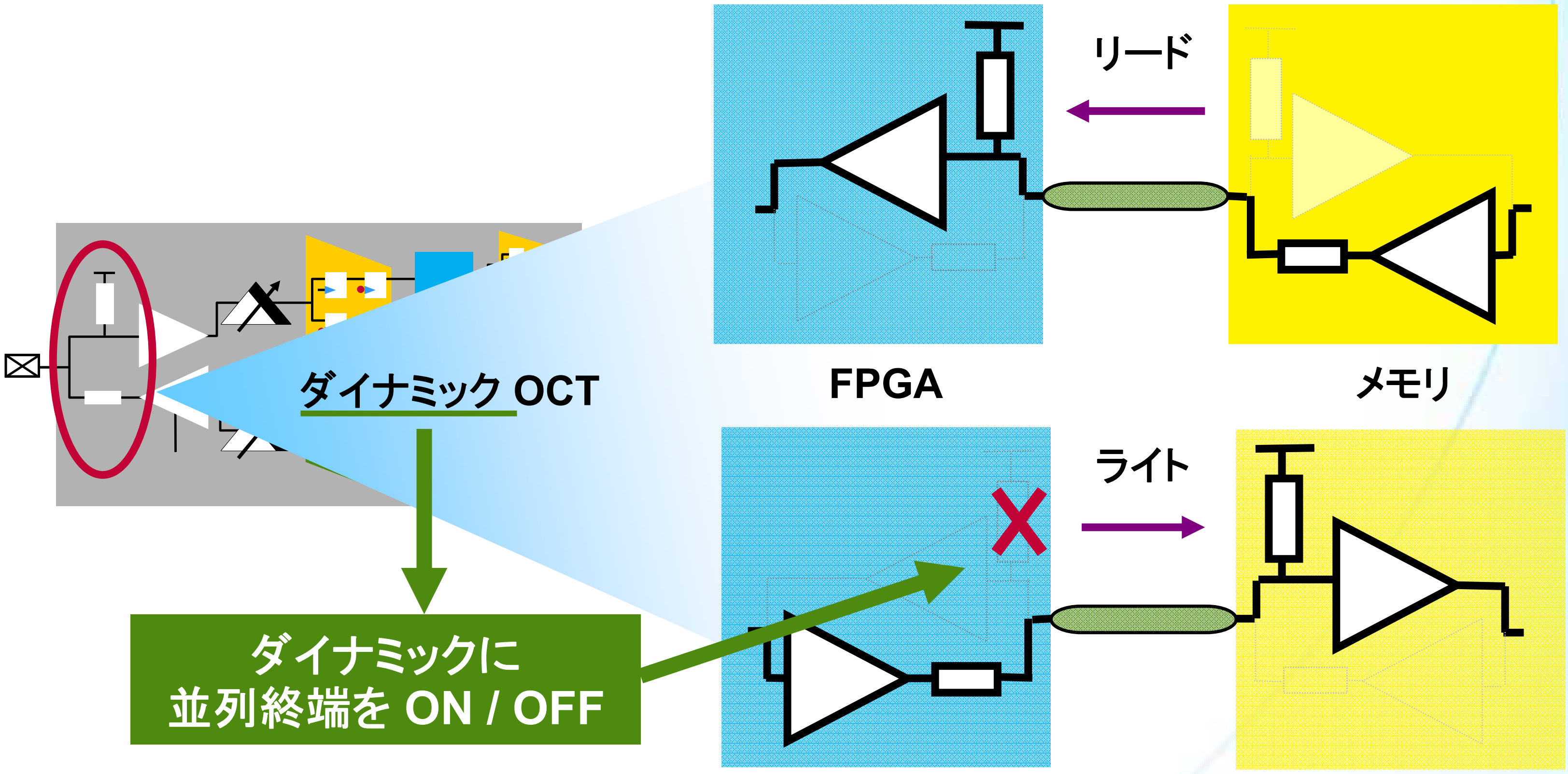
- 31 個の専用レジスタ
  - 異なるクロック系統の受渡しと、レートの管理
- プログラマブル I/O ディレイ
- プログラマブルなドライブ能力およびスルー・レート
- ハーフレート・オプション
- DDR3 のためのリード / ライト・レベリング機能

全ての I/O ブロックに搭載



© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

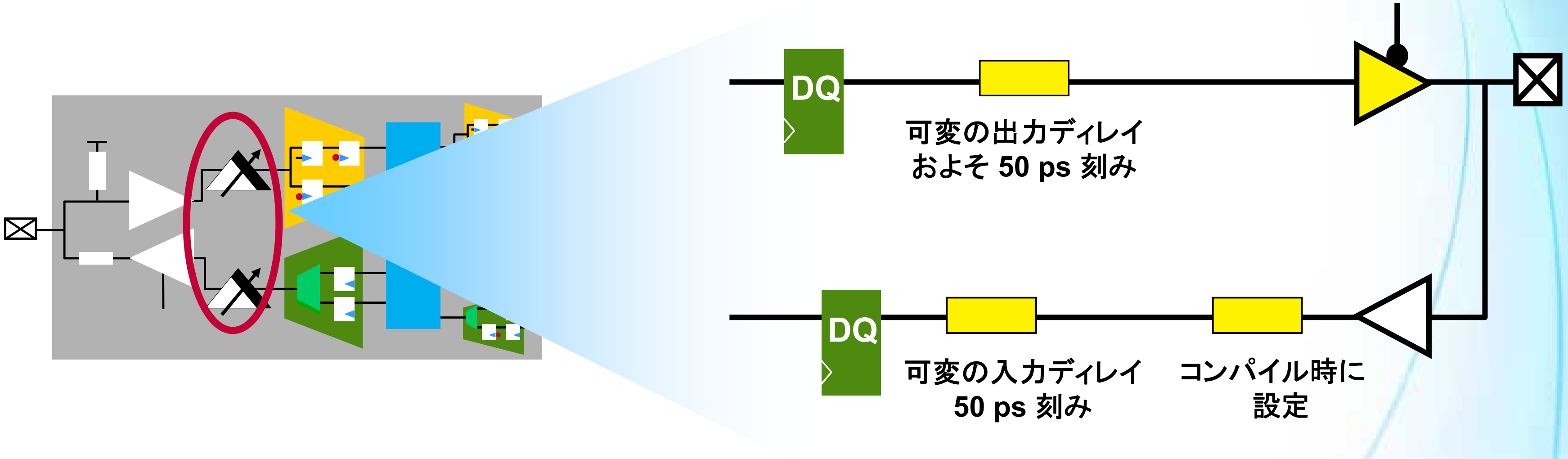
キャリブレーション付ダイナミック OCT による終端および消費電力の低減

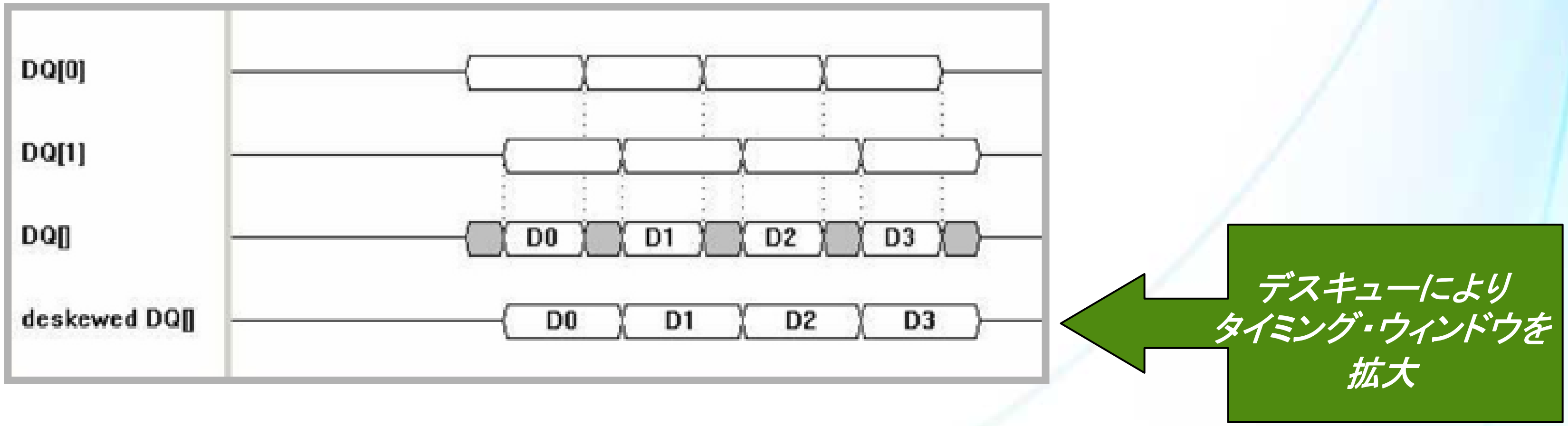


© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

プログラマブル I/O ディレイ

- DQ 間のスキューを FPGA 内で調整

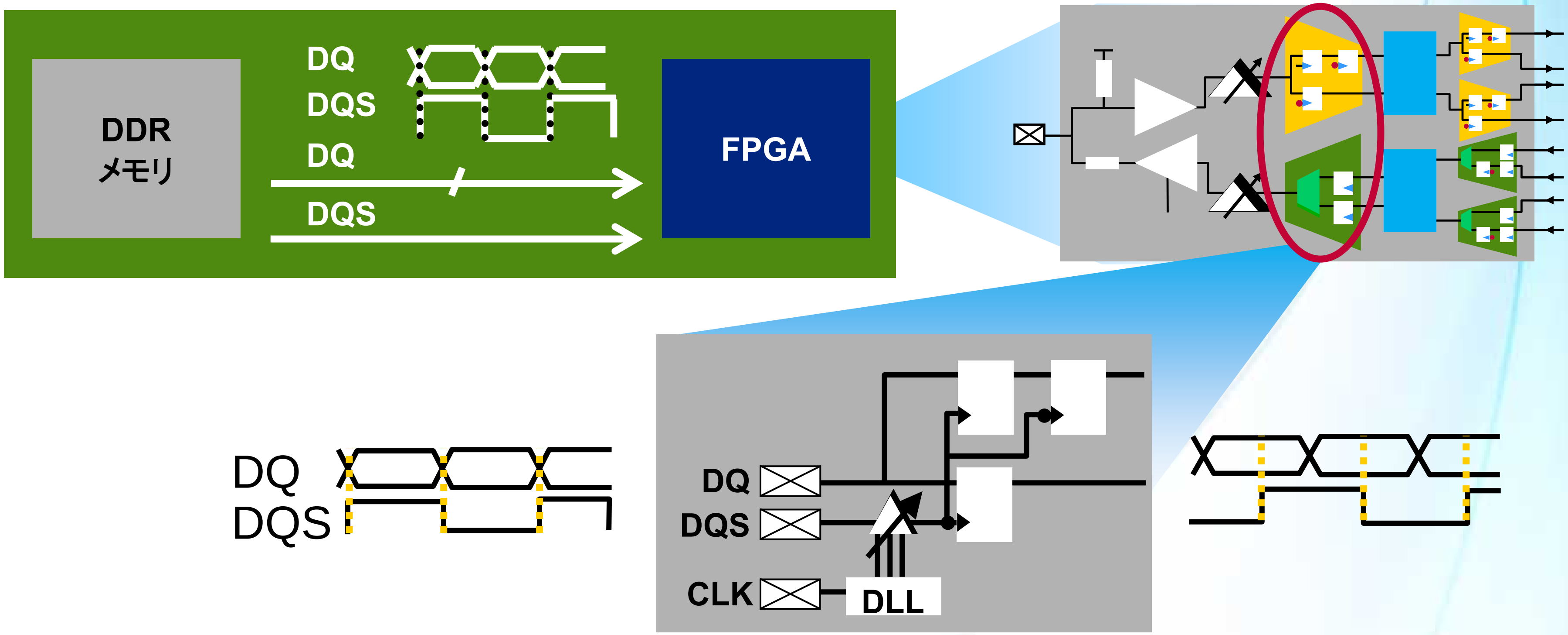




© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

ダブル・データ・レートのキャプチャと シングル・データ・レートへの変換

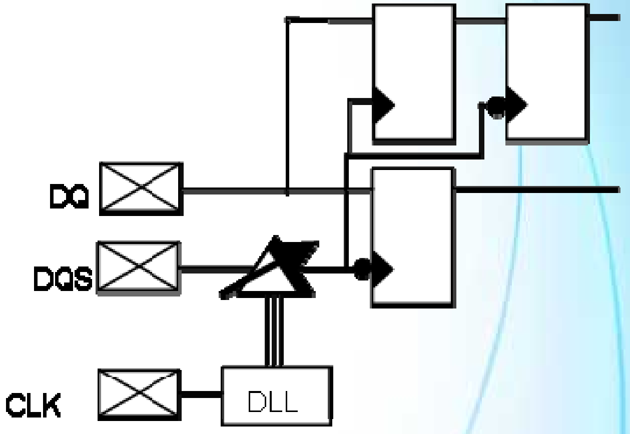
- 読出し時 : DQ と DQS は、メモリよりエッジ・アラインで出力される
- FPGA 側で DQS をシフトして、DQ に対しセンタ・アラインにする必要がある

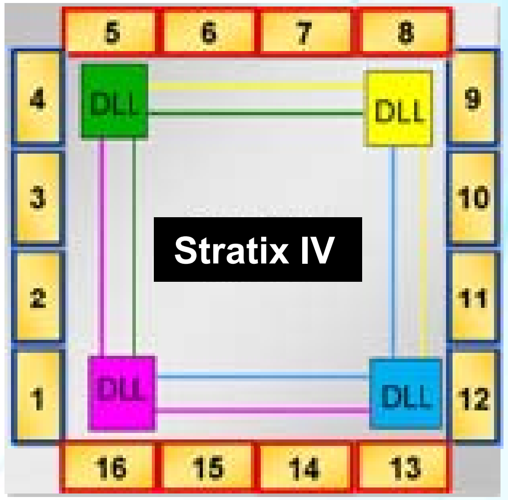


© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

PVT 補償付 DQS 位相シフト

- DLL による PVT 補償
- 入力された DQS 信号を DQS ブロック内で位相シフト
  - PVT の変動に対応
  - 0° ~ 180° の位相シフト範囲
  - DQ のデスキューと独立して制御
- プログラマブルな DQ バス幅
  - 4、8、9、16、18、32 および 36
- デバイスあたり 4 個の DLL を搭載
  - 1 個の DLL あたり、2 種類の位相設定が可能
  - トータルで 4 種類の周波数と 8 種類の位相設定に対応
    - 1 辺あたりを 2 個の DLL でカバー



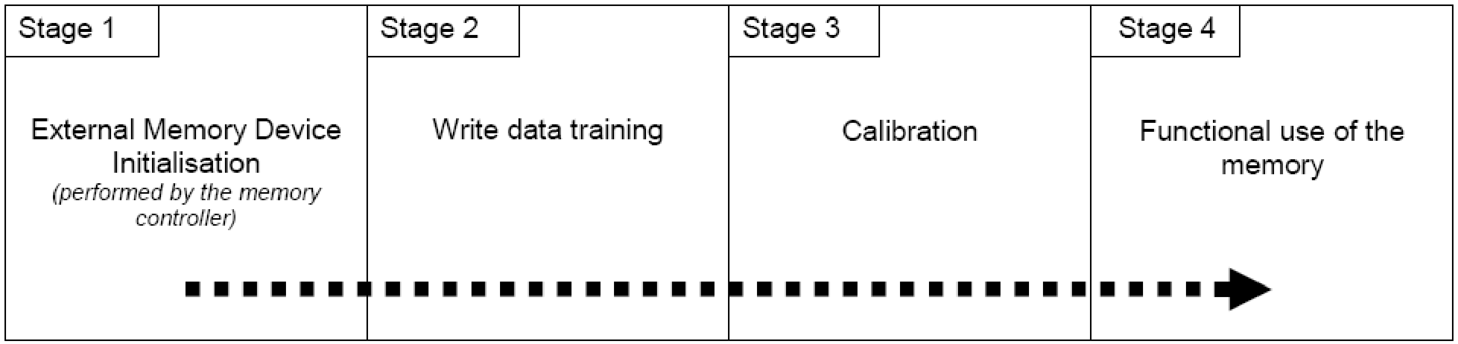


専用回路で
DQS を確実にセンター・アライン

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

リシンク位相のキャリブレーション

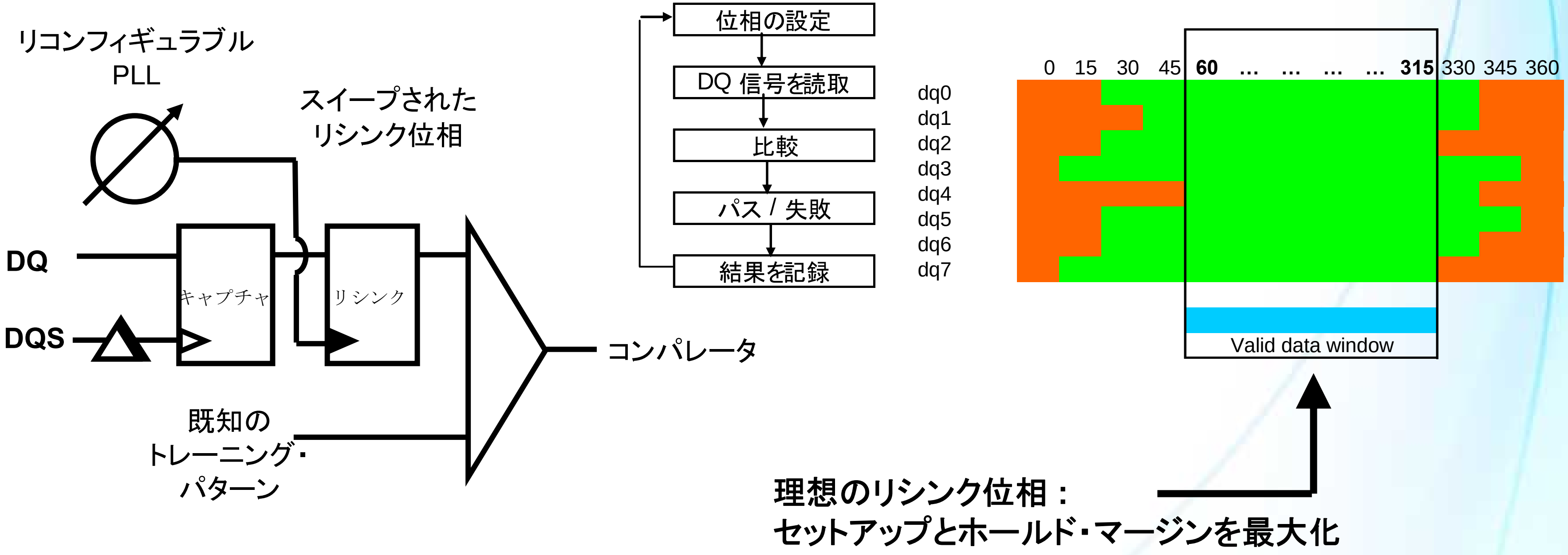
- ALTMEMPHY : オート・キャリブレーション PHY
  - スタート・アップ時に、プロセスのばらつきを補償
    - トレーニング・パターンをかけて、最適なクロック位相を検出
  - 動作時に電圧および温度による変動を補償
    - 継続して位相の変動をモニタ
    - ダイナミックに最適なリシンク・クロック位相を補償
- 制御シーケンス :



© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

スタート・アップ時のリシンク・キャリブレーション

- キャリブレーション：FPGA とメモリ双方のプロセスのばらつきを補償
  - 各DQ ピンにおいて、リシンク位相検出用テストを実施
  - ピンごとのデータ有効領域を検出
  - 検出結果より、グループ内の最適なリシンク位相を決定

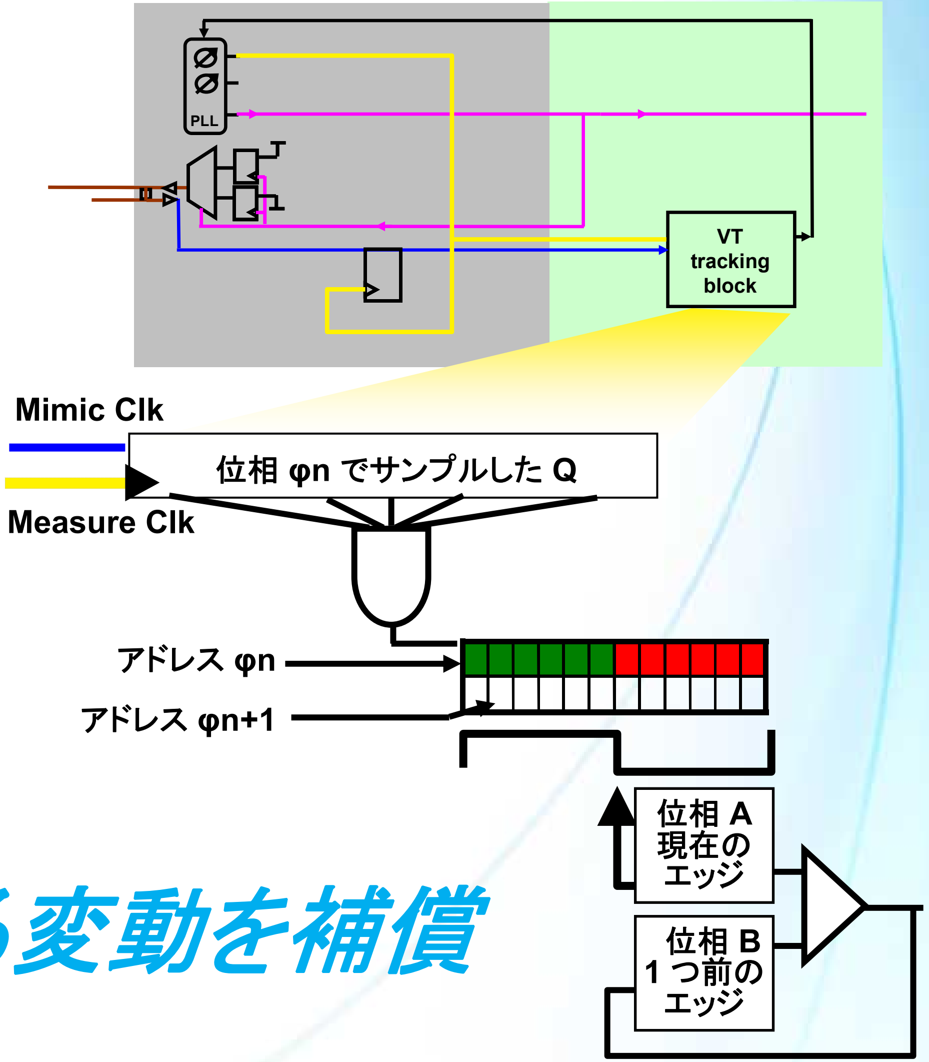


プロセスのばらつきを補償

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

動作時のリシンク･キャリブレーション

- 電圧と温度の変化をモニタし、遅延の変動を補償
  - 模擬パスを形成し、定期的にトラッキング
- 模擬パスのマップに変動が生じた場合（リファレンスと比較）、DQ リード･パスのリシンク位相を調整
- バックグラウンドで継続的に実施
- 常に最適なリシンク位相を保持

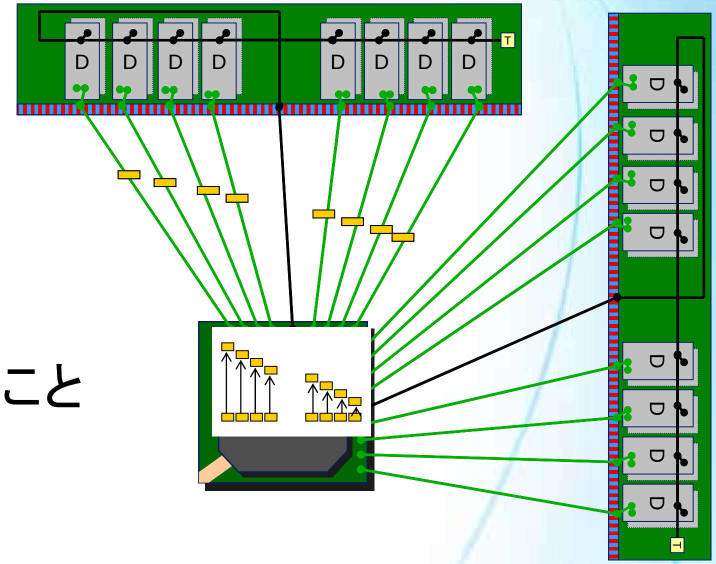


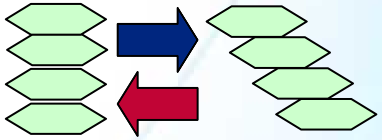
電圧と温度による変動を補償

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

DDR3 DIMM のリード / ライト・レベリング

- DDR3 DIMM では、シグナル・インテグリティ向上のため、意図的にスキューを発生
  - JEDEC では fly by トポロジとして定義
  - クロックおよびアドレス、コントロール信号の到達時間を、メモリ・モジュール内で意図的にずらす
- レベリング : 到達時間のスキューを補償すること
  - ライト・レベリング
    - 書込み時あらかじめ、ずらした位相で出力
  - リード・レベリング
    - 読込み時、データは 2 クロック・サイクル以上に渡りずれて到着 → FPGA 内でずれを揃える必要がある



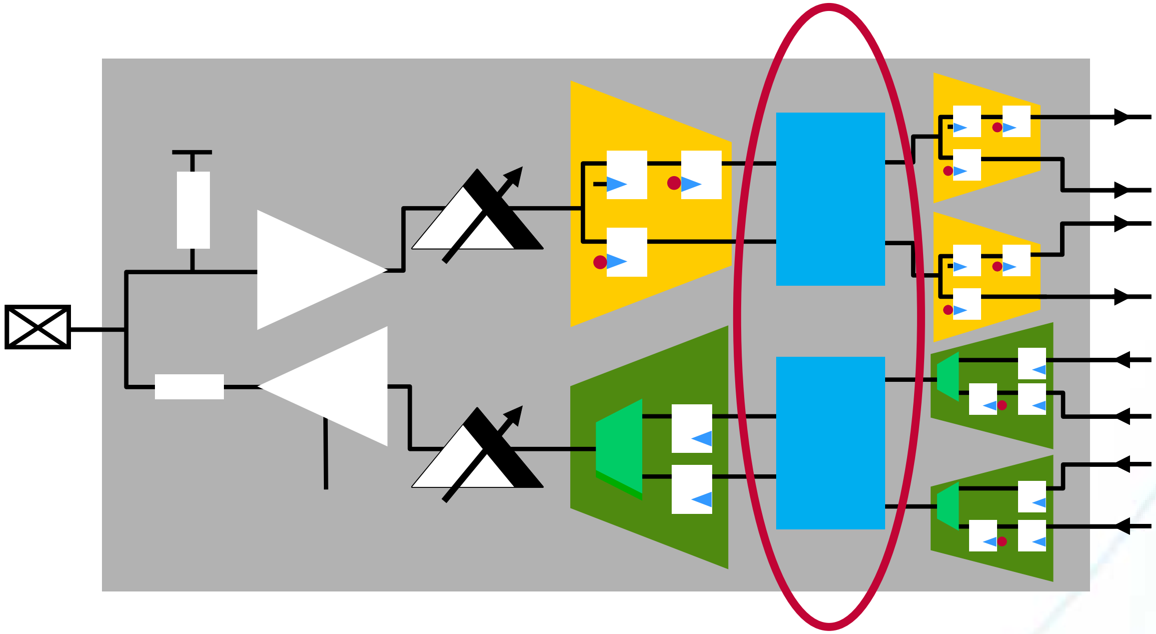


DDR3 DIMM では
レベリング機能のサポートが必須

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

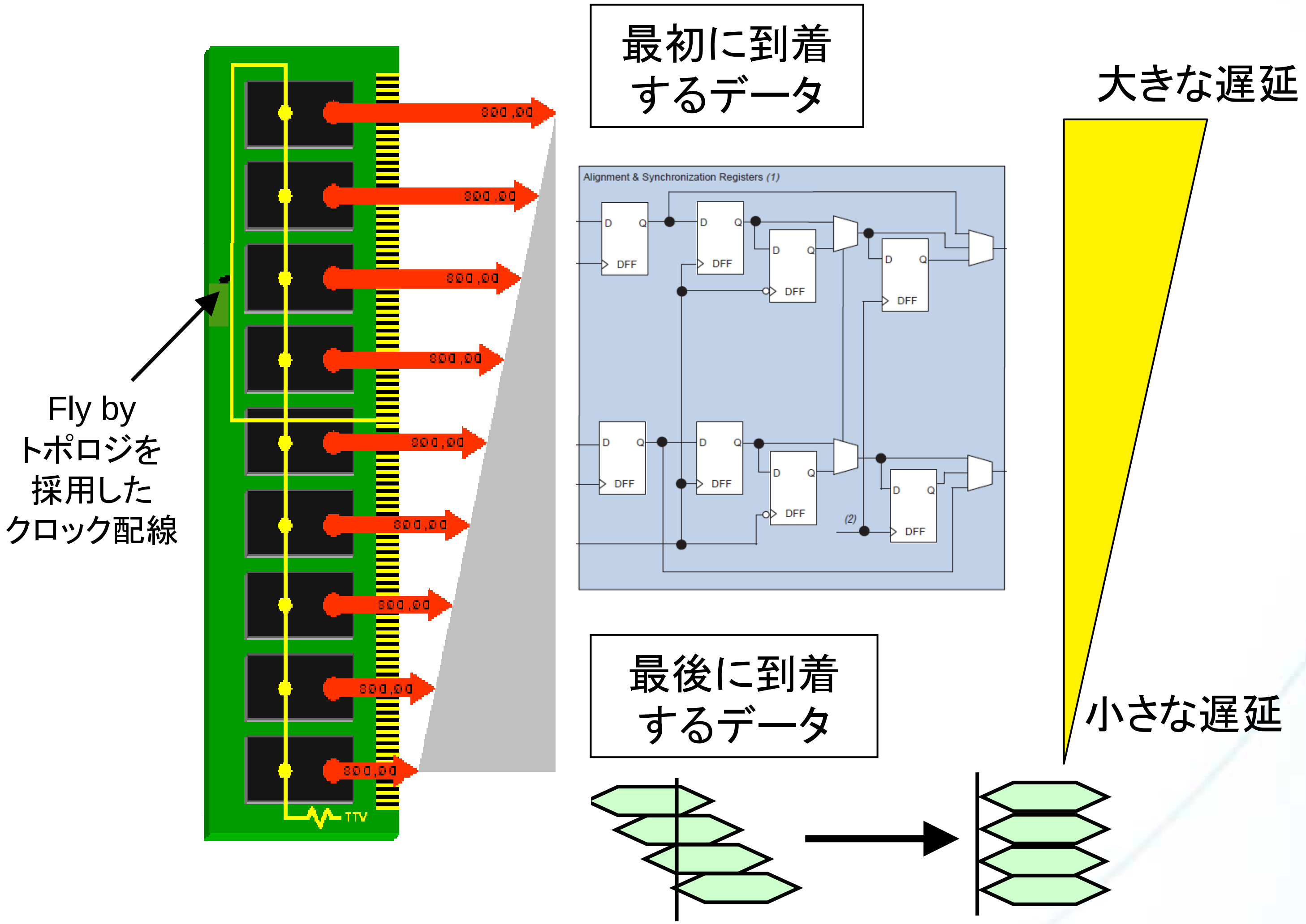
DDR3 レベリング機能

- DDR3 に対応した、データの調整および同期化のための専用ブロック



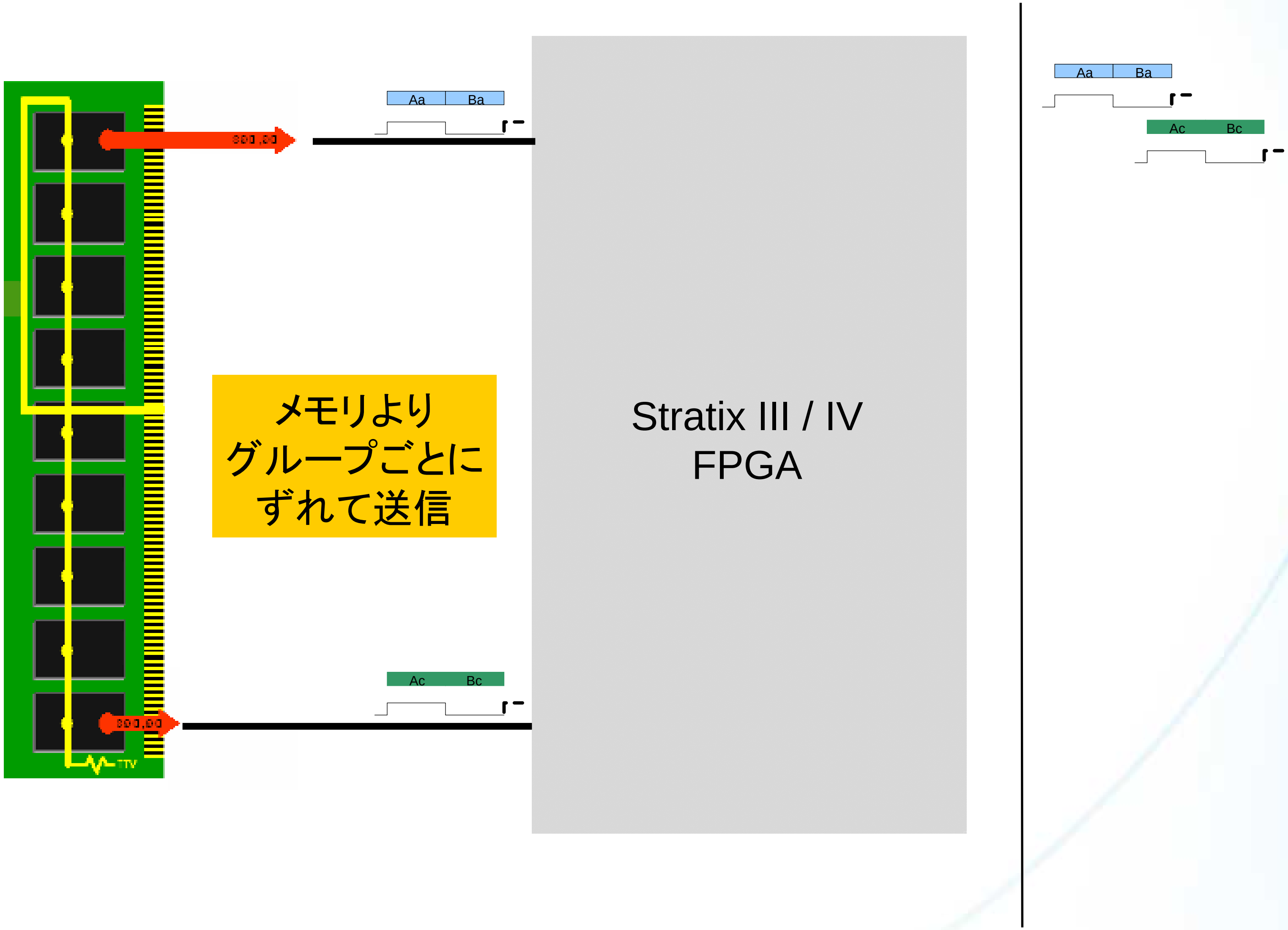
© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

Stratix IVが提供するレベリング機能 （リード時）



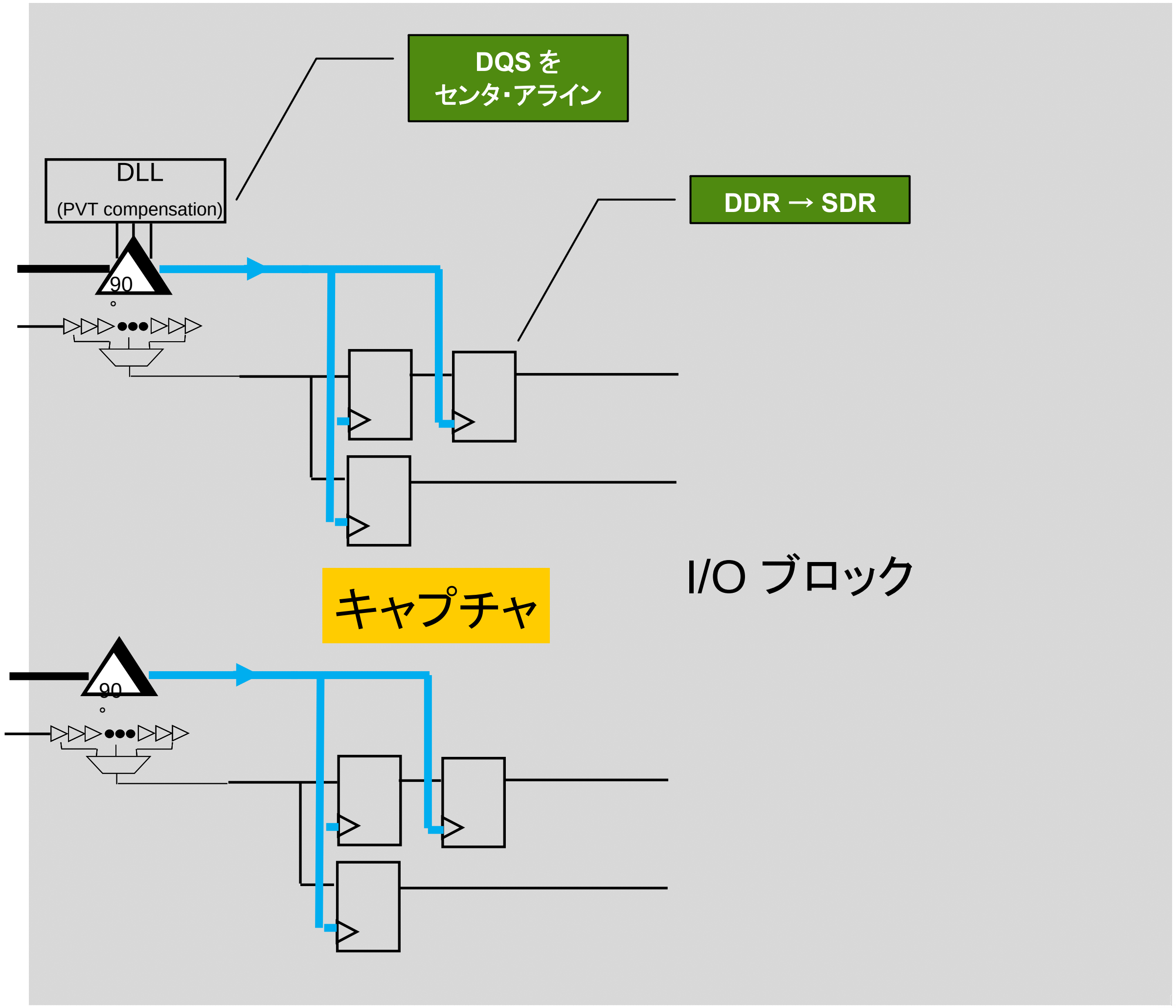
© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

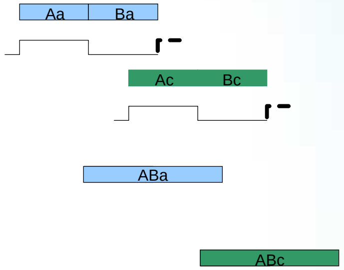
Stratix IV DDR3 リード･レベリング



© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

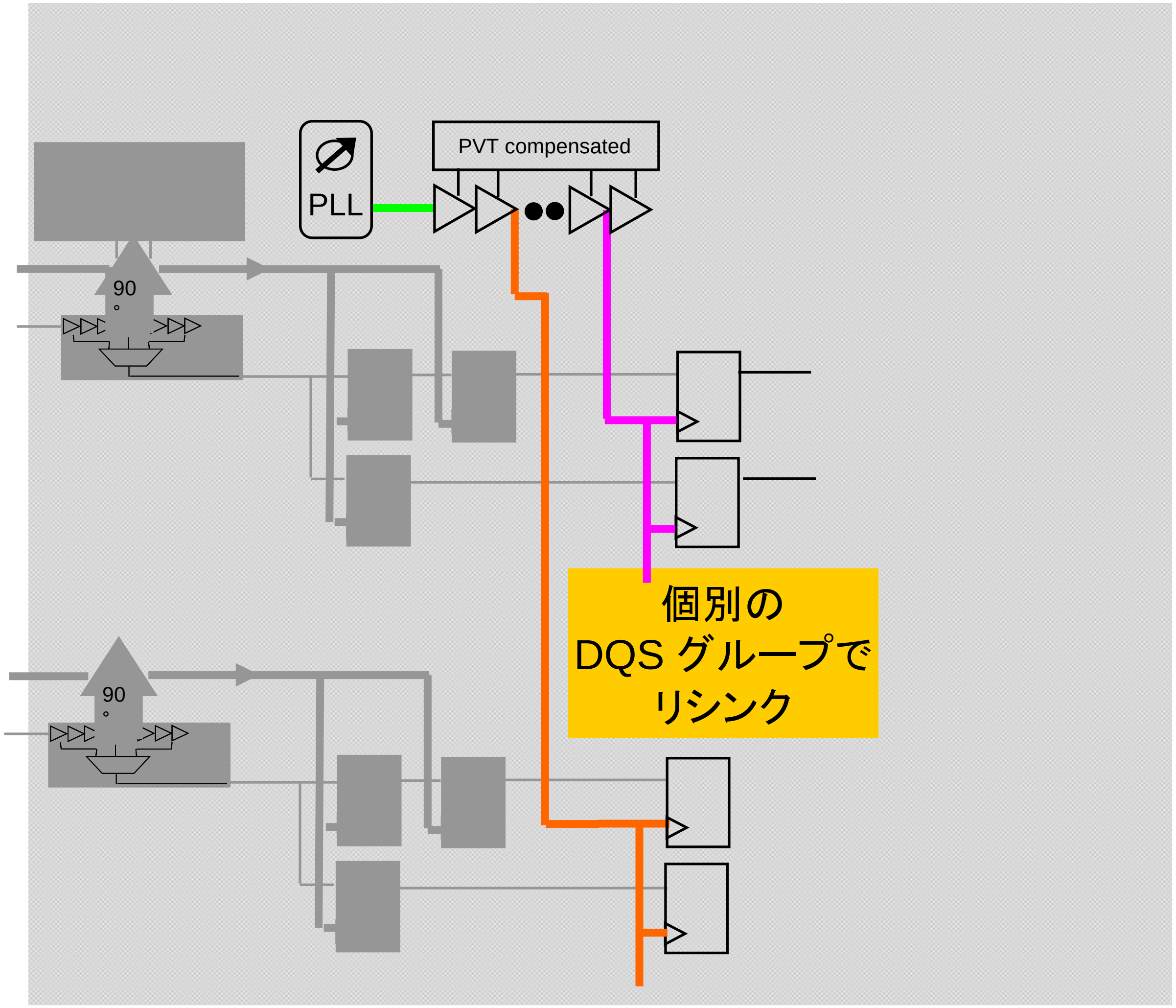
Stratix IV DDR3 リード·レベリング



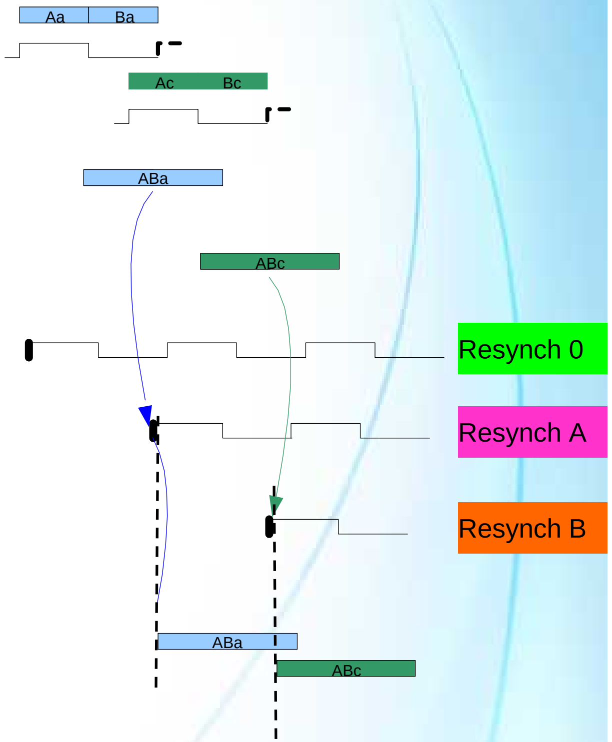


© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

Stratix IV DDR3 リード･レベリング



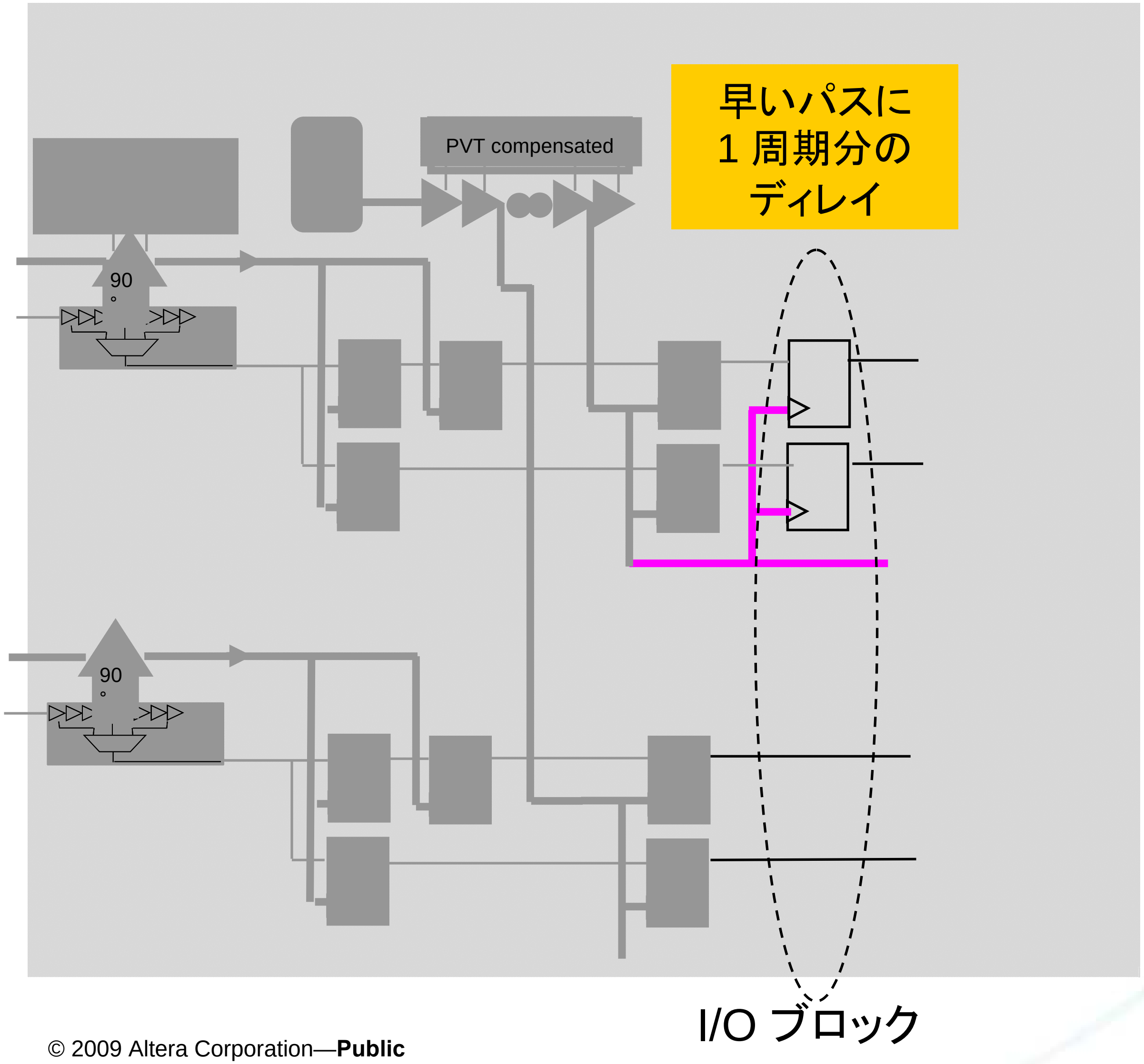
I/O ブロック

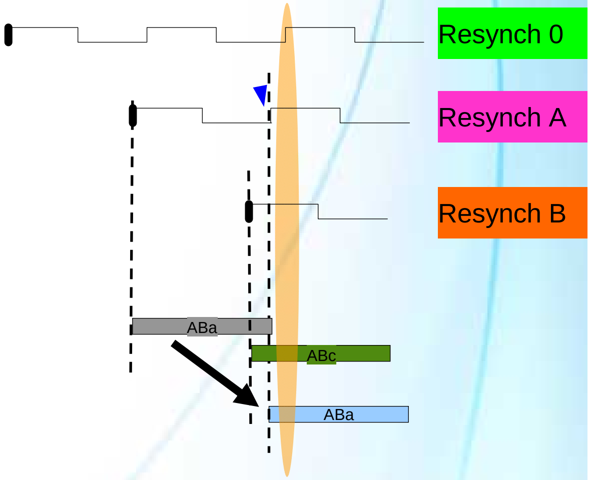


© 2009 Altera Corporation—**Public**

Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

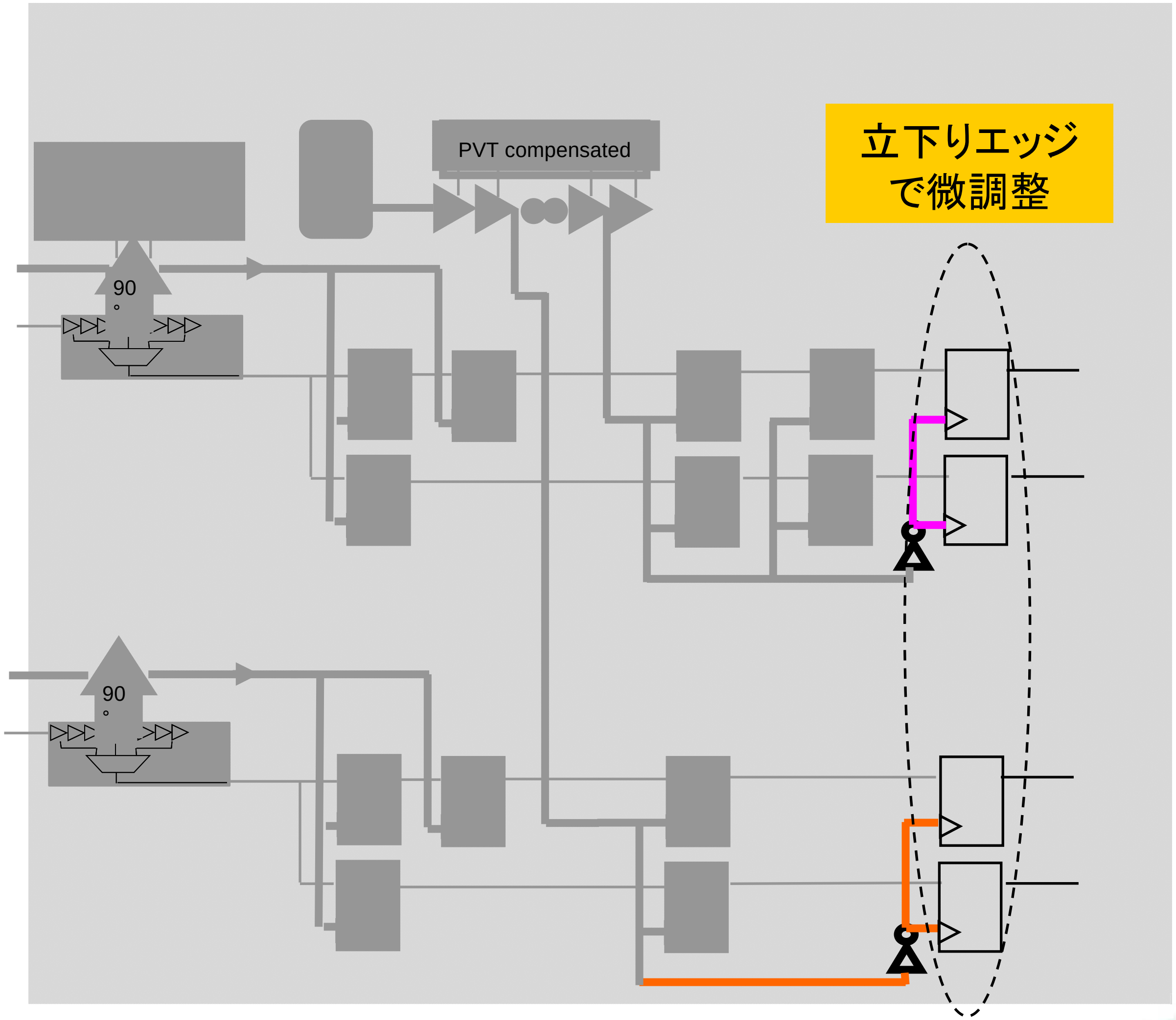
Stratix IV DDR3 リード･レベリング



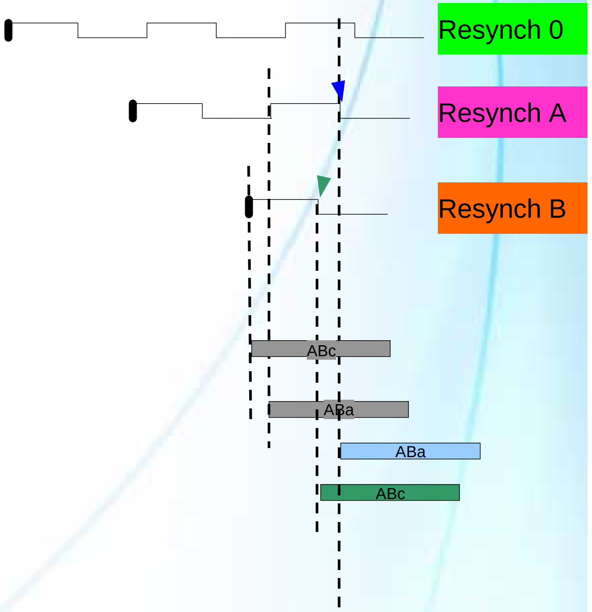


© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

Stratix IV DDR3 リード･レベリング

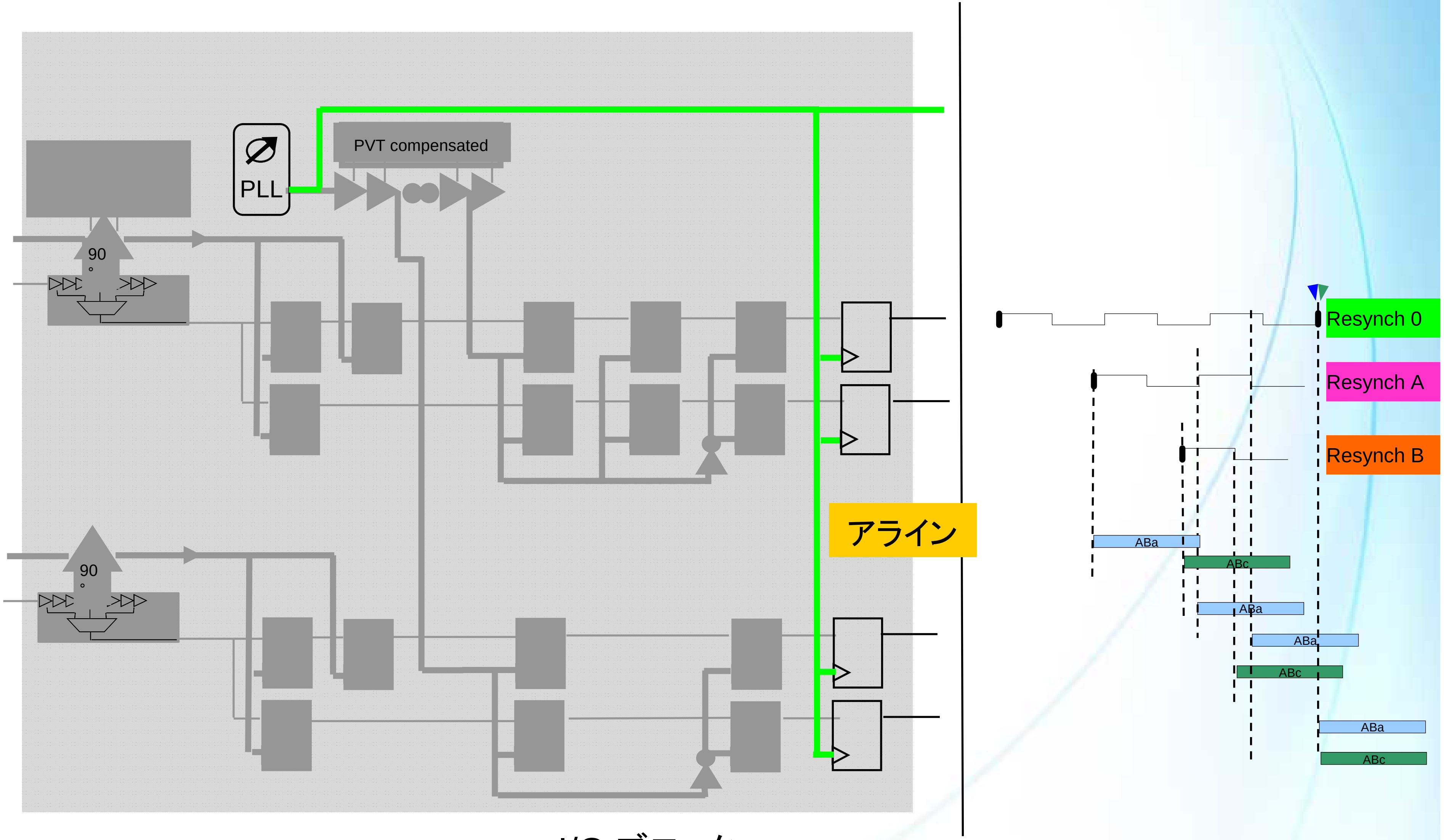


I/O ブロック



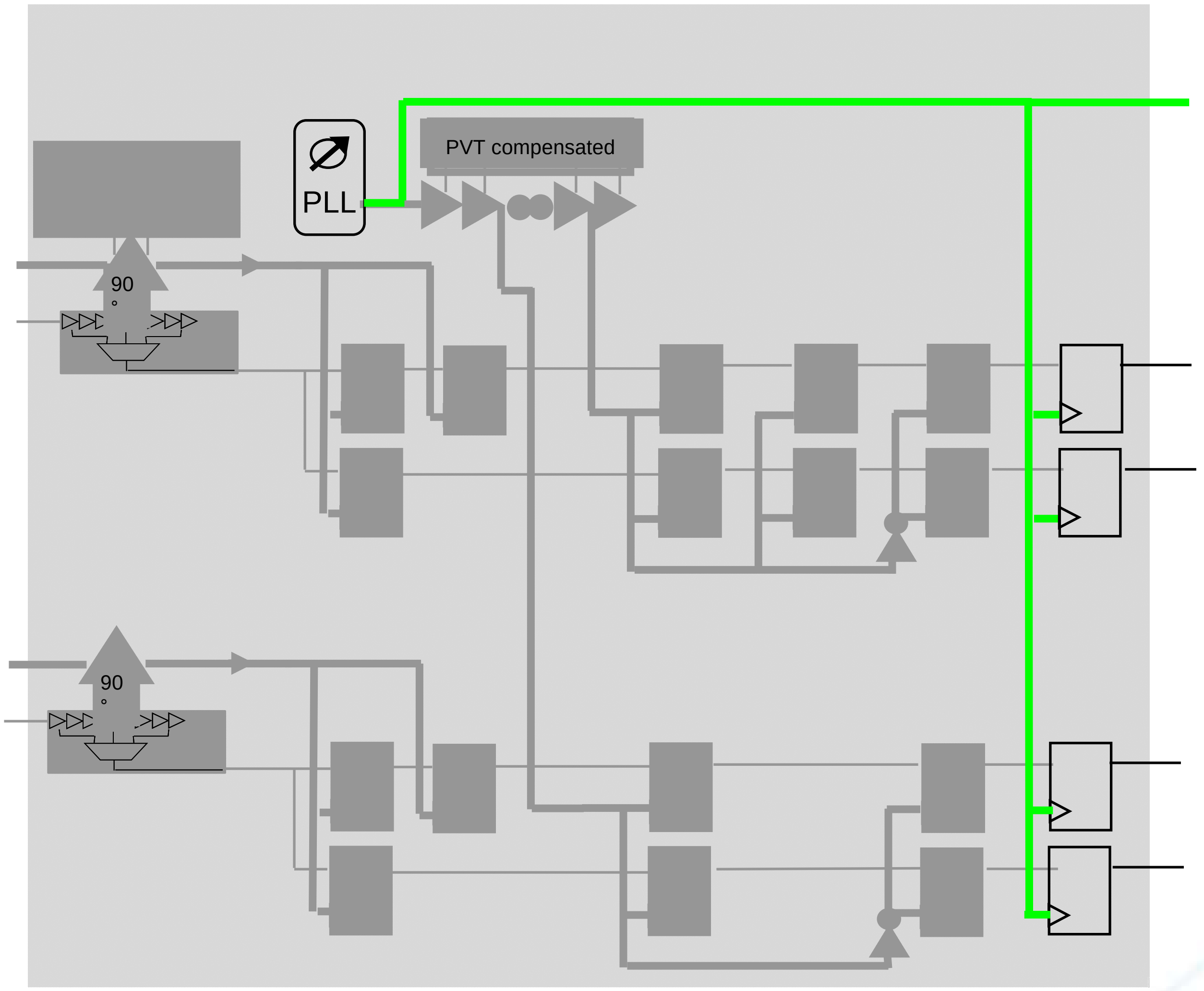
© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

Stratix IV DDR3 リード･レベリング

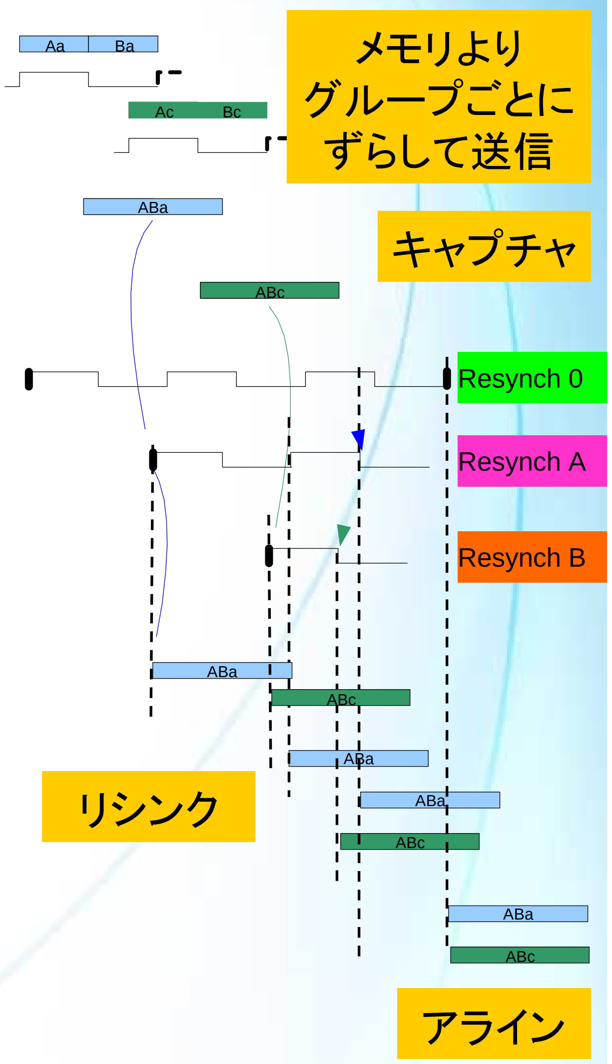


I/O ブロック

Stratix IV DDR3 リード･レベリング



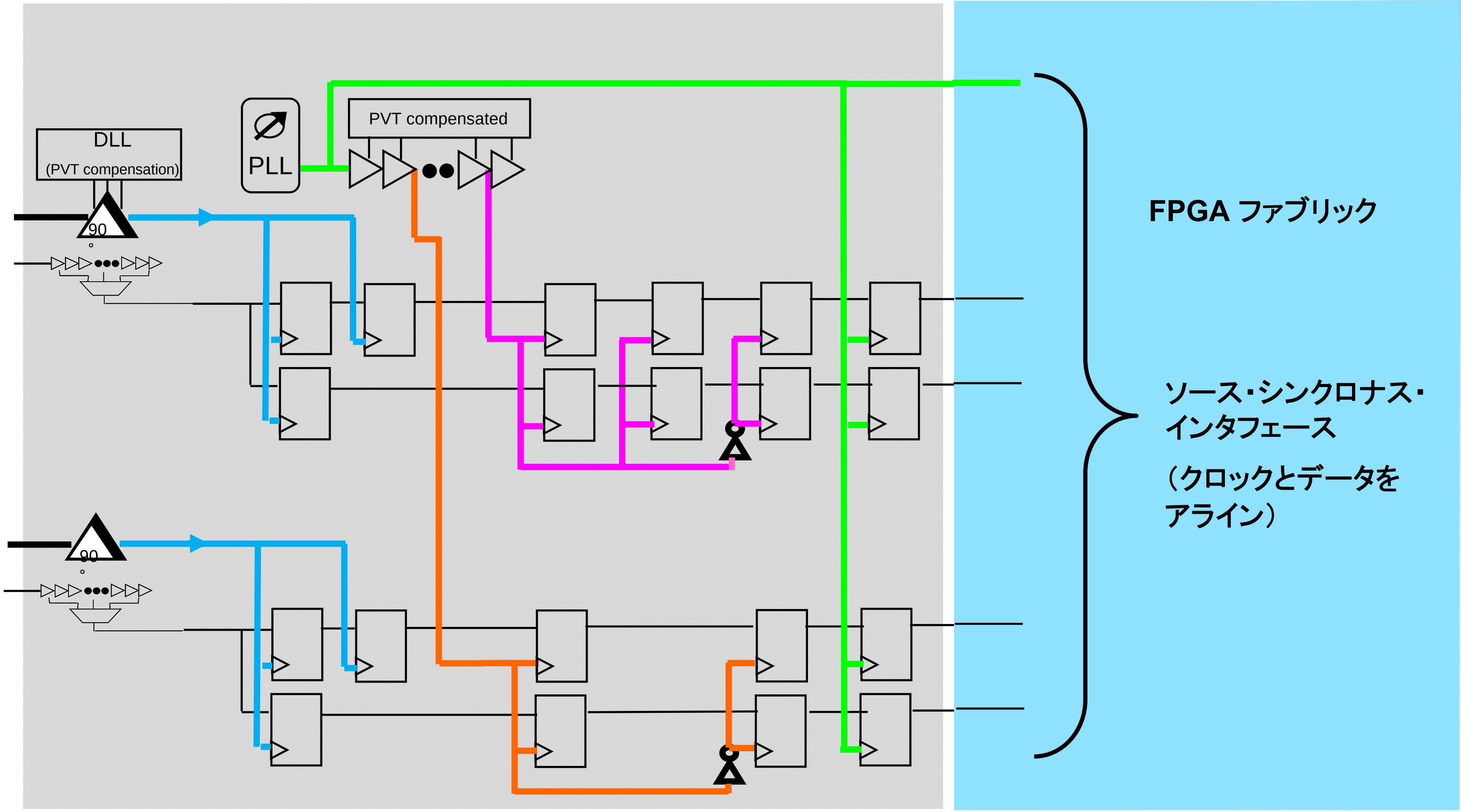
I/O ブロック



© 2009 Altera Corporation—**Public**

Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

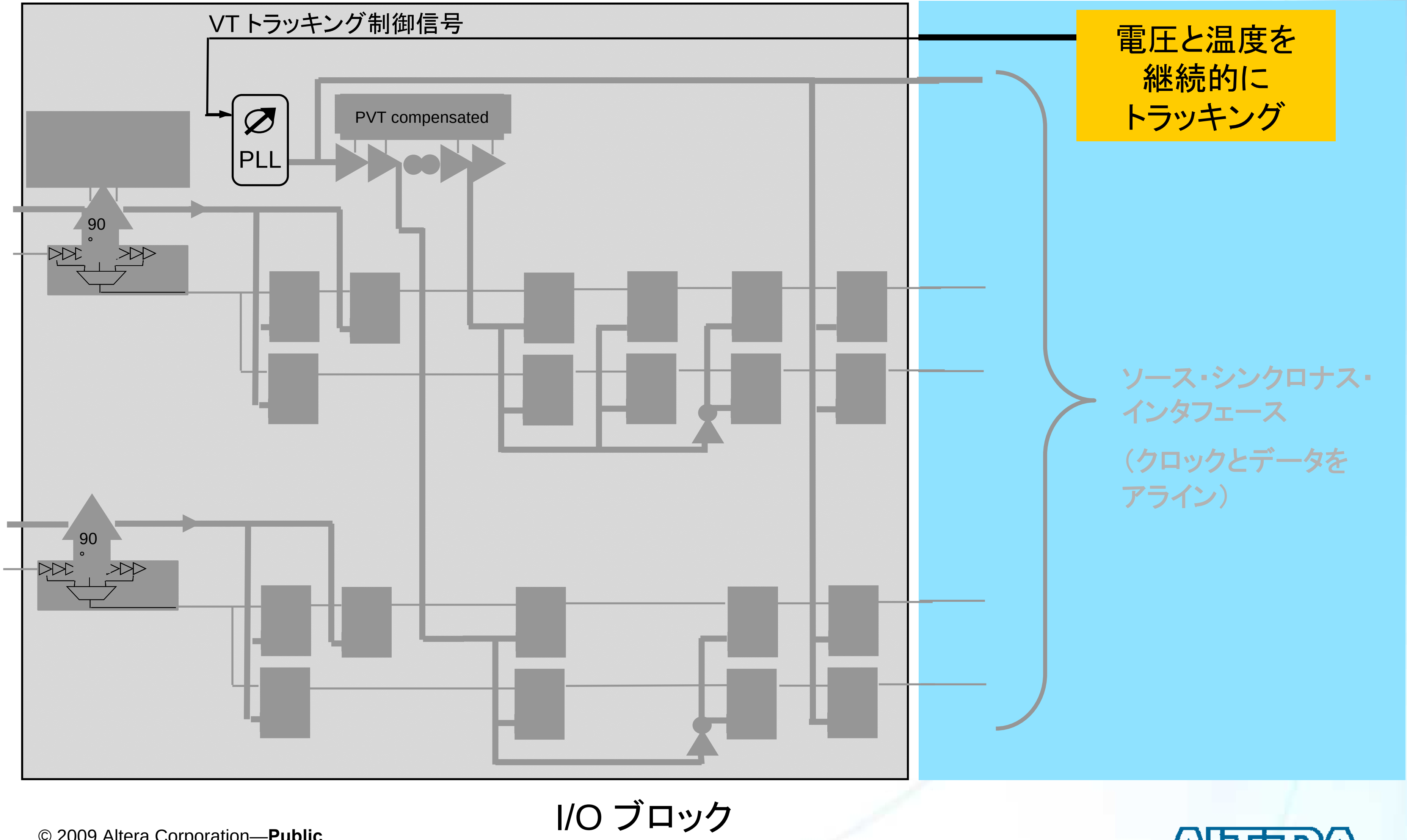
Stratix IV DDR3 リード・レベリング



I/O ブロック

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

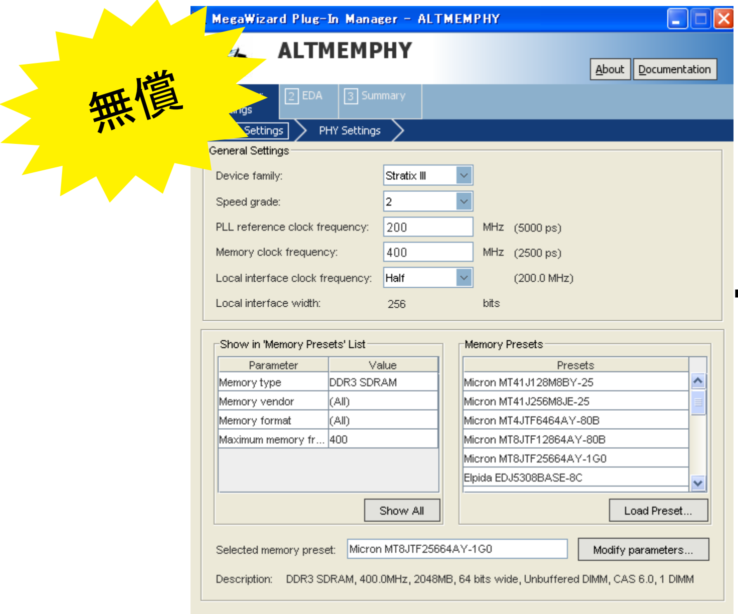
Stratix IV DDR3 リード･レベリング

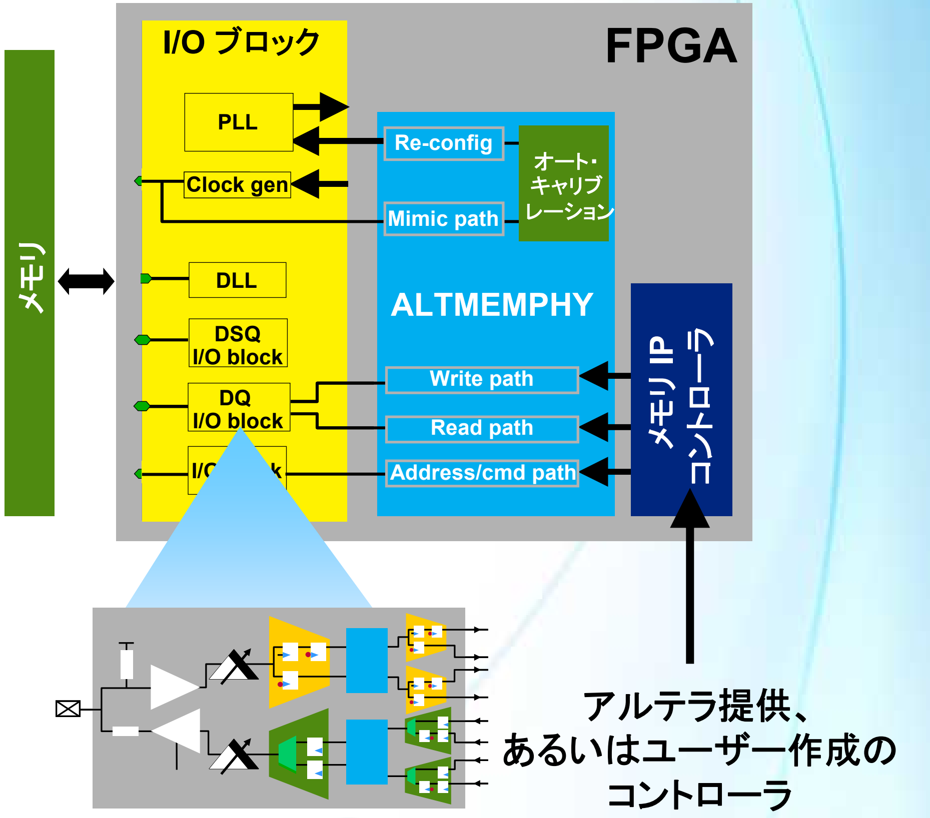


© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

GUI ベースで迅速に実装

- PLL、DLL、DQS、DQ、キャリブレーションおよび VT トラッキング回路をまとめて実装





- SDC によるタイミング制約も生成
  - Synopsys® Design Constraints：業界標準の制約フォーマット

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

高速な外部メモリ・インタフェースのために

- アルテラの40nm FPGA が提供する 3 つの要素 ：
  - パッケージおよび I/O デザイン：
    最高水準の
    シグナル・インテグリティを提供
  - ハード IP：
    必要な機能を
    確定した性能と最小の面積で
    あらかじめ実装済み
  - ソフト IP（ALTMEMPHY）：
    独自の
    オート・キャリブレーション回路を
    無償のソフト IP で提供

メモリの種類	Stratix IV	Arria II GX
DDR III	533 MHz	300 MHz
DDR II	400 MHz	300 MHz
DDR	200 MHz	200 MHz
QDR II	350 MHz	250 MHz
RLDRAM II	400 MHz	-

確かなシグナル・インテグリティと
十分なタイミング・マージンで
迅速かつ確実に実現

© 2009 Altera Corporation—**Public**
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation