

USB 3.0設計の検証とデバッグの簡素化

はじめに

USB 2.0の歴史

USB(Universal Serial Bus)は、PCと周辺機器を接続するための業界標準規格として広く知られています。USB 2.0は2000年に発表され、それまでのUSB 1.1仕様に比べてスピードが40倍高速になりました。これにより、データ量の多いアプリケーションやユーザの使い勝手が良くなるような改良に拍車がかかりました。キー

ボードやマウスなどのデバイスでは、ロースピード(1.5Mbps)、フルスピード(12Mbps)のデータ・レートでも十分でしたが、ハイスピード・レート(480Mbps)はマルチメディア、データ・ストレージ/転送、その他の高速I/Oアプリケーションの開発をサポートしています。

アプリケーション・ノート



図1. TDSUSB2コンプライアンス・テスト・パッケージ

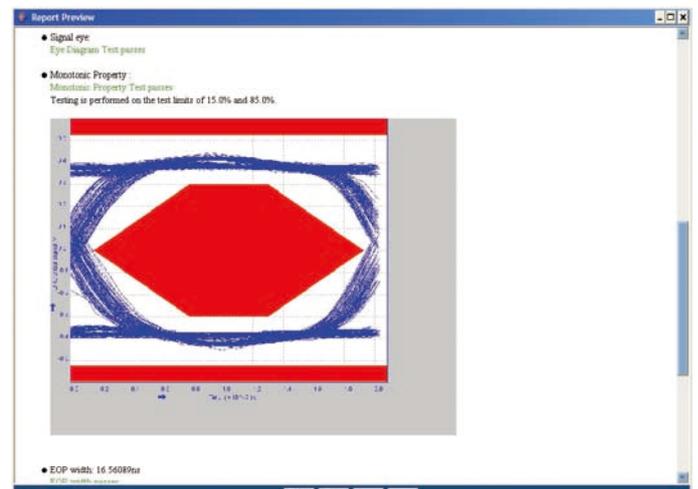


図2. TDSUSB2によるテスト・レポート

USB 2.0 のアーキテクチャ、テスト方法、ソリューション

USB 2.0は V_{BUS} 、D $-$ 、D $+$ およびグランドの4線を持ったシリアル・バスで、D $-$ 、D $+$ はデータ・ラインです。USBの実装には、ホスト、デバイス、ハブという3種類のグループがあります。USB 2.0のデバイスには、セルフパワー（デバイス自身で電源を持っているもの）とバスパワー（ホストから電源をもらうもの）の2種類があります。

USB-IF（USB Implementers Forum）は、信頼性、インターオペラビリティ（相互接続性）が確かな製品を認証するためのコンプライアンス・テストをまとめています。USB-IFのコンプライアンス・プログラムの性能レベルに適合した製品は、インテグレータ・リストに加えられます。このアプリケーション・ノートでは、電気テストの方法およびデバッグ、問題解決のヒントについて説明します。

図1は、DP07254型オシロスコープで実行したOpt. USBコンプライアンス・テスト・パッケージの表示例です。Opt. USBはSignal Qualityテストを全自動で実行できるため、エンジニアは設計した回路を簡単にテストできます。まず、信号スピード(Low、FullまたはHigh Speed) を選択します。テストは自動で実行されるため、複雑なオシロスコープの設定は必要ありません。また、測定結果をUSB 2.0の規格と比較する必要もありません。結果は、自動的に表示されます（図2を参照）。

	USB 3.0	USB 2.0
データ・レート	5.0Gbps	480Mbps
シグナリング	8B/10Bエンコード、ACカップリング、SSC (スペクトラム拡散クロック)	NRZIエンコード、DCカップリング、SSCなし
バス・パワー	150mA (un-configured power)、900mA (configured power)	100mA (un-configured powerおよびサスペンデッド・デバイス)、500mA (comfigured device)
プラグアンドプレイ／ホットスワップ	非同期イベント・ハンドリング	デバイス・ポーリング
電源管理／リンク制御	アイドル、スリープ、サスペンド状態により最適な電源管理	エントリ／エグジット・レイテンシによるポートレベルのサスペンド
ケーブル／インタフェース	2組の差動ペア、全二重 (双対単方向伝送)、シールド・ツイスト・ペア	1組の差動ペア、半二重、シールドなしツイスト・ペア

図3. USB 2.0とUSB 3.0の物理レイヤの相違点

USB 3.0 と物理レイヤ・テストの課題

USB 2.0技術は、広帯域バスとして受け入れられ、成功しました。一方、ますます進化するコンピュータ、データ・ストレージのアプリケーションにより、新しいチャンスと課題が明らかになりました。ますます増加するメモリ・ストレージ容量、リアルタイム・ビデオ・ストリーミングやエンハンス・グラフィック処理ユニット (GPU) などのビデオ性能、ポータブル機器とPCの高速同期などの業界のトレンドは、USB 2.0の性能がボトルネックになってきました。

USB 3.0 (SuperSpeed USB) は増加する帯域の要求に応え、よりリアルタイムなアプリケーション実現をサポートします。SuperSpeed USBで使用される膨大な数のUSBデバイスも、従来のUSB 2.0デバイスに対応するように後方互換性を持つ必要があります。USB 2.0とUSB 3.0の物理レイヤの相違点を図3に示します。

SuperSpeed USBには新しい機能も追加されていますが、同時に新たな設計／テスト課題も提起されています。USB 3.0は、8B/10Bエンコード、信号伝送路の大きな信号損失、スペクトラム拡散クロックなど、PCI Express®やSerial ATAなどの既存の高速シリアル技術と同様な特性を持っています。SATAやPCIeでのテスト方法を理解していれば、USB 3.0によるテスト問題にも対処できます。このアプリケーション・ノートでは、トランスミッタ、レシーバ、ケーブル、インターコネクタにおける適合性検証方法と、正確で再現性のある測定方法について説明します。また、特性評価やデバッグのテクニックについても説明します。なお、テスト仕様は現在作成中であり、内容は変更される可能性があることをご了承ください。

アプリケーション・ノート

パターン	値	内容
CP0	D0.0 Scrambled	SKPなしのロジカル・アイドルと等価の擬似ランダム・データ・パターン
CP1	D10.2	ナイキスト周波数
CP2	D24.3	ナイキスト/2
CP3	K28.5	COMパターン
CP4	LFPS	低周波数の周期性シグナリング
CP5	K28.7	ディエンファシスあり
CP6	K28.7	ディエンファシスなし
CP7	50-250 1's and 0's	ディエンファシスあり、50~250個の1、次に50~250個の0の繰り返し
CP8	50-250 1's and 0's	ディエンファシスなし、50~250個の1、次に50~250個の0の繰り返し

図4. SuperSpeed USBトランスミッタのコンプライアンス・テスト・パターン

信号特性	最小値	公称	最大値	単位	備考
Eye Height	100		1200	mV	2、4
Dj			0.43	UI	1、2、3
Rj			0.23	UI	1、2、3、5
Tj			0.66	UI	1、2、3

注:

1. 10^6 の連続したUI(Unit Interval)と推定された 10^{-12} BER(Bit Error Rate)で測定
2. レシーバのイコライゼーション後に測定
3. リファレンス・チャンネル+ケーブル端(図6のTP1)で測定
4. アイの高さは最大のアイ開口(アイ幅 ± 0.05 UIの中心)で測定
5. 10^{-12} BERのRMSランダム・ジッタの14.069倍で算出

図5. USB 3.0トランスミッタのアイの高さとジッタの仕様

トランスミッタ・テスト

コンプライアンス測定

トランスミッタ・テストは、評価されるテストの特性を考慮して選択できるように、図4に示すさまざまなテスト・パターンが用意されています。D0.0スクランブル・シーケンスのCP0は、DDJ(データ依存性ジッタ)などのDj(デターミニスティック・ジッタ)測定で使用され、D10.2フル・クロック・パターンのCP1はDDJを生成しないため、Rj(ランダム・ジッタ)の評価に適しています。

ジッタとアイの高さは、イコライゼーションを施し、適切なクロック・リカバリ設定(2次PLL、10MHzのループ帯域幅、ダンピング係数: 0.707)した後の連続した100万UIで測定します。ジッタの値は、測定されたデータ母集団から推定することで計算し、 1×10^{-12} BERにおけるジッタ性能を導き出します。例えば、ジッタ・デュアル・ディラック・モデルとしてジッタ外挿によるターゲットRjは、測定されたRj (rms)に14.069を掛けて計算します。

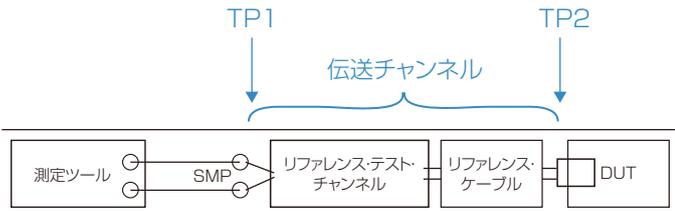


図6. トランスミッタ・テスト・ポイント

図6は、リファレンス・テスト・チャンネルとケーブルを含むトランスミッタのノーマティブ・コンプライアンス・テスト点を示しています。TP2 (テスト・ポイント2) はDUTの近くに、TP1 (テスト・ポイント1) は遠端の測定ポイントになります。すべてのTxノーマティブ測定は、TP1の信号で測定します。

TP1の信号を取込んだならば、公式のPCI Expressコンプライアンス・テストで使用されているソフトウェア・ツールをUSB 3.0用に拡張したSigTestを使用してデータを処理します。プリコンプライアンス、特性評価、またはデバッグが必要なアプリケーションでは、さまざまな条件、パラメータによる設計を検証するためのツールも用意されています。Opt. USB-TXを装備した当社DPO/DSA70000Bシリーズ・オシロスコープは、すべてのUSB 3.0ノーマティブ/インフォーマティブ物理レイヤ伝送テストを実行することができ (図7を参照)。USB-TXなどのワンボタン自動化ソフトウェア・ツールはテスト機器を最適に設定することができるため、テスト時間を大幅に削減することができます。計測器の操作方法を思い出すことは時間のかかるものであり、一般にはUSBの仕様精通しているシニア・エンジニアが必要になります。テスト完了後、詳細なパス/フェイル・テスト・レポートが生成されるため、どこで問題が発生しているのかわかります。会社の実験室、テスト会社など、測定環境が異なることで結果が異なる場合は、前回のテスト時に保存したデータを使って再度テストすることができます。

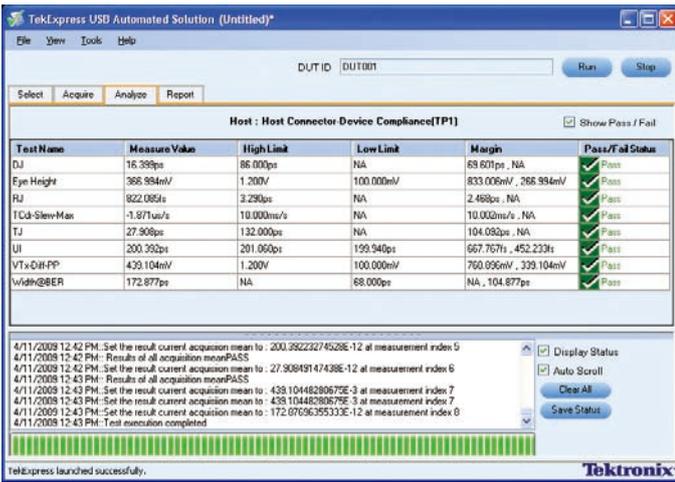


図7. USB 3.0ノーマティブ/インフォーマティブ測定のためのDPO/DSA70000BシリーズOpt. USB-TX

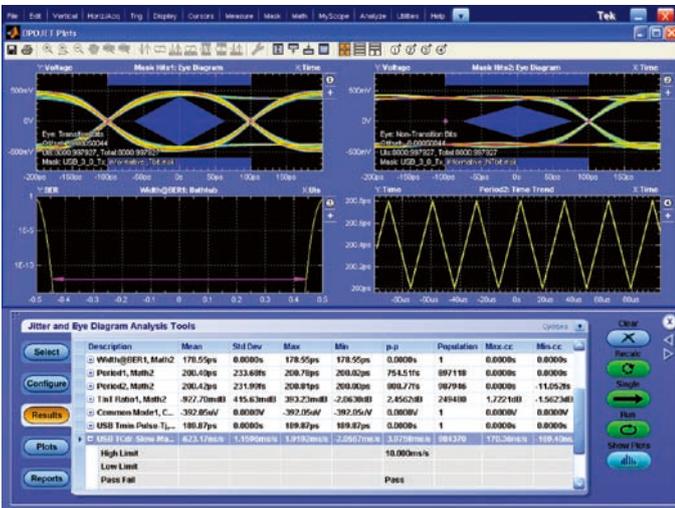


図8. DPOJETのカスタム・コントロール設定によるUSB 3.0のデバッグ

TekExpress Opt. USB-TXは、DPOJETジッタ/アイ・ダイアグラム解析ソフトウェアの汎用解析機能の上に構築された特性評価/デバッグ環境を利用しています。DPOJETは使いやすいジッタ/アイ解析ソフトウェアであり、解析パラメータがユーザ定義できるため、トラブルシューティングが迅速に行え、設計の特性評価がより簡単になります。例えば、一度に複数のアイ・ダイアグラムが表示できるため、さまざまなクロック・リカバリ手法やソフトウェア・チャンネル・モデルの効果を解析することができます。また、さまざまなフィルタを使用することでSSCの効果を解析し、システムのインターオペラビリティ問題を解決することもできます。

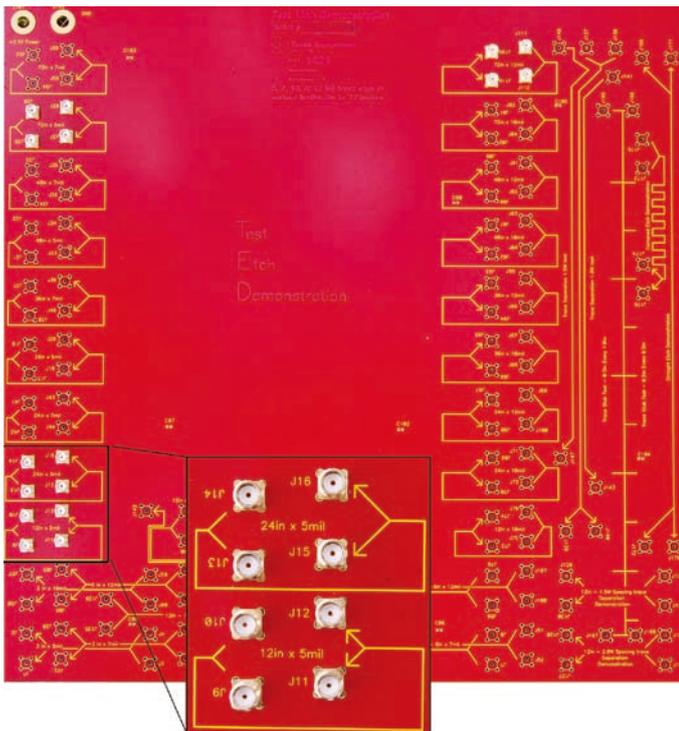


図9. 30cmと60cmの配線長のISIボード

リファレンス・テスト・チャンネル

TP1で遠端信号を取込むには2種類の方法があります。一つは、USB-IFから供給されるハードウェア・ベースのケーブルとフィクスチャを使用してTP1のデータを取込みます。もう一つの方法は、TDR (Time Domain Reflectometry)、VNA (Vector Network Analyzer) またはシミュレータから抽出されたモデルを使用して、ソフトウェアによりハードウェア・チャンネル効果をシミュレートします。一般的に認知されているチャンネル・モ

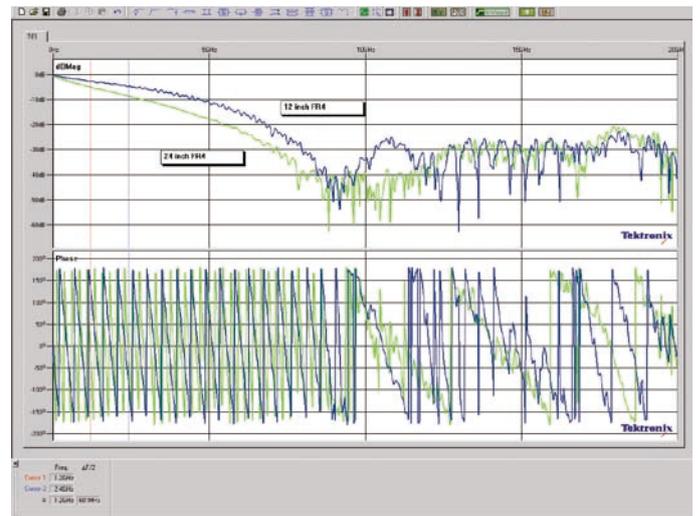


図10. 30cmと60cmの基板配線の振幅/位相応答

デルはSパラメータ・ファイルであり、これには振幅と位相応答特性が含まれています。信号は、まずTP2またはトランスミッタ近くで取込みます。取込んだデータは、FIR (Finite Impulse Response) フィルタに変換されているSパラメータ・ファイルで畳み込み積分します (オシロスコープに装備されているフィルタに関するアプリケーションなどについては、当社ウェブ・サイトの技術資料「任意FIRフィルタの理論、設計、アプリケーション」をご参照ください)。

この方法では、可変で繰り返し可能な特定のチャンネル仕様で被測定デバイスを測定できます。例えば、さまざまな基板配線長による5Gbps信号測定を比較してみます。図9は30cmと60cmの配線長によるISIテスト・ボードの例を、図10はそれに対するSdd21チャンネル応答を示しています。



図11. 30cm長のハードウェア・チャンネルとソフトウェアによるエミュレーション



図12. 60cm長のハードウェア・チャンネルとソフトウェアによるエミュレーション

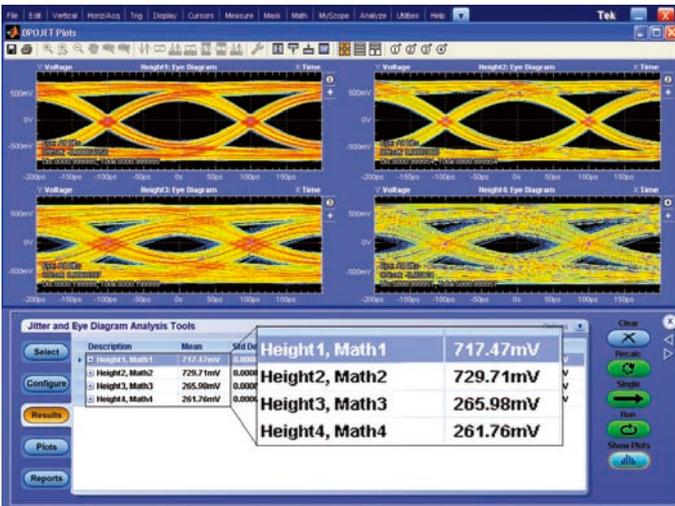


図13. ハードウェア (左) とソフトウェア (右) のチャンネルによる30cmと60cm長トレース後の5Gbpsのアイ・ダイアグラム

テスト信号は、ハードウェア・チャンネルのあり、なしの両方で取込みます。図11と図12は、オリジナルの信号 (白)、遠端のハードウェア応答 (オレンジ)、各配線長においてSパラメータで畳み込み積分したオリジナルの信号を示しています。図13は、ハードウェア・ベースおよびソフトウェアベースのテスト・データによるアイ・ダイアグラムを示しています。

イコライゼーション

チャンネルでの高周波損失が大きいSuperSpeed USBでは、レシーバにおけるアイを開くために何かしらの補正手段が必要になります。トランスミッタでは、ディエンファシスによるイコライゼーションが使用されます。公称のディエンファシス比は、3.5dBまたはリニア・スケールで1.5×と規定されています。例えば、150mV_{pp}のトランジション・ビット・レベルでは、ノンランジション・ビット・レベルは100mV_{pp}となります。また、レシーバにはイコライザが使用できるように、SuperSpeed USBではリンクアップ・シーケンスの中でイコライザを最適化するためのトレーニング・シーケンスが含まれます。

コンプライアンスでのレシーバ・イコライゼーション・モデルは、CTLE (Continuous Time Linear Equalizer) です。CTLE実装には、オンダイでのアクティブ・レシーバ・イコライゼーション、またはケーブル・イコライザに見られる受動高周波フィルタが含まれます。伝達関数の記述が簡単なことから、このモデルはコンプライアンス・テストに適しています。CTLEは周波数ドメインの極とゼロで実装するため、特定の周波数でピークとなります。先に説明したOpt. USB-TXには、リファレンス・コンプライアンス・チャンネルと必要なCTLEフィルタが個別のファイルおよび1つのファイルにまとめられて提供されています。

アプリケーション・ノート

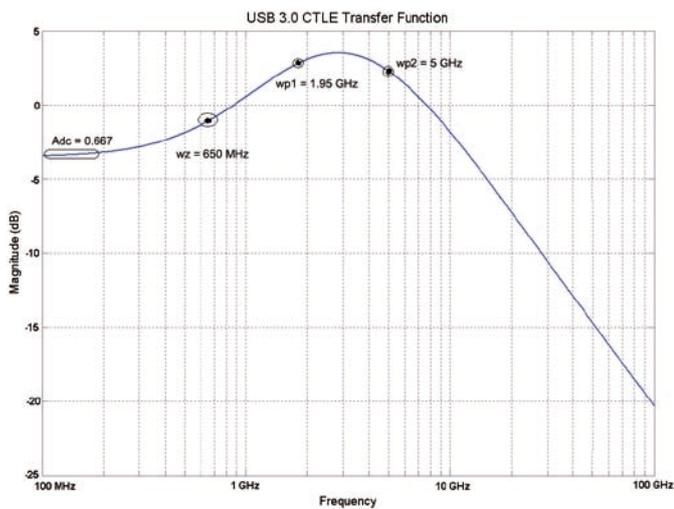


図14. USB 3.0 CTLEの伝達関数と振幅応答

$$H(s) = \frac{A_{dc} \omega_{p1} \omega_{p2}}{\omega_z} \cdot \frac{s + \omega_z}{(s + \omega_{p1})(s + \omega_{p2})}$$

$$A_{dc} = 0.667$$

$$\omega_z = 2\pi(650 \times 10^6)$$

$$\omega_{p1} = 2\pi(1.95 \times 10^9)$$

$$\omega_{p2} = 2\pi(5 \times 10^9)$$



図15. CTLE、FFE、DFEのためのSDLAソフトウェア上のイコライゼーション設定



図16. ディエンファシス (青)、ロング・チャンネル (白)、CTLE (赤)、3タップ DFE (灰) 後の5Gbps信号 (黄)

TekExpress自動コンプライアンス・テスト・ソフトウェアのコンプライアンス・フィルタの使用に加え、SDLAシリアル・データ・リンク解析ソフトウェアを使用することで、さまざまなCTLEパラメータを検証したり、リンク検証の影響を知ることができます。CTLE実装の利点は、設計が簡単であり、他の方法より消費電力が少ないことです。しかし、適応範囲、精度、ノイズ振幅により、適さない場合もあります。FFE (Feed-Forward)、DFE (Decision-Feedback) によるイコライゼーションなどの方法では、チャンネル損失を補正するためのスケール・ファクタで重み付けされたデータ・サンプルを使用します。CTLEとFFEはリニア・イコライザであり、どちらも高周波ノイズの増幅によるS/Nの低下があります。しかしながら、DFEはフィードバック・ループによるノンリニア・コンポーネントを使用するため、ISIのノイズ振幅と補正が最小になります。図16は、大きなチャンネル損失と、ディエンファシス、CTLE、DFEによるイコライズ適用後の5Gbpsを示しています。

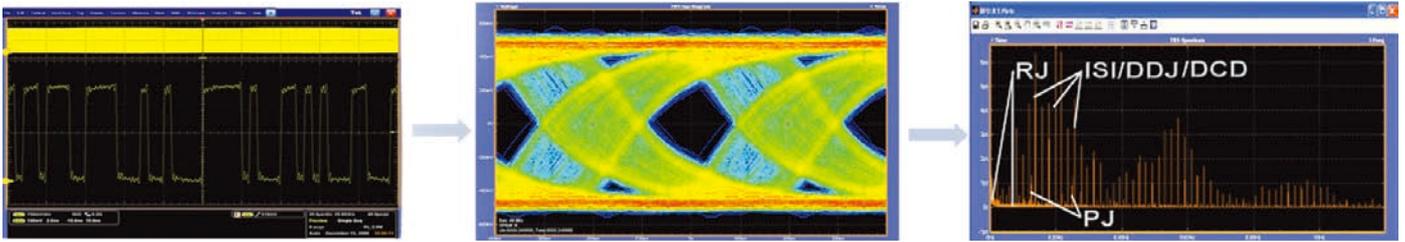


図17. シリアル・データの解析/デバッグ用DPOJETソフトウェア

特性評価とデバッグ

設計の特性評価、コンプライアンス・テストでは、シグナル・インテグリティやジッタ問題を解決するためのデバッグ・ツールが欠かせません。マージンの減少やリンク問題が複雑になるにつれ、半導体の設計エンジニアやシステム・インテグレータは統計解析機能や、ヒストグラム、ジッタ・スペクトラム、BERの「バスタブ」曲線などの検証ツールが必要になりました。DPOJETは、ジッタのスペクトラムやトレンドなどの解析結果をプロットでき、単なる測定、結果表示以上のものが得られます。トレンド解析では、周波数ドリフト、PLLスタートアップ・トランジション、電源変動に対する回路応答などのタイミング・パラメータをすばやく表示することができます。ジッタ・スペクトラム解析では、ジッタの正確な周波数、振幅、隣接したオシレータやクロック、電源ノイズ、信号クロストークなどのジッタ変調ソースを観測することができます。

エラーが発生した場合、自動テスト・ソフトウェアによってコンプライアンス・モードからユーザ定義によるジッタ/アイ解析ツールセットに切り替えられることが重要になります。DPOJETソフトウェアは、クロック・リカバリ、リファレンス・レベルなどのパラメータ、Rj/Dj分離、測定リミット、ゲーティングを設定することができます。また、標準のUSB 3.0ノーマティブ、インフォーマティブ測定の外に、さまざまなタイミング測定、振幅測定、アイ測定機能が含まれています。

デバッグとジッタの解析手順を図17に示します。まず、SSCの効果を含めたジッタ解析のために、比較的大きな母集団のデータを取込みます。33kHzのSSCサイクルでは、1周期30 μ s数サイクル分の時間ウィンドウが必要になります。データを取込んだら、アイ・ダイアグラム解析により電圧、タイミングの性能をすばやく観測できます。アイを観測することで、過度の周期性ジッタ、データ依存性ジッタがないか確認できます。最後に、ジッタの成分を分解してシグナル・インテグリティ問題を特定します。ジッタ・スペクトラムのプロットからジッタ成分を分離ことができ、振幅と周波数がわかります。

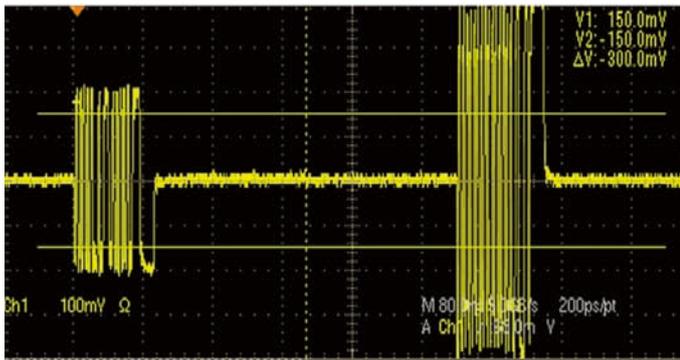
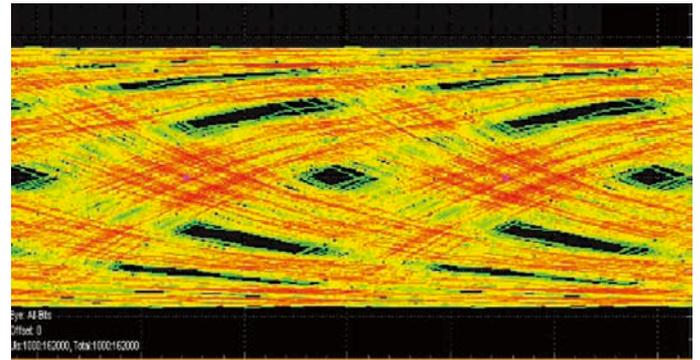


図18. USB 2.0と3.0のレシーバ・テスト例



レシーバ・テスト

コンプライアンス・テスト

USBレシーバ・テストの目的は、ターゲットの 1×10^{-12} BER (Bit Error Rate) において、レシーバがデータを正しく受信できることを確認することにあります。トランスミッタ・テストは振幅、ジッタ、その他のパラメータ測定が中心でしたが、レシーバ・テストではジッタ・トレランス（耐性）の信号テストが中心になります。ジッタ・トレランスは、レシーバ・システムが他の製品と確実に接続できることを保証します。インターオペラビリティ（相互接続性）の条件は、ケーブル長、低い信号振幅、非同期リファレンス・クロック、電源マネージメント、リンク状態などによって大きく変化します。

SuperSpeed USBのコンプライアンス・テストは、高速インタフェースの新しい問題に対処するために大きく変更されています。USB 2.0のレシーバ検証には、レシーバ感度テストが含まれています。ハイスピード・デバイスは、150mV以上のテスト・パケットに応答し、100mV未満の（スケルチ）信号は無視しなければなりません。SuperSpeed USBのレシーバはさらに多くのストレス信号に対しても機能しなければならないため、テスト要件はUSB 2.0よりもさらに厳しくなっています。USB 3.0の仕様では 1×10^{-12} BERを規定していますが、データミニスティック・ジッタを増やすことでBERを 1×10^{-10} になるようにレシーバ・コンプライアンス・テストの時間を短くしています。BERレベルのTj (BER) はあくまでも同じです。

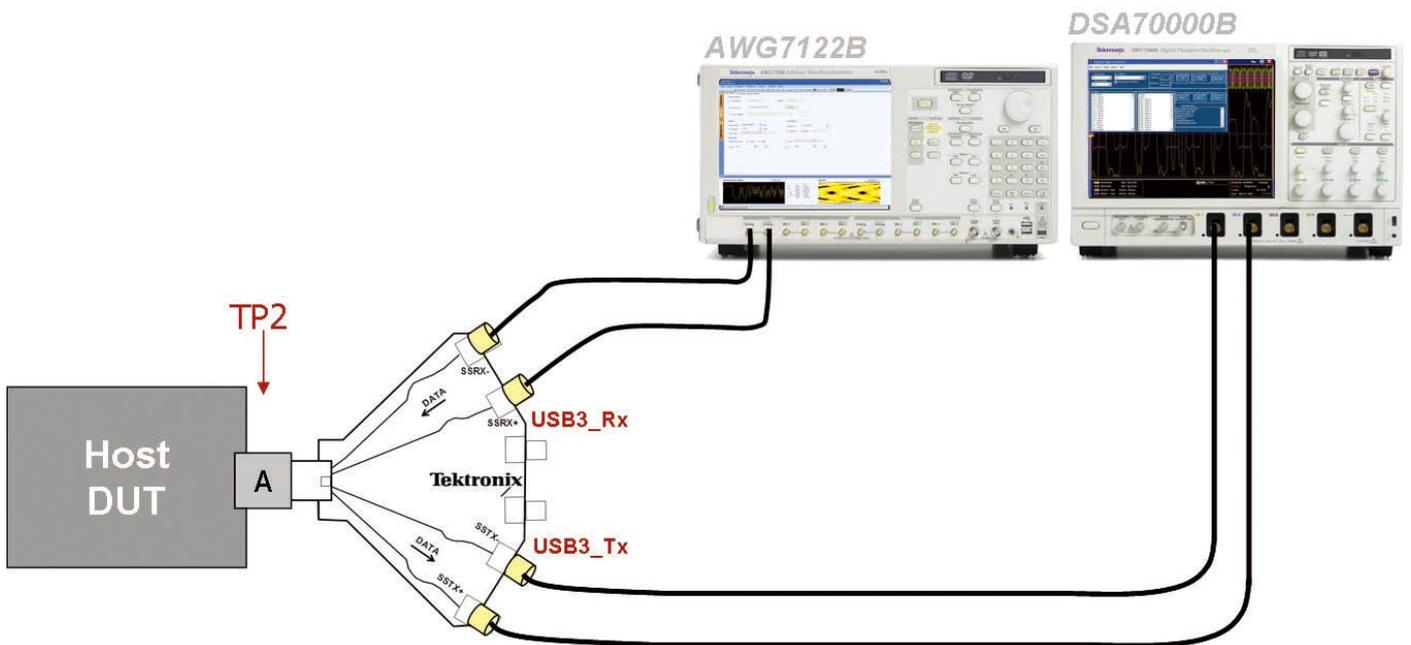


図19. ループバックBERTによるUSB 3.0レシーバ・テストの接続例

レシーバ・ステート制御とテストの初期化

レシーバ評価の主な目的は、ビット・エラーの把握にあります。既知のパターンがレシーバに送られ、レシーバのコンパレータ後のデータを評価します。データは、レシーバ内部のループバック・メカニズムにより、外部でチェックします。レシーバ・テストの課題は、テスト・パターンの出力と被測定デバイス（DUT）におけるテスト・モードの初期化にあります。テスト・モードには、トランスミッタをリカバリし、リタイミング後にトランスミッタを出力するループバック・モードへの固定と、内部エラー検出ステートの起動が含まれます。任意波形ジェネレータ（AWG）の利点は、必要なリンク・トレーニングをシーケンスし、レシーバ・ループバックに入れ、ループバックBERTオーダード・セットを発行できることです。図19と図20は、ループバックBERT法によるホストのテスト初期化と、以下の手順によるAWGシーケンスのエラー検出を示しています。DSA70000Bシリーズ・リアルタイム・オシロスコープは、レシーバからのエラー・カウントを取込み、デコードします。

1. Ping.LFPS: リンク・トレーニング初期化のためのLFPS (Low Frequency Periodic Signaling)
2. TSEQ: レシーバ・イコライゼーション・トレーニング、CDRロック、トレーニング・レーンの極性の検出と反転
3. TS1/TS2: トレーニング、ループバック、スクランプリングのためのリンク設定
4. エラー・カウント・パターン: 内部エラー検出器の校正のための1つまたは複数のシンボル・エラーを含む
5. BERTオーダード・セット: エラー・カウント動作検証のためのBRST (テストのリセット)、BDAT (テスト・データ)、BERC (エラー・カウントのクエリ)
6. Rj、Dj (リファレンスISIチャンネルとSj) によるScrambled D0.0
7. RxテストのためのBERTオーダード・セットの再発行

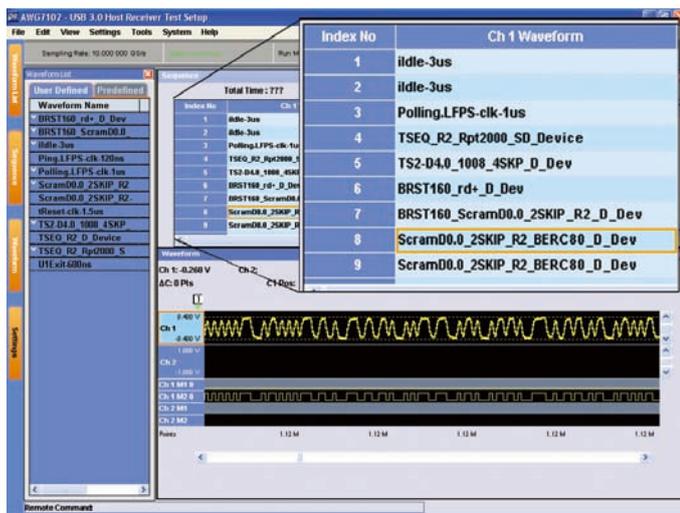


図20. リンク・トレーニング・パターン、BERTオーダ・セット、ジッタ・パターンによるAWGシーケンサ

フレーム・エラー検出

内部BERT方法に加え、レシーバは外部エラー検出でテストすることができます。USB 3.0では、ホストとデバイス間では別々のリファレンス・クロックを使用するため、ローカルのクロック速度によって差がでます。そのためSKPオーダード・セットにより、リンク内のクロック周波数偏差を補正します。エラスティック・バッファによりシンボルを一時的にバッファリングし、SKPの挿入削除により行います。規格では、トランスミッタは平均354シンボルごとにSKPを挿入する必要があります。エラスティック・バッファは、SKPの周期を踏まえ、SSCの影響を含むクロック周波数差に十分に対応できるだけの大きさが必要になります。ホスト、デバイス間の最大トランス周波数レンジ±300ppmとSSCの影響（0～-5000ppm）に対応するためには、ワーストケースの最大周波数オフセット・レンジは+300～-5300ppmになります。

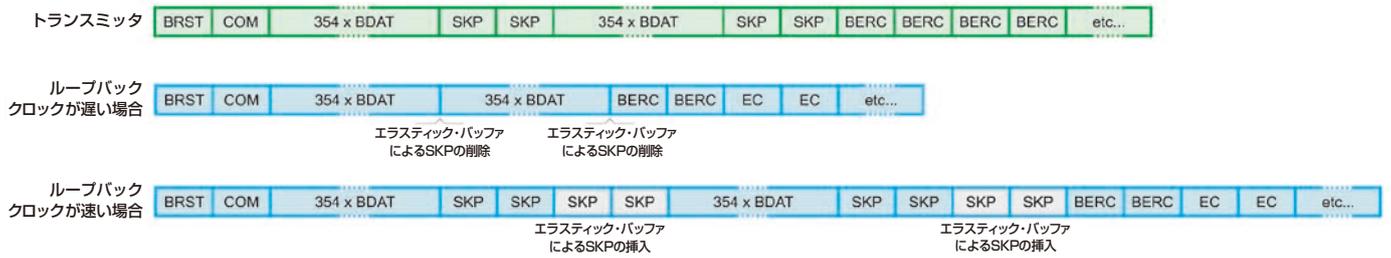


図21a. SKPオーダード・セットの挿入削除のタイミング・ダイアグラム

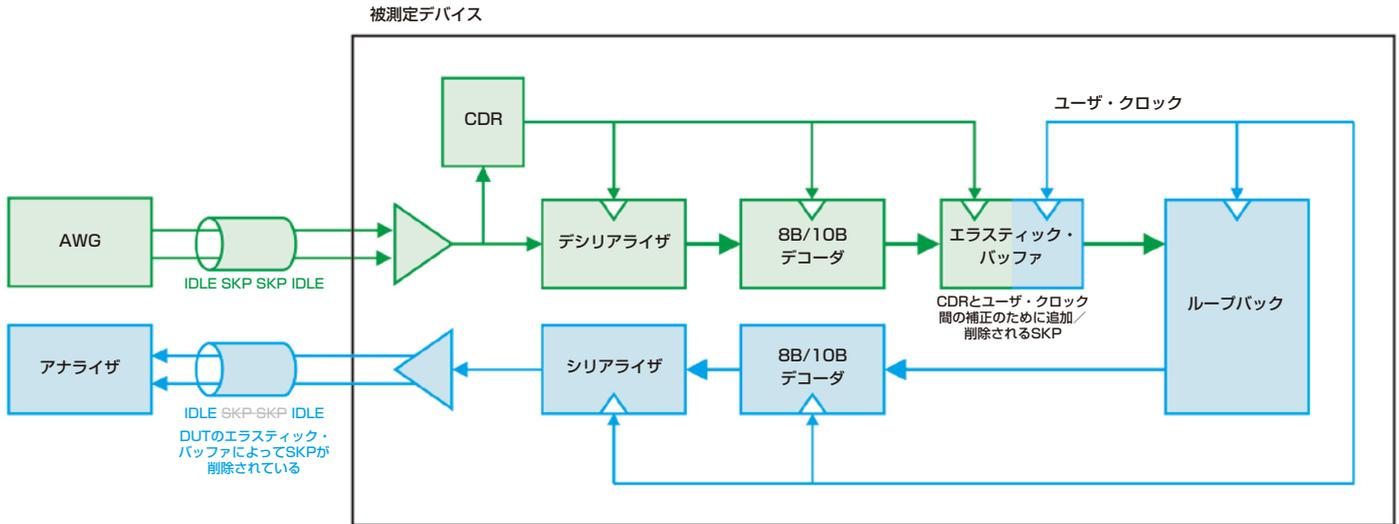


図21b. AWGとプロトコル・アナライザによるフレーム・エラー検出

先にも説明したように、USB 3.0のレシーバには内部ビット・エラー検出機能が含まれています。内部エラー検出機能は、レシーバ・テストを低コストで行うための1つの方法です。ただし、CPOパターン (Scrambled DO.0) しか認識されないという制限があります。CJT PAT (Compliant Jitter Tolerance Pattern) またはPRBS (Pseudo Random Bit Sequence) パターンなど、その他のパターンをテストするには、外部エラー・ディテクタを使用します。外部ループバックの評価には、同期エラー検出、非同期エラー検出の2種類があります。同期エラー検出はビット・

レベルで検証できますが、パターン・ジェネレータとエラー・ディテクタで共通のリファレンス・クロックが必要になります。非同期エラー検出はリファレンス・クロックが不要で、SKIPなどのシンボルを挿入、削除することでシンボル・エラーを検出することができます。非同期エラー検出機器としてプロトコル・アナライザがあり、エラー検出の他に、トラフィック・モニタリング、ホストのエミュレーション、リンク・トレーニングの実行など、さまざまな機能を装備しています。

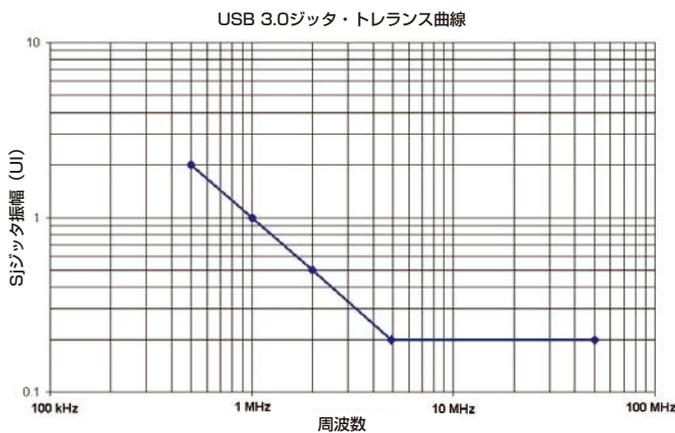


図22. BER = 1×10^{-12} におけるUSB 3.0のSjジッタ・トレランス曲線

デバッグとリファレンス・テスト・チャンネル

ジッタ・トレランス入力は、ワースト・ケースの動作条件を表す3つの成分から成り立っています。すなわち、システム固有のノイズ、結合周期性ノイズ・ソースからなる正弦波ジッタ、長いチャンネル長のシンボル間干渉です。これらのジッタ成分の他に、レシーバはSSCの低周波ジッタにも耐える必要があります。図22は、Sjジッタのトレランス曲線を示しています。SjとRjのジッタ校正はTP1で実行するか、リファレンス・テスト・チャンネルとケーブルの前で実行します。

5Gbpsのシグナリング、長いホスト・チャンネルとケーブルでは、レシーバ端ではアイが閉じ、イコライゼーションが必要です。テスト仕様の開発では、ワースト・ケースでテストできるようにチャンネルを規定しますが、実際には製品をコスト効率よく、効率的に設計、製造するのに十分です。チャンネルのモデルとバジェットが用意できたならば、実際の物理レイヤが期待通りの性能を持っているか検証します。ソフトウェアによるシミュレーション・ツールを使用することで、迅速なモデリングとコーナーケース・テストが行えます。しかし、ある時点でモデルを生成して物理チャンネルを検証しなければなりません。通常は、仕様に沿った電気特性を持ったリファレンス・チャンネルを基板上に実装します。

ハードウェアでチャンネル・モデルを作成する方法としては、モデルを振幅、位相を含む差動Sパラメータとして変換し、シグナル・ジェネレータのテスト・パターンで合成し、発生します。この方法により、可変で繰り返し可能な特定のチャンネル仕様で被測定デバイスをドライブすることができます。当社SerialXpressソフトウェアは、必要とされるすべてのストレス信号を1つの信号に統合することにより、USB 3.0のレシーバ・テストにおける複雑な信号生成を自動化することができます。パワー・コンバイナや外部の変調ソースが必要となる方法とは異なり、SerialXpressソフトウェアはテスト波形をデジタル的にコンパイルし、AWG (任意波形ジェネレータ) の出力バッファに自動的にロードします。SerialXpressは、Rj、Sj、ISIなどの複雑なジッタ成分だけでなく、独自のSSC変調プロファイル、高い確度 (25cm対25.25cm基板配線長) によるISIスケールリング、プリエンファシスなどのプラグインを含めることもできます。

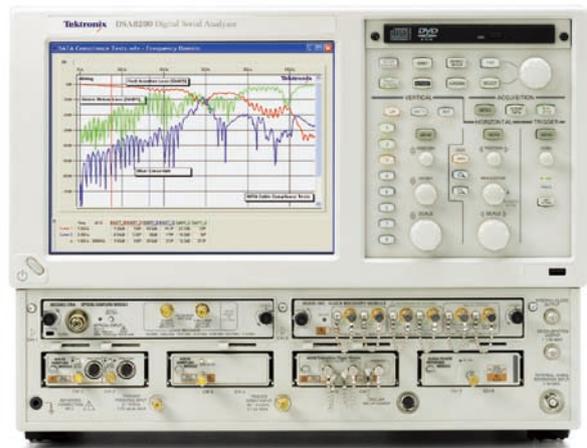


図24. DSA8200型サンプリング・オシロスコープ上で実行するIConnect TDR/Sパラメータ測定ソフトウェア

チャンネル測定

コンプライアンス

5Gbpsのデータ・レートでは、信号の立ち上がり時間、パルス幅、タイミング、ジッタ、ノイズなどはシステム・レベルの信頼性に影響します。シグナル・インテグリティを確実なものにするためには、信号が通過する伝送環境のインピーダンスと損失を理解し、コントロールする必要があります。インピーダンス・ミスマッチや変動は反射の原因となり、全体としての信号品質を低下させることとなります。USB 3.0のチャンネル・コンプライアンスにより、性能低下の可能性を最小限に抑えることができます。USB 3.0に必要なチャンネル性能の仕様を以下に示します。チャンネル・コンプライアンス・テストには、DSA8200型サンプリング・オシロスコープ、80E04型TDRサンプリング・モジュール、IConnectソフトウェア、A/Bレセプタクル・テスト・フィクスチャを使用します。

1. インピーダンス
2. イントラペア・スキュー
3. 差動インサージョン・ロス
4. 差動リターン・ロス
5. 差動近端クロストーク
6. USB3.0とUSB2.0ペア間の差動クロストーク
7. 差動-コモンモード変換

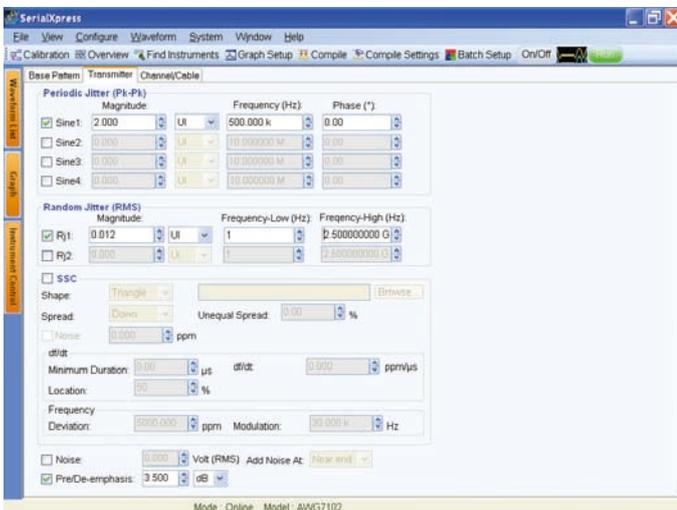
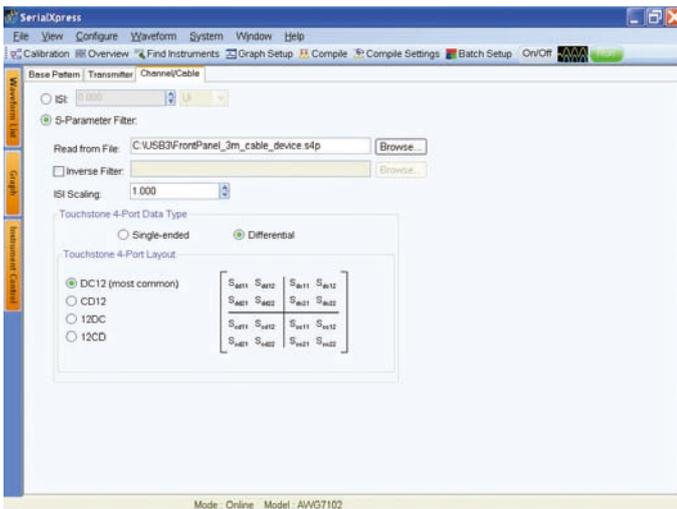


図23. SerialXpressのRj、Sj、ISIメニューとアイ・ダイアグラム設定

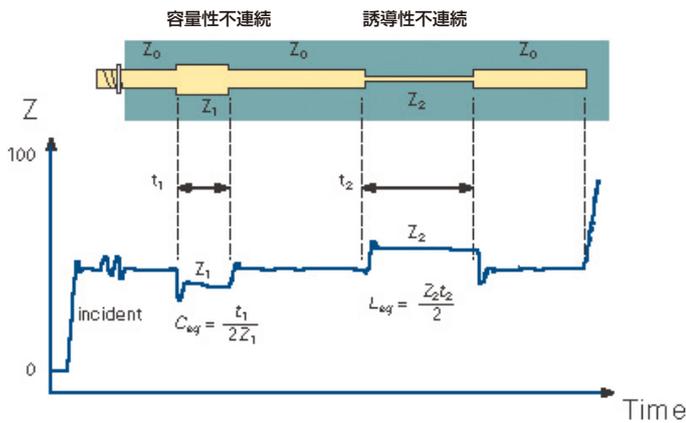


図25. TDRによるインピーダンス不連続の検出

特性評価とデバッグ

インピーダンス測定は相対的なものであり、反射振幅と入力振幅の比較によって行います。最新のTDR計測器では、すべて計算から ρ (反射係数) または Ω による入射振幅と反射振幅を比較します。図25は、入射TDRステップの特性インピーダンス Z_0 が、コネクタからオープン回路の波形端まで移動する間のインピーダンス変動を示しています。この場合の確度は、TDRソース、この場合では Z_0 のリファレンス・インピーダンスに依存します。

S (Scattering) パラメータによる周波数ドメインのネットワーク特性記述は、一般的になってきました。各ポイントにおける入射波形、反射波形として定義し、周波数の関数としてのパワーまたは電圧として記述します。図26は、各ポイントにおけるシングルエンドの入射電圧とリターン電圧を示しています。より一般的な測定のための設定を図27に示していますが、ここでは差動

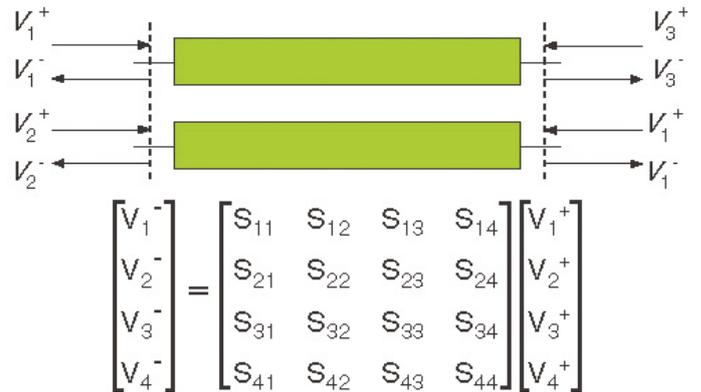


図26. 4ポートSパラメータ計算のための4×4の行列式

モードで測定しています。差動モードとコモンモードが混在したミックスド・モードのSパラメータ測定は、潜在的なシグナル・インテグリティ問題がわかるという利点があります。このモードにおいてほとんどの信号のエネルギーが伝搬するため、差動測定は信号の減衰に直接関係します。コモンモードは、スキューとグラウンド・バウンスに関係します。モード変換により電磁妨害 (Diff-CM) と電磁感受性 (CM-Diff) が、隣接するライン間のクロス結合ではクロストークが発生します。インピーダンス測定とSパラメータ測定は、シグナル・インテグリティ問題を特定するためのツールとして、設計エンジニアには欠かせません。時間ドメインによるTDR測定はインピーダンスの不連続が特定でき、シミュレーション・モデルと物理的な測定の間を関連をとることもできます。周波数ドメインでは、Sパラメータは主に伝達関数として、または相対的な用語としてのビヘイビア・モデルとして表されます。



		差動		コモン	
		Sdd		Sdc	
応答	差動	Sdd		Sdc	
	コモン	Scd		Scc	

図27. 差動およびコモンモードによる入力と応答

USB 3.0の測定では、TDRを使用して差動インピーダンス、周波数ドメインのクロストーク、Sdd21インサージョン・ロスと差動-コモンモード変換によるSパラメータを測定します。この測定では、45Ωまたは90Ω差動のリファレンス・インピーダンス

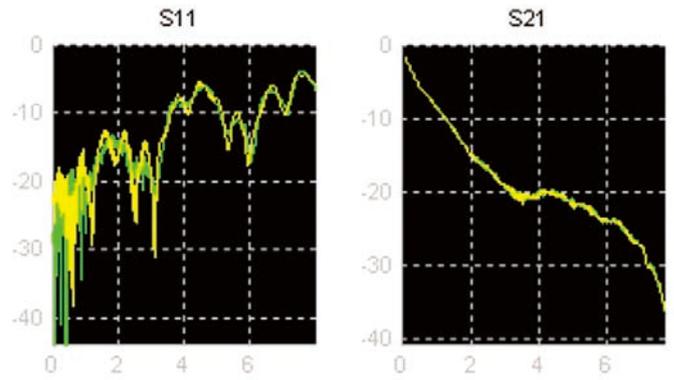


図28. 90Ωのノーマライゼーションの前（緑）と後（黄）のSパラメータ

を使用しますほとんどのTDRシステムでは50Ωのリファレンス・インピーダンスを使用するため、測定データはソフトウェアで正規化して90Ωの差動リファレンス・インピーダンスにします。

まとめ

このアプリケーション・ノートでは、USB 3.0に関する新しい問題と、SuperSpeedの設計検証／デバッグに必要な計測ツールについて説明しました。90年代後半のUSBの登場以来、テクトロニクスの計測器は、プラグフェストや独立したテスト・ラボにおいて膨大な数のUSBデバイスの承認に使用されてきました。USB-IFの会員は、PIL (Platform Integration Lab) を利用して設計初期段階におけるテストが行えます。PILは、USBデベロッパがホストとデバイスのインターオペラビリティのテスト、およびUSB 3.0の電気およびリンク・レベルのシグナリングが正しく行われていることを確認するために開放されています。

USBコンプライアンス・テストの詳細については、USB Implementers Forumのウェブ・サイト (www.usb.org) をご参照ください。詳細なテスト手順、ホワイト・ペーパー、その他のサポート資料を見ることができます。また、USBのテストについては、当社ウェブ・サイト (www.tektronix.co.jp/usb) もご参照ください。豊富なアプリケーション・ノート、ウェブ・セミナー、推奨機器リストなどを見ることができます。

参考文献

1. D. Derickson, M Muller, Digital Communications Test and Measurement: High-Speed Physical Layer Characterization, - Prentice Hall, 2008
2. Universal Serial Bus Specification Revision 3.0 (2008).www.usb.org
3. USB 3.0 Electrical Compliance Methodology White Paper Revision 0.5, www.usb.org
4. Understanding and Performing USB 2.0 Physical Layer Testing, www.tektronix.com/usb

Tektronix お問い合わせ先：

日本

本社 03-6714-3111
SA営業統括部 03-6714-3004
ビデオ計測営業部 03-6714-3005

大宮営業所 048-646-0711

仙台営業所 022-792-2011

神奈川営業所 045-473-9871

東京営業所 042-573-2111

名古屋営業所 052-581-3547

大阪営業所 06-6397-6531

福岡営業所 092-472-2626

湘南カスタム・サービス・センタ 0120-7-41046

地域拠点

米国 1-800-426-2200

中南米 52-55-54247900

東南アジア諸国／豪州 65-6356-3900

中国 86-10-6235-1230

インド 91-80-42922600

欧州／中近東／北アフリカ 41-52-675-3777

他30カ国

Updated 30 October 2008

詳細について

当社は、最先端テクノロジーに携わるエンジニアのために、資料を用意しています。当社ホームページ (www.tektronix.co.jp) またはwww.tektronix.com) をご参照ください。

TEKTRONIXおよびTEKは、Tektronix, Inc.の登録商標です。記載された商品名はすべて各社の商標あるいは登録商標です。

07/09

55Z-23452-0

Tektronix

Enabling Innovation

日本テクトロニクス株式会社

www.tektronix.co.jp

〒108-6106 東京都港区港南2-15-2 品川インターシティ B棟6階

技術的なご相談は、お客様コールセンターまでお問い合わせください。

TEL: 03-6714-3010 E-mail: ccc.jp@tektronix.com

電話受付時間 / 9:00~12:00・13:00~18:00 月曜~金曜 (休祝日は除く)

■ 記載内容は予告なく変更することがありますので、あらかじめご了承ください。

© Tektronix