

簡化 Xilinx 與 Altera FPGA 除錯過程



以全速進行 FPGA 設計除錯

像是混合訊號示波器 (MSO)，以及含 FPGAVIEW™軟體的邏輯分析儀等解決方案，可讓您立即更換 Xilinx 與 Altera FPGA 內的探測點，而無須再重新編譯設計。加上可建立 FPGA 內部訊號活動到電路板訊號間關聯的功能，即可趕上您的時程，而不會錯過產品上市的時間。

簡介

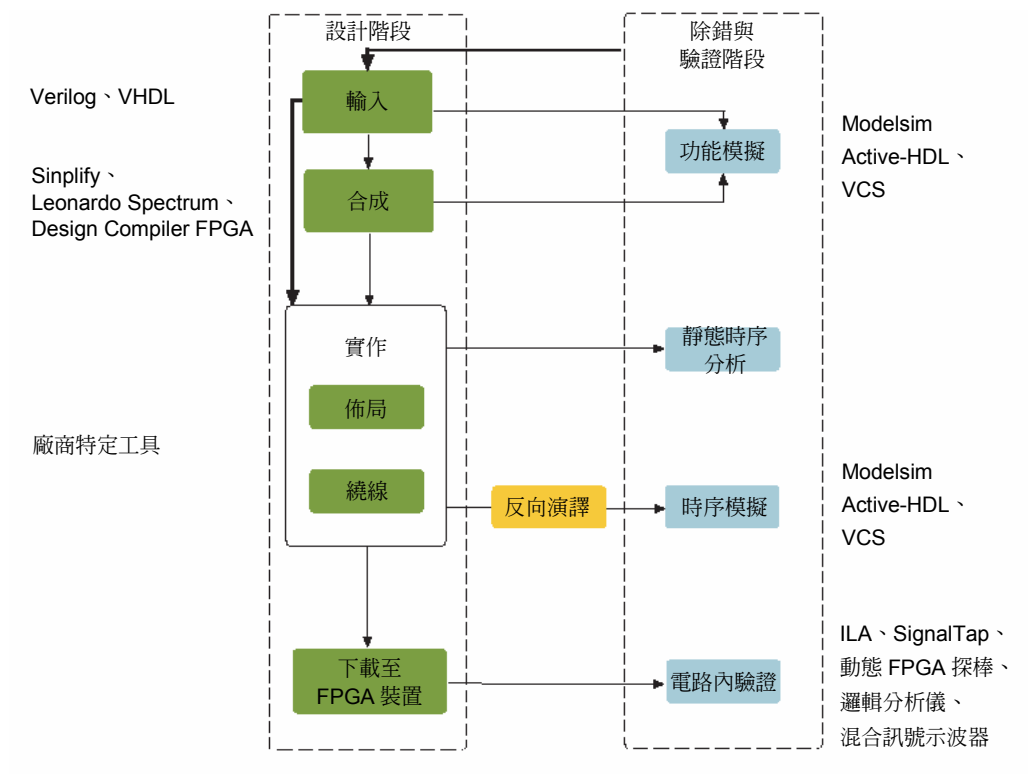
由於設計尺寸與複雜度日新月異，讓設計驗證程序成為今日 FPGA 系統的關鍵設計瓶頸。內部訊號存取受限、先進的 FPGA 封裝技術，以及印刷電路板 (PCB) 電子雜訊等，都是讓設計除錯及驗證，變成設計週期中最困難程序的關

鍵因素。光為設計進行除錯及驗證，大概就要占去大部分的設計週期時間。為協助進行設計的除錯及驗證，必須使用新工具，以在 FPGA 全速運行時，為您的設計進行除錯。

本應用摘要著重於，在進行 FPGA 系統除錯時，能夠讓您變得更具效率的課題和技術。

簡化 FPGA 除錯

► 應用摘要



► 圖 1 FPGA 設計流程。

FPGA 設計程序概觀

讓 FPGA 系統上市時，有兩個不同的階段：設計階段與除錯及驗證階段（見圖 1）。設計階段的主要工作是輸入、模擬和實作。除錯及驗證階段的主要工作是驗證設計，並修正任何找到的錯誤。

設計階段

在此階段不只要完成設計工作，還要使用模擬工具開始除錯。適當的使用模擬工具，已經證實為有效的方式，可找出並修正許多設計的錯誤。不過，不能只仰賴模擬工具作為唯一的 FPGA 設計除錯工具。還有太多模擬工具無法發現的東西。

在設計階段，也需要前瞻除錯及驗證階段，並計畫將如何進行 FPGA 內部電路與高速除錯。這應可讓您定義整體的除錯方式，找出任何所需的測試與量測工具，並辨識任何所選擇的除錯方法，對於電路板設計所造成的影響。

除錯及驗證階段

在除錯階段，您需要找出模擬未發現的棘手問題。以省時的方式進行除錯是一項挑戰。

在本應用摘要中，我們將會檢視如何選擇適當的 FPGA 除錯方法、如何有效規劃設計階段的除錯，以及如何善用新方法的能力，讓您只使用幾個 FPGA 接腳，就能看見許多 FPGA 內部訊號。做的好的話，這將可讓您突破最困難的 FPGA 除錯問題。

FPGA 除錯方法

在設計階段必須做出的關鍵選擇之一，就是決定要使用哪一種 FPGA 除錯方式。所採用的方法最好能夠用在您所有的 FPGA 設計上，同時提供對 FPGA 作業和系統作業的深入觀察，並帶來指出和分析困難問題的能力。

FPGA 內電路 (in-circuit) 除錯有兩種基本的方法：使用內建的邏輯分析儀，以及使用外部測試設備，例如混合訊號示波器或邏輯分析儀。要選擇哪一種方法，需視您的專案除錯需求而定。

嵌入式邏輯分析儀核心

主要的 FPGA 廠商提供嵌入式邏輯分析儀核心。範例包括 Altera 的 SignalTap® II 與 Xilinx 的 ChipScope™ ILA。這些智慧財產區塊可插入您的 FPGA 設計中，同時提供觸發和儲存能力。FPGA 邏輯資源是用來執行電路觸發作業，而 FPGA 記憶體區塊則是執行儲存能力。JTAG 是用來配置核心的作業，然後將擷取到的資料傳送到個人電腦上進行檢視。

由於嵌入式邏輯分析儀使用 FPGA 內部資源，因此通常都是搭配較大型的 FPGA 使用，因為較能吸收核心管理成本。通常您會希望核心不要佔用超過 5% 的可用 FPGA 邏輯資源。

如同任何除錯方法，這也有一些您應注意的權衡取捨：

接腳與內部資源

由於是透過現有的 JTAG 接腳存取，嵌入式邏輯分析儀核心未使用其他接腳。這表示即使您的設計接腳有限，也可使用此一方法。所犧牲的是，您會用到 FPGA 內部邏輯資源和記憶體區塊，這些本來是可以施行於您的設計。此外，既然內部記憶體被用來擷取資料，記憶體深度容易相對變淺。

探測與操作模式

嵌入式邏輯分析儀核心的探測很簡單。它使用現有的 JTAG 接腳，所以無須擔心如何將外部邏輯分析儀連接到您的系統。所犧牲的是，雖然嵌入式邏輯分析儀提供您 FPGA 作業的能見度，卻無法建立該資訊與電路板層或系統層資訊間的關聯。FPGA 內部與外部訊號的關聯建立，常是解決最嚴苛除錯挑戰的關鍵。

成本與彈性

大部分的 FPGA 廠商，都以低於全功能外部邏輯分析儀的成本，提供其嵌入式邏輯分析儀核心。不過您可能會預想到，嵌入式邏輯分析儀核心提供的功能，比全功能的邏輯分析儀少 – 那些在擷取和分析嚴苛除錯挑戰時，經常會需要的功能。例如，嵌入式邏輯分析儀只能以狀態模式工作 – 只能擷取與 FPGA 設計中特定時脈同步的資料，因而無法提供精確的訊號時序關係。

外部測試儀器

由於嵌入式邏輯分析儀方法的某些限制，許多 FPGA 設計人員採用一種方法，運用 FPGA 的彈性，以及外部混合信號示波器 (如 MSO4000 系列) 或邏輯分析儀 (如 TLA 系列) 的強大量測能力。

在這種方法中，會將有興趣的內部訊號，傳送至未使用的 FPGA 接腳，再將接腳連接到外部測試設備。本方法在外部測試設備中運用了極深的擷取記憶體，這在針對徵兆和實際錯誤結果相隔甚久的問題上進行除錯時，相當的有用。另外，此一方法還能建立 FPGA 內部訊號和系統中其他活動的關聯。

如同嵌入式邏輯分析儀方法，這也有必須考量的取捨問題：

接腳與內部資源

外部測試設備方法使用極少 (如果有用到的話) 的 FPGA 邏輯資源，且未使用 FPGA 記憶體。這可釋放能夠實作功能的資源。所犧牲的是，現在您必須保留一些增加的接腳，以進行除錯。而很顯然的，您的設計已佔用一些接腳。

探測與操作模式

至外部測試設備的探棒連線，與嵌入式邏輯分析儀方法所需的探測相較之下，更加的深入。您需要決定如何使用混合訊號示波器或邏輯分析儀探棒，存取 FPGA 訊號，而非能夠重複使用電路板上的現有 JTAG 接頭。最簡單的技巧是在電路板上新增除錯接頭。這將讓您能輕鬆地建立 FPGA 訊號與系統中其他訊號的關聯。

成本與彈性

雖然外部測試設備一開始的成本，可能會高於嵌入式邏輯分析儀，您也可利用它來解決更廣泛的問題。混合訊號示波器或邏輯分析儀不只對 FPGA 除錯有幫助，它也能用來解決其他數位與混合訊號設計挑戰。您也可在擷取模式和觸發功能上，獲得更大的彈性。有了外部混合訊號示波器，您即擁有能力，以超高的時序解析度，觸發並擷取各種廣泛的類比、數位與串列訊號。有了外部邏輯分析儀，您可存取多達 16 種不同的觸發狀態，並能以超高時序解析度，在時序模式中擷取極長的緩衝器資料。

選擇適當的 FPGA 除錯方法

視您的情況，兩種方式都可能派上用場。困難之處在於判斷哪一種方法適合您的設計。請您問自己下列問題：

您預期中的問題是什麼？

如果您認為這些問題會發生在 FPGA 之內為功能性問題且易被區隔，可能只需使用嵌入式邏輯分析儀，就能提供所需的除錯功能。但如果您預期會有更大的除錯問題，使您可能必須驗證時序邊際、建立 FPGA 內部活動和電路板上其他活動的關聯，或是需要更多強大觸發能力，則使用外部邏輯分析儀會更適合您的除錯需求。

功能	嵌入式邏輯分析儀	外部混合訊號示波器	外部邏輯分析儀
取樣深度			✓✓
時序問題除錯		✓	✓
關聯建立		✓	✓
效能		✓	✓
觸發功能		✓	✓✓
輸出接腳使用率	✓		
擷取速度	✓	✓	✓

► 表 1 選擇正符合您所需的 FPGA 除錯方法。

除了狀態資料外，您是否還須檢視快速時序資訊？

外部混合訊號示波器或邏輯分析儀，可讓您以不到 1 奈秒的解析度，檢視 FPGA 訊號的詳細時序關係。這可協助驗證事件的工作遵照設計程序，並讓您驗證設計的時序邊際。嵌入式邏輯分析儀只能擷取，與 FPGA 中特定時脈同步的資料。

您將需要擷取多深？

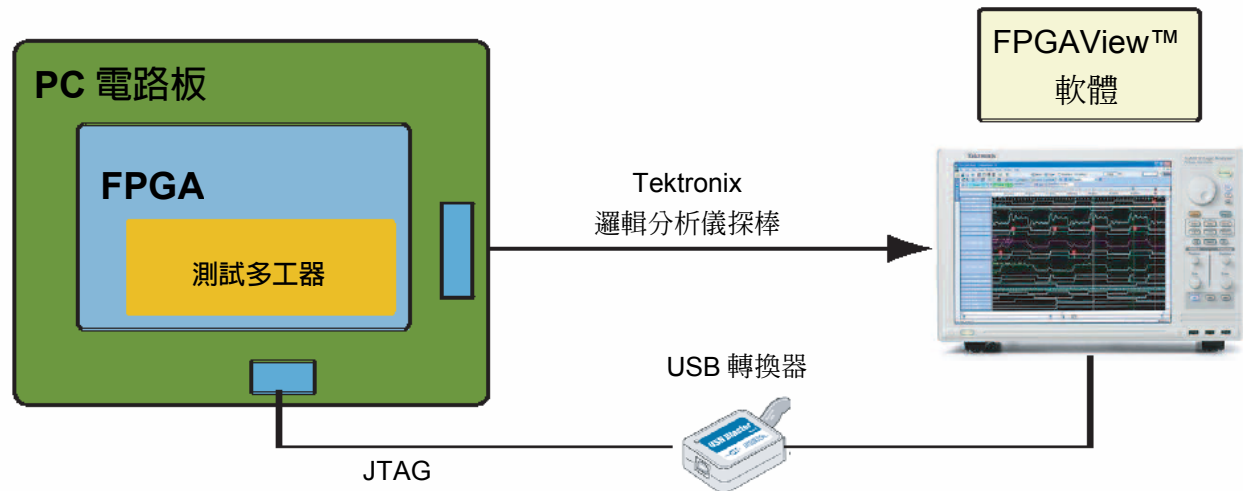
使用外部混合訊號示波器或邏輯分析儀，您將可獲得更大的取樣深度。例如，在 SignalTap II 中，最大取樣深度設為 128 Kb，這是裝置本身的限制。不過，使用外部混合訊號示波器，

可擷取高達 10M 個取樣點，使用邏輯分析儀，將可擷取高達 256M 個取樣點。這可協助您更深入瞭解問題和可能造成的原因，進而縮短除錯時間。

您的設計受到接腳限制或是資源限制較多？

使用嵌入式邏輯分析儀無須額外的輸出接腳，但 FPGA 內部資源必須用來執行邏輯分析儀的功能。使用外部測試設備，需要用到其他的輸出接腳，但可將使用 FPGA 內部資源的需要降到最低 (或消除)。

表 1 摘要了各種方法的相對優勢。



► 圖 2 典型的 FPGAView 實作。

FPGAView™ 優勢

FPGAView 概觀

外部測試設備方法有效運用了 FPGA 中的「P」，視需要重新編製裝置的程式，將有興趣的內部訊號傳送至通常數目不多的接腳。這個方法很有用，但確實有其限制。

- 每當需要查看不同的內部訊號組合時，您就必須變更設計 (無論在 RTL 層或使用 FPGA 編輯器工具時)，將想要的訊號組合傳送至除錯接腳。這不僅費時，在需要重新編譯設計時，還會改變設計的時序，而且可能隱藏您需要解決的問題。
- 一般而言除錯接腳的數目很少，且內部訊號和除錯接腳呈 1:1 的關係，限制了可見度和對設計的深入觀察。

爲了克服這些限制，已經開發出新的 FPGA 除錯方法，能夠提供外部測試設備方法的所有優勢，同時免除其主要限制。

First Silicon Solution 公司的 FPGAView，在搭配 Tektronix MSO4000 系列混合訊號示波器，或 TLA 系列邏輯分析儀使用時，可提供完整的 Xilinx 或 Altera FPGA 及其週邊硬體除錯解決方案 (見圖 2)。此一組合可讓您：

- 同時檢視內部與外部活動
- 快速變更 FPGA 探測點，而無須重新編譯設計
- 每個接腳可監控多重 FPGA 內部訊號

此外，FPGAView 可在單一裝置中處理多重測試核心 (對監控不同的時域助益良多)，以及 JTAG 鏈上的多重 FPGA 裝置。

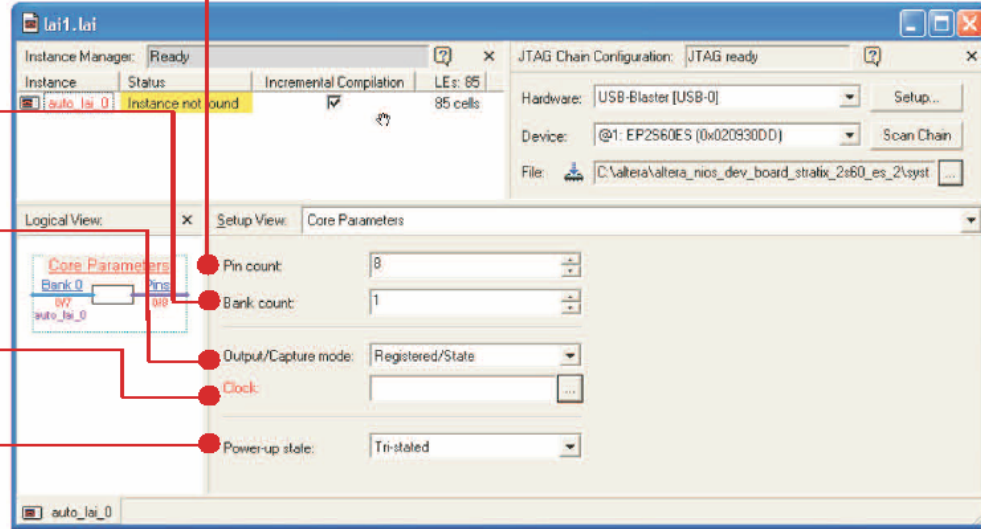
指定除錯接腳的
數目

指定記憶體庫的數目

指定模式

指定時脈
(如果使用狀態模式)

電源啟動模式



► 圖 3a Altera 的邏輯分析儀介面編輯器範例，此一編輯器是用來定義和插入測試核心。

使用 FPGAView

使用 FPGAView 的方式包括下列簡單的步驟：

- 步驟 1. 設定並將適當的測試核心插入 FPGA 設計
- 步驟 2. 設定 FPGAView 配合除錯環境
- 步驟 3. 建立 FPGA 接腳和 MSO 或 TLA 邏輯分析儀通道的對應
- 步驟 4. 進行量測

下列是各項步驟的詳細說明。

步驟 1. 插入核心

第一步是設定測試核心，並將其插入您的設計。例如，使用 Altera 裝置時，利用 Altera 的邏輯分析儀介面編輯器，建立最適合您需要的測試核心（見圖 3a）。FS2 的晶片測試儀 (OCIGEN) 是用來指定並將測試核心插入 Xilinx 裝置（見圖 3b）。

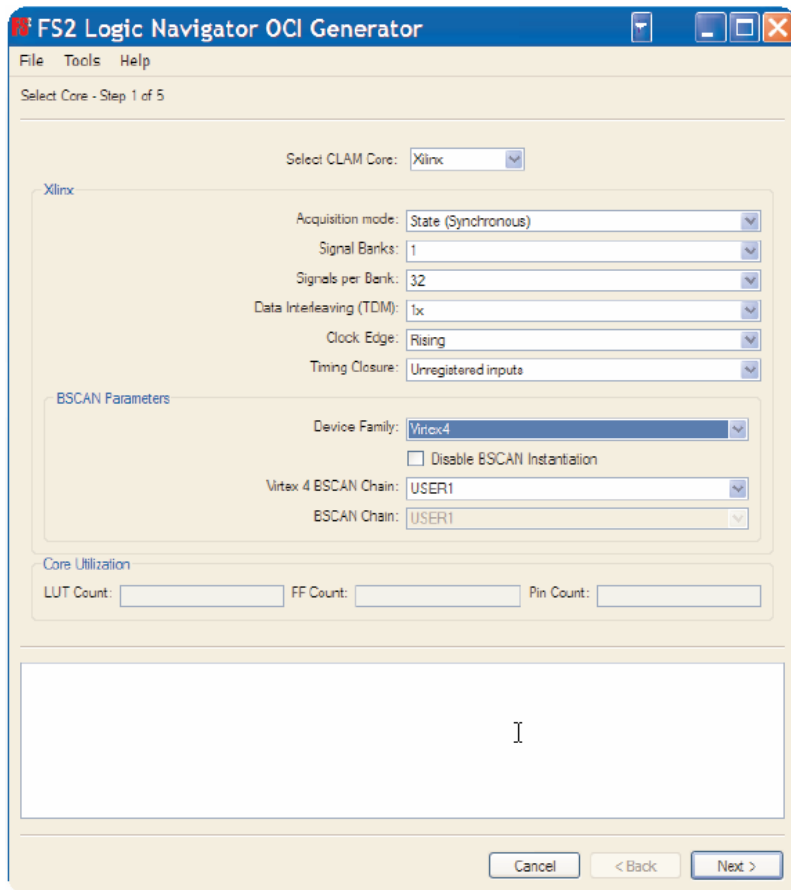
對於大部分的測試核心，您可指定下列參數：

- 接腳計數：指示想要分配給外部測試設備介面的接腳數目。
- 記憶體庫計數：指示想要對應到各接腳的內部訊號數目。
- 輸出/擷取模式：選擇您想進行的擷取類型。可選擇組合/時序或登錄/狀態。
- 時脈：如果選擇了登錄/狀態的擷取模式，可讓您選擇測試核心的取樣時脈。

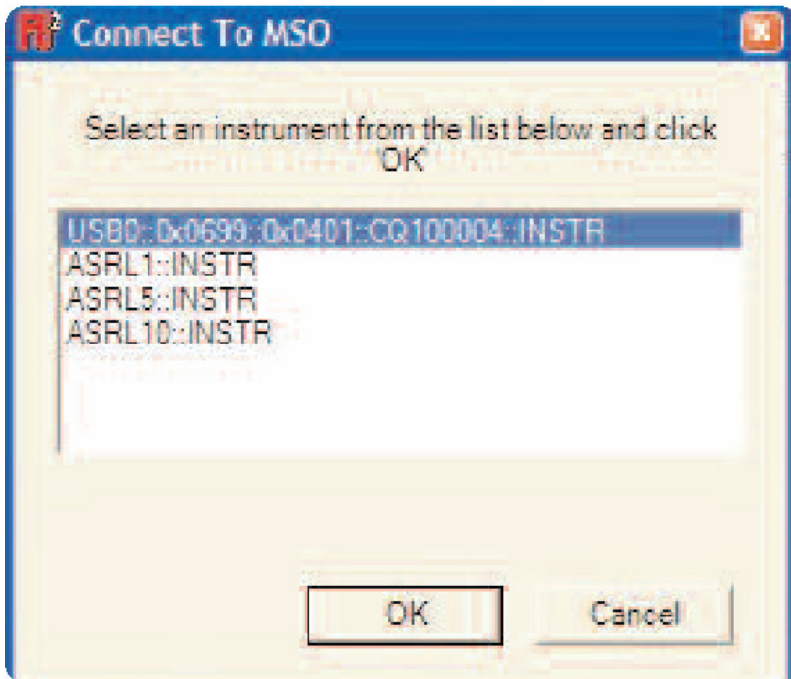
在選擇除錯需求的適當參數後，須選擇測試核心將會用作輸出的接腳。您也須選擇要探測的訊號，並將這些訊號分組成記憶體庫。

簡化 FPGA 除錯

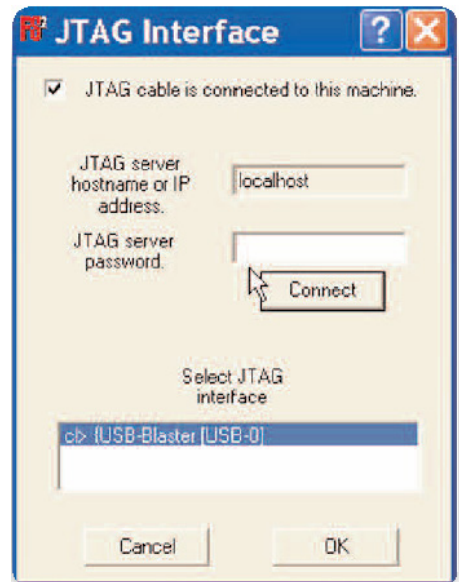
► 應用摘要



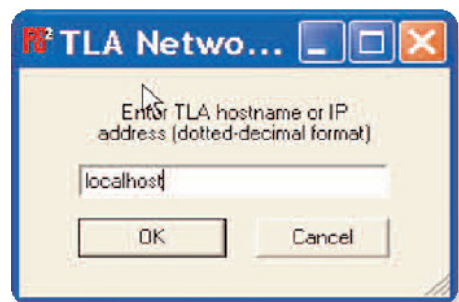
► 圖 3b



► 圖 5b 設定至 MSO4000 的連線。



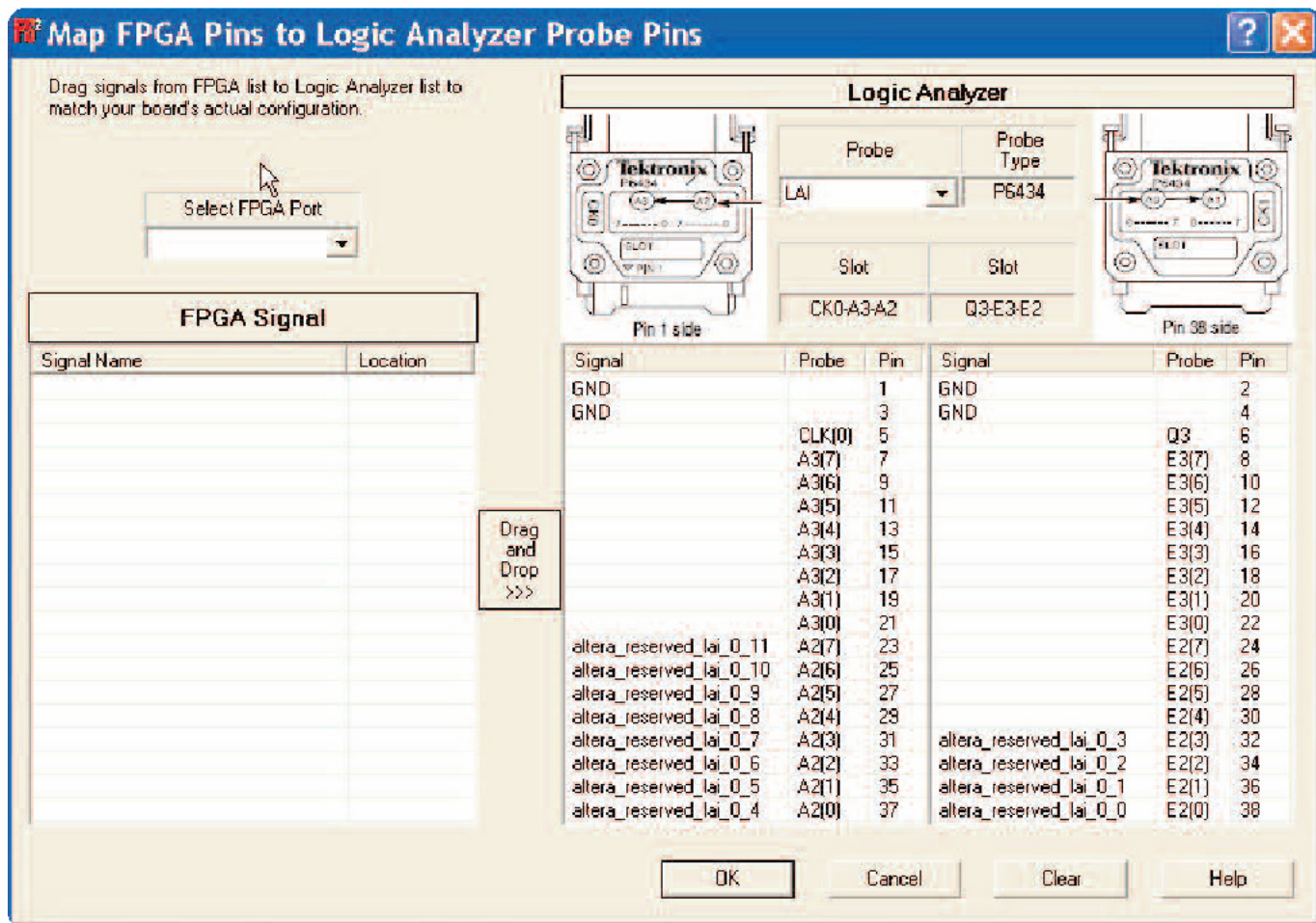
► 圖 4 設定至 JTAG 程式設計纜線的連線。



► 圖 5a 設定至 TLA 的連線。

步驟 2. 設定 FPGAVIEW 配合除錯環境

從 FPGAVIEW 視窗，至 JTAG 程式設計纜線的連線（見圖 4），並連接至外部測試設備。圖 5a 和 5b 顯示至 TLA 系列邏輯分析儀、MSO4000 系列示波器或 PC 工作站的連線。這些配置可提供您因應除錯挑戰所需的彈性。

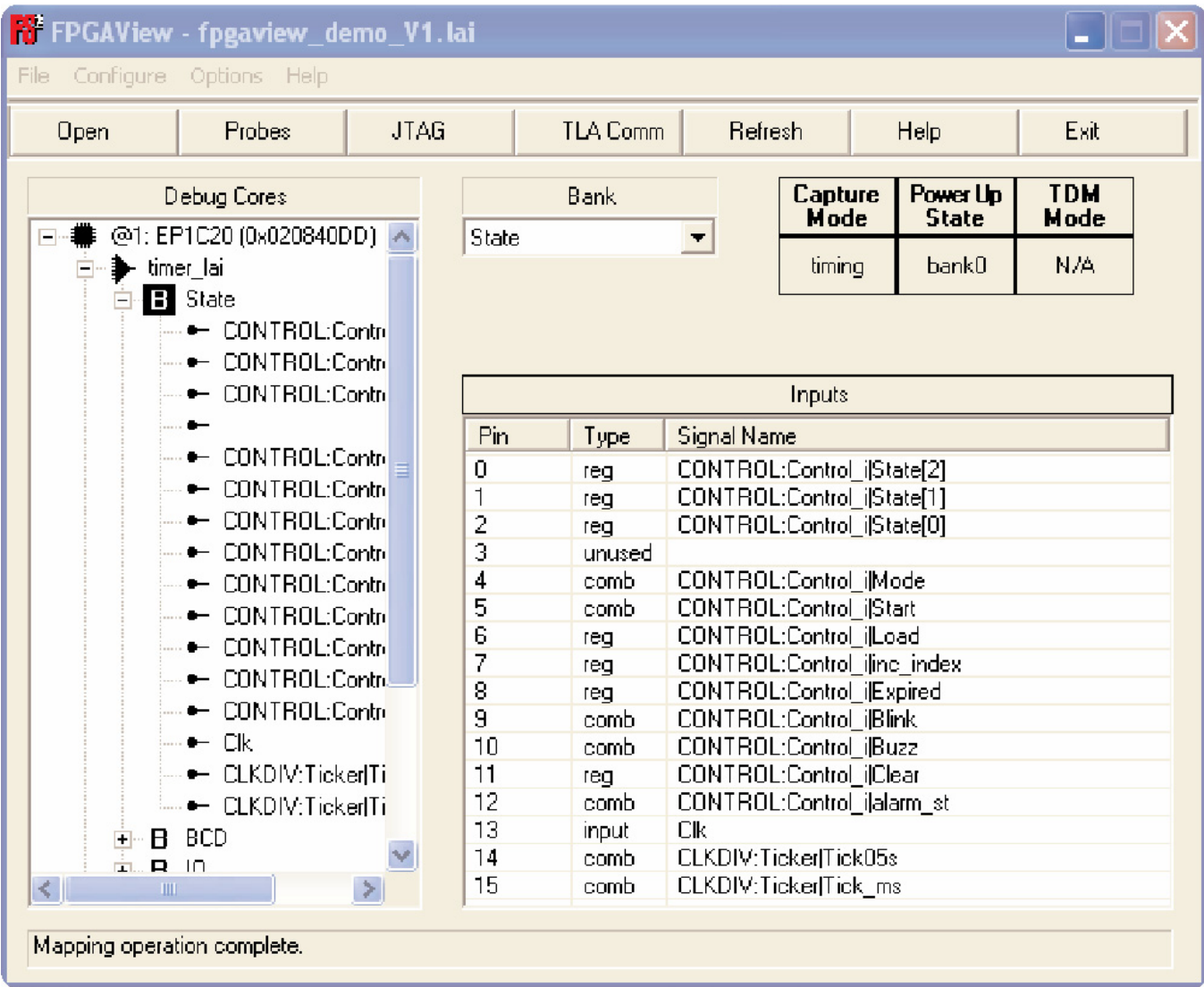


► **6 FPGAView** 可快速輕鬆地對應接腳。

步驟 3. 將 FPGA 接腳對應到混合訊號示波器或邏輯分析儀

下一步是對應 **FPGA** 接腳與 **MSO4000** 系列混合訊號示波器，或 **TLA** 系列邏輯分析儀間的實體連線。這可讓 **FPGAView** 自動更新 **MSO** 或邏輯分析儀上顯示的訊號名稱，以配合那些在 **FPGA** 設計中，正受到測試核心監控的訊號。

若要這麼做，只要點選探測按鈕開啓拖放式視窗，將測試核心輸出訊號名稱，連結到邏輯分析儀上的正確通道（見圖 6）。每個指定的目標連線，只需進行一次這項指派程序。

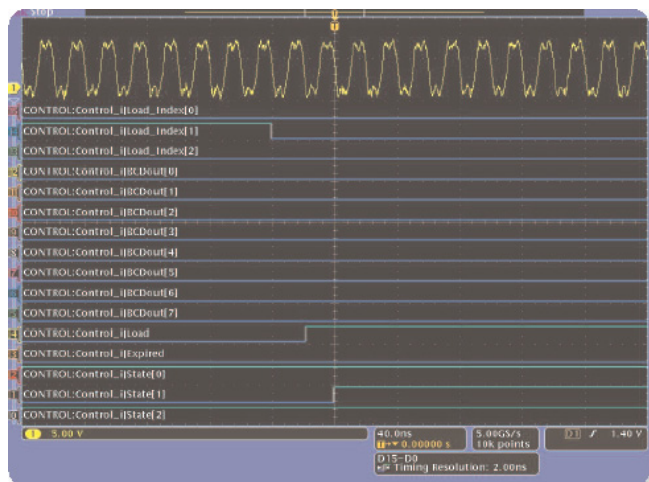


► 圖 7 選擇想要量測的訊號記憶體庫。

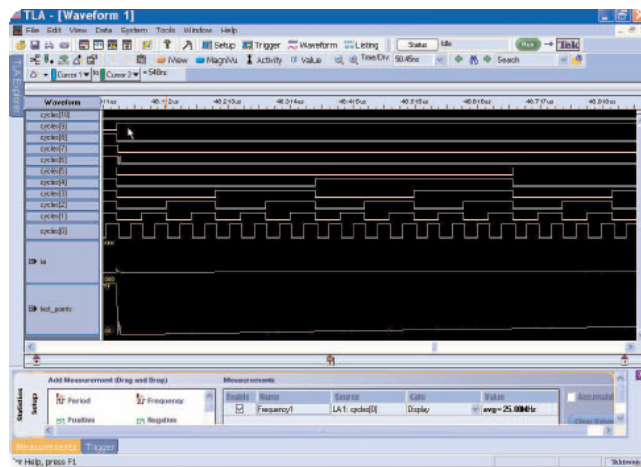
步驟 4. 進行量測

記憶體庫下拉式選單可讓您選擇想要量測的記憶體庫。一旦選定記憶體庫，FPGAVIEW 會透過 JTAG 介面與您的 FPGA 溝通，並設定測試核心選擇想要的記憶體庫。

FPGAVIEW 也會編製 MSO4000 系列混合訊號示波器，或 TLA 系列邏輯分析儀的程式，將這些名稱設定到指定的通道，讓解譯量測結果變得更容易。若要量測不同的內部訊號組，只要選擇不同的訊號記憶體庫即可（見圖 7）。FPGA 訊號與系統中其他訊號關聯的建立，將由全功能的 MSO4000（見圖 8a）或 TLA 系列（見圖 8b）自動完成。



► 圖 8a MSO4000 系列混合訊號示波器與 FPGAVIEW 簡化了 FPGA 系統除錯。



► 圖 8b TLA 系列邏輯分析儀讓許多量測自動化，同時也變得更簡單。

總結

透過在設計階段仔細考量除錯需要，您將能夠選擇適當的除錯方法，不但可簡化程序，也協助節省時間。嵌入式邏輯分析儀和外部測試設備方法，具有自身的優缺點，但像是 FPGAVIEW 的新方法，讓外部測試設備方法變得更具吸引力。

立即更換探測點而不須重新編譯設計，以及建立內部訊號活動與電路板等級訊號間關聯的能力，即可趕上時程，而不會錯過上市時間。

請聯絡 Tektronix：

東南亞國協/大洋洲 (65) 6356 3900
奧地利 +41 52 675 3777
巴爾幹半島、以色列、南非及其他國家 +41 52 675 3777
比利時 07 81 60166
巴西與南美洲 (11) 40669400
加拿大 1 (800) 661-5625
中東歐、烏克蘭及波羅的海諸國 +41 52 675 3777
中歐與希臘 + 41 52 675 3777
丹麥 +45 80 88 1401
芬蘭 + 41 52 675 3777
法國 +33 (0) 1 69 86 81 81
德國 +49 (221) 94 77 400
香港 (852) 2585-6688
印度 (91) 80-22275577
義大利 + 39 (02) 25086 1
日本 81 (3) 6714-3010
盧森堡 + 44 (0) 1344 392400
墨西哥、中美洲與加勒比海諸國 52 (55) 5424700
中東、亞洲及北非 + 41 52 675 3777
荷蘭 090 02 021797
挪威 800 16098
中華人民共和國 86 (10) 6235 1230
波蘭 + 41 52 675 3777
葡萄牙 80 08 12370
大韓民國 82 (2) 6917-5000
俄羅斯及獨立國協 +7 (495) 7484900
南非 +27 11 254 8360
西班牙 (+34) 901 988 054
瑞典 020 08 80371
瑞士 +41 52 675 3777
台灣 886 (2) 2722-9622
英國與愛爾蘭共和國 + 44 (0) 1344 392400
美國 1 (800) 426-2200
其他地區請以下列電話連絡 Tektronix 公司：
1 (503) 627-7111
2007 年 6 月 1 日更新

您可造訪我們的網站，取得最新的產品資訊，
網址為：www.tektronix.com



Copyright © 2007, Tektronix.版權所有。Tektronix 產品受美國和外國專利權的保護、聲明與審查。本出版品中的資訊可取代之前任何出版品中的資訊。本公司保留變更規格與價格的權利。TEKTRONIX 和 TEK 為 Tektronix, Inc 的註冊商標。其他商標名稱則是該相關公司的服務標記、商標或註冊商標。

06/07 FLGWOW

52T-20065-1

Tektronix
Enabling Innovation