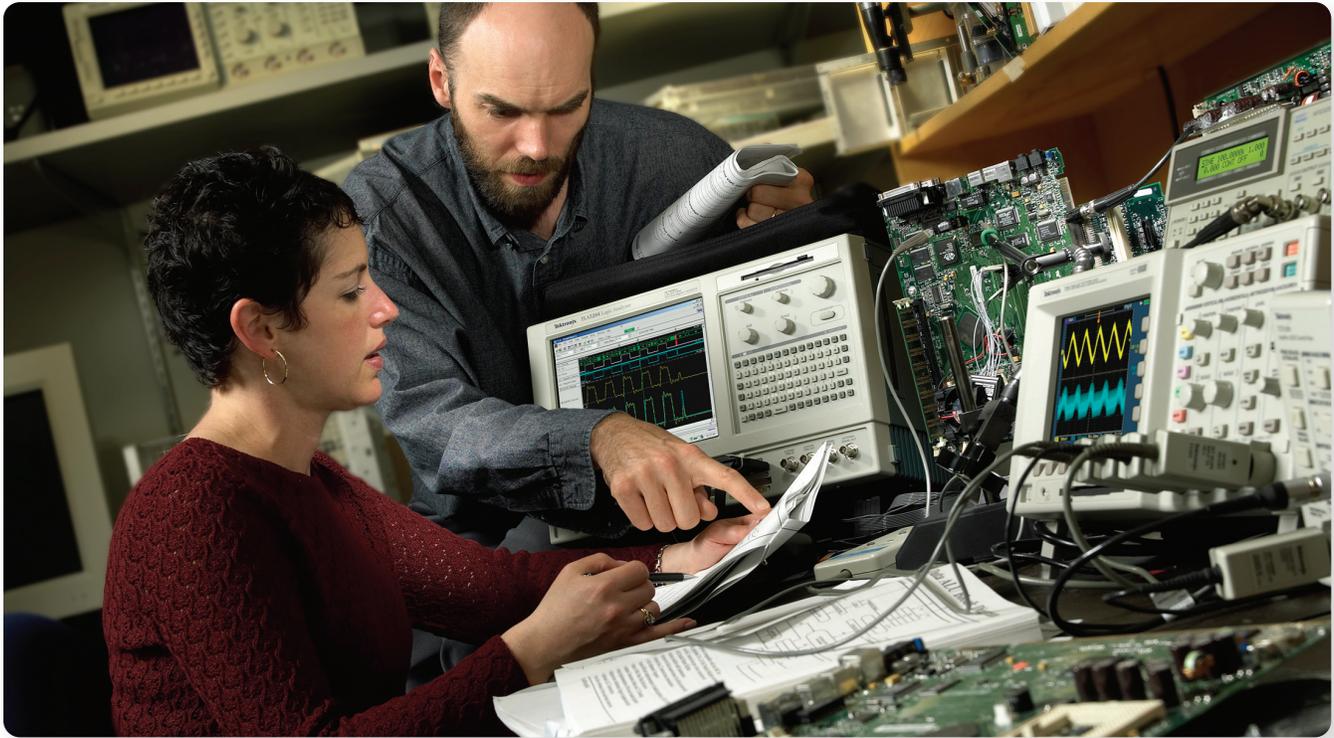


デジタル・デバッグにおける時間節約のヒント



新しい設計、新しい問題

新しいデジタル・デバイスは、高速バス、サブシステム、およびロジック・ファミリの組込みにより、ますます高性能になっています。しかし、このようなデバイスは、より複雑になり、また、信号品質にさらに敏感になって、トラブルシューティングに多大な時間を要するようにもなりました。スケジュールが厳しい状況では、デバッグに余分な時間をかけるのは許されません。このアプリケーション・ノートでは、ロジック・アナライザとオシロスコープの機能をさらに活用して、トラブルシューティングを効率よく行う方法について説明します。

はじめに

今日の回路設計では、誤った測定を引き起こす要因が数多く存在するため、ますますデバッグが困難になっています。高周波バスの出現について考えてみましょう。高周波バスの高速なデジタル・エッジは、シグナル・インテグリティが重要です。これは、デバイスで高速なクロックを使用していない場合でも、問題が発生する可能性があるからです。今日のロジック・ファミリでは、低速なクロック・レートの場合でも、高速なエッジ・レートで使われる可能性があります。

高速なエッジは、クロストークも増加させます。従来の設計では、回路基板のトレースは安定したものと考えられていました。しかし、高速のエッジ・レートでは、相互に影響し合うトランスミッション・ラインとして動作するようになります。高速のエッジでは、大きな過渡電流も発生します。過渡電流は、グラウンド・バウンスと電源の電圧降下を誘発する可能性があります。通常、高速エッジの障害は、信号中の間欠的なグリッチとして発生

します。このような問題を解決する前に、問題の影響を確認し、評価して原因を特定する必要があります。

動作が停止する他の要因には、タイミング違反、ドライバ・エラー、およびレース・コンディションがあります。これらはすべて、ステート・マシン・ロジックにおいても同様に障害を発生させる可能性があります。また、これらの要因は、あらゆる回路で発生する可能性があります。これらは、信号取込み時に発生する場合と、発生しない場合があるため、解決するのが極めて困難です。

このアプリケーション・ノートでは、デジタル・デバッグにおいて、高速エッジによる影響と、間欠的に起きる問題を扱う際の、デバッグ効率をあげるための時間節約を可能にするいくつかのヒントを説明します。

デジタル・デバッグにおける時間節約のヒント

▶ アプリケーション・ノート

ヒント #1: グリッチの確認

グリッチとは?

デバイスが正常に機能しない場合、最初に行うトラブルシューティングはグリッチの確認です。グリッチは極めて狭い幅のパルスで、ロジック信号の変化として捉えられる場合と、捉えられない場合があります。ほとんどの問題は、グリッチとして発生します。システム動作に対するグリッチの影響は予測できません。グリッチは、レース・コンディション、ターミネーション・エラー、ドライバ・エラー、タイミング違反、およびクロストークなど、さまざまなデバイス障害の最初の兆候として現れる場合があります。

問題の特定

多くの場合、グリッチによる問題は間欠的に発生するため、解決するのが極めて困難です。確実な方法は、従来のトップ/ダウン・トラブルシューティングとテスト機器特有の機能とを組み合わせることです。まず、デバイス動作に対する広範囲なマクロ的視点から始めて、個別の問題に焦点を当てていきます。

グリッチ捕捉は、この手法の良い例です。マクロ・レベルでは、当社ロジック・アナライザを使用すると、数百チャンネル規模のバスにおいても、グリッチでトリガすることができます。ロジック・アナライザは、すべての信号に対してグリッチの有無をチェックします。バス・タイミング・ダイアグラムの赤色のバーがグリッチの位置を表し、さらに解析を進めることができます。ミクロ・レベルでは、当社オシロスコープでグリッチ形状を正確に表示し、問題の性質が確認できるようになります。TLA5000 シリーズ または TLA700 シリーズ・ロジック・アナライザの iView™ 機能により、ロジック・アナライザとオシロスコープを組み合わせることで測定し、徐々に問題に焦点を絞っていくことができます。

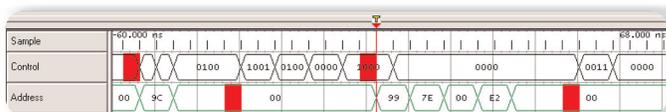
トップ/ダウン手法を使用することにより、デバッグ・プロセスを通して、グリッチを容易に見出し、トラブルシューティングを行うことができます。次の 4 つの手順では、2 種類のグリッチと、その考えられる原因を特定します。

ステップ I: バスの検証

機能動作しているバスに焦点を当て、障害を全体的に確認することから始めます。ロジック・アナライザのバス・タイミング波形により、発生するあらゆるグリッチがフラグで示されます。

グリッチなどの間欠的影響を確認する場合は、長いレコード長のロジック・アナライザを使用します。当社のロジック・アナライザでは、最大 256 Mビットのタイミング解析機能があります。ロジック・アナライザに表示されるバス・タイミング波形により、バスの信号ラインを一度にすべて検証できます。いずれかのラインでグリッチが検出された場合、バス波形上に時間的位置がフラグ表示されます。

図 1 では、一番上の波形はサンプルしているポイントを示し、ディープ・タイミング・モードでは、これは最高 2 GHz (500ps) に及びます。次の 2 つのラインは、4 ビット・コントロール・バスおよび 8 ビット・アドレス・バスの波形です。赤のフラグは、両方のバス波形でグリッチが発生し、それぞれの位置でサンプル・ポイント間に複数のトランジションが発生していることを示しています。

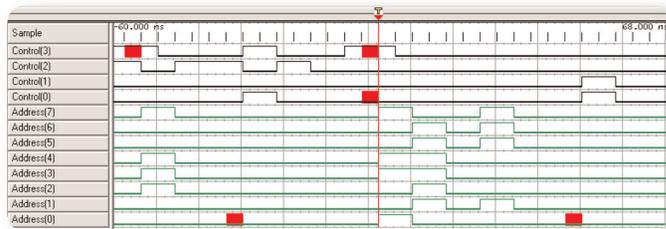


▶ 図 1. サンプル・ポイント、コントロール・バス、およびアドレス・バス。赤はグリッチ・フラグを表します。

ステップ II: ラインの検証

次に、問題のポイントに焦点を当てます。ロジック・アナライザのタイミング波形でバスの個々のラインを表示し、グリッチの発生場所がフラグで表示されます。タイミング信号波形を拡大表示します。拡大波形に関しても、最大 256 Mビット長までのすべてのデータを拡大表示できます。

図 2 では、コントロール・バスを 4 つの個々の信号に展開し、アドレス・バスを 8 つの個々の信号に展開しています。図 1 のバス波形における赤のグリッチ・フラグは、信号ラインの Control (3) と Control (0) のグリッチ、および Address (0) の 2 つのグリッチとして示されています。

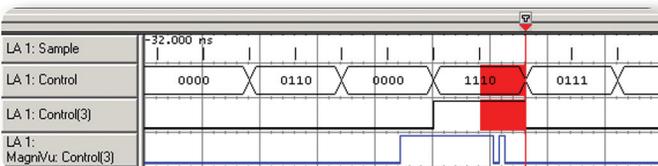


▶ 図 2. 拡大表示された 4 ビット・コントロール・バスと 8 ビット・アドレス・バス。個々の信号で赤のグリッチ・フラグが表示されています。

ステップ III: 詳細な検証

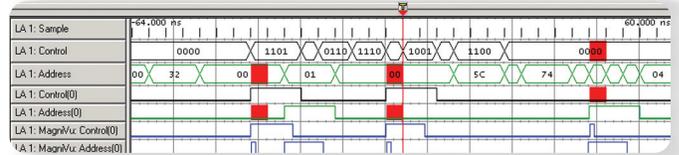
高分解能タイミング表示により、詳細に障害を検証します。これらの障害と他のイベントや障害との関係を確認します。それに加え、当社ロジック・アナライザには、ロング・メモリ長への対応、高分解能の MagniVu™ 125 ps (8 GHz) タイミング機能があります。MagniVu では、すべてのチャンネルで最大 16 Kビット・メモリを高分解能で表示できます。これは、同じプローブを使用し、ロング・メモリのロジック・アナライザと、高分解能タイミングのロジック・アナライザの 2 台を 1 台にまとめたものに相当します。

この例では、グリッチにより発生したと思われる 2 種類の問題を示しています。まず、Control (3) 信号に焦点を当て、Control (3) 信号の MagniVu 波形を示します。図 3 では、高分解能の MagniVu 波形により、パルスの開始点でもパルス自体でもなく、パルスの終了点だけに発生するグリッチを明らかにできることを示しています。これは、障害の原因の重要な手がかりになります。ステップ IV では、可能性のある原因を明らかにします。



▶ 図 3. グリッチを表示しているコントロール (3) の MagniVu™ 波形。

次に、Control (0) 第 2 のグリッチに注目します。MagniVu の高分解能タイミング表示により、残りの 2 つのフラグが付いた、Control (0) と Address (0) を検証します。図 4 では、高分解能、125 ps の MagniVu 波形により、両方のラインの極めて狭いグリッチが検出されます。グリッチとパルスが、同時に、両方の信号ラインで発生していることに注意してください。多くの場合、これは 2 つの信号間のクロストークを示していますが、詳細を検証するためには、別の角度からの確認が必要です。ステップ IV では、この点も詳細に明らかにします。

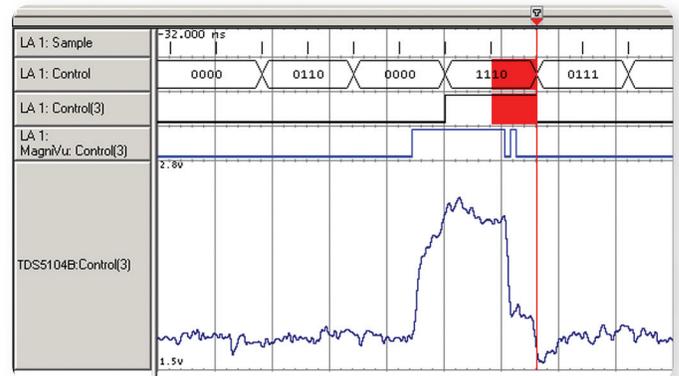


▶ 図 4. クロストークにより発生したグリッチを表示している MagniVu トレースを含むコントロール (0) およびアドレス (0)。

ステップ IV: アナログ波形の検証

オシロスコープとロジック・アナライザの iView™ 機能により、アナログ波形とデジタル・データを比較し、グリッチの実際の見え方を確認します。iView 機能により、ロジック・アナライザは、グリッチを取り込む同じタイミングでオシロスコープをトリガします。iView を利用すると、ロジック・アナライザの画面上に時間相関のとれたアナログおよびデジタルの両波形を表示できます。

Control (3) の信号を見ると、図 5 はグリッチのアナログ iView 表示であることがわかります。この表示から、何らかの理由によりパルスの立上りと立下りエッジの両方が歪んでいることがわかります。立下りエッジでは、ロジックの変化としてトリガするほどにはレベルが下がっていませんので、グリッチとして検出されていません。ただし一方、立下りエッジは、ロジックのしきい値を通過してしまうほど高くバウンスしているため、ロジックの変化として動作してしまう可能性があります。バス・クロックは特に高速というほどではありませんが、回路が使用している LVPECL ロジック・ファミリは高速なエッジを導入しています。パルス・エッジでのバウンスは、高周波成分を含む高速エッジに影響を与えます。ここでは、回路基板上の配線などのインピーダンス・マッチングが正しくなく、反射が起きていることが予測されます。

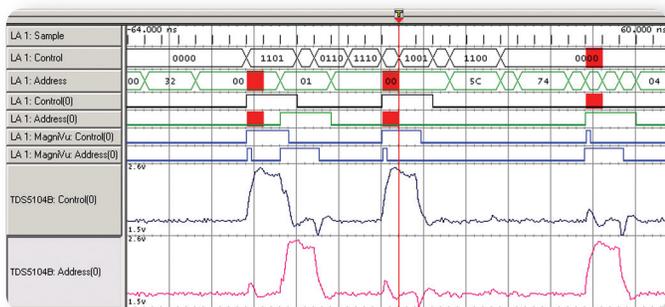


▶ 図 5. コントロール (3) 信号のアナログ表現を示している iView オシロスコープ・トレース。

デジタル・デバッグにおける時間節約のヒント

▶ アプリケーション・ノート

Control (0) と Address (0) における前述のクロストークの仮説をテストすることにより、図 6 は Control (0) 信号のすべての立ち上がり部分に対して、もう一方の Address (0) 信号上に正方向のパルスが存在することがわかります。これにより、Control (0) と Address (0) 間でクロストークが発生していることが確認されます。クロストークは、パッケージ内の隣接するランやピン間で容易に発生する可能性があります。高周波信号および高速クロック・エッジは、低周波信号よりもクロストークの影響を受けやすい性質があります。このことは、低い周波数では常に正常に機能していた設計手法であっても、高い周波数においてはエラーの要因となる可能性があることを意味します。



▶ 図 6. iView 測定で示されたコントロール (0) とアドレス (0) との間のクロストーク。

2 つの例は極めて狭いバスにおける例ですが、数百の信号を持つバス上でもロジック・アナライザのグリッチ・トリガが可能です。このアナライザは、すべての信号におけるグリッチをチェックします。ロジック・アナライザを使ってグリッチが赤いフラグで示された場合は、グリッチの発生源が特定されるまで問題を追及してください。

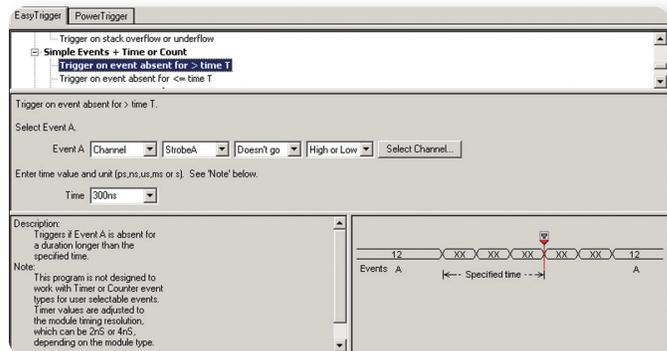
ヒント #2: タイムアウト・トリガを使用して、システムを停止、誤動作させている現象を確認

システムを誤動作、停止させる原因不明な障害が起こる場合、システム全体の動作を考慮しデバッグを行う必要があります。システムには、通常周期的に動作している信号があります。この信号に着目し、ロジック・アナライザの「動作停止状態」でトリガする機能を使用することで、問題を解決できる場合があります。

たとえば周期的に動作する信号の一例として、データ・ラインのグループ用の「ローカル・クロック」機能を持つストローブが存在するとします。ストローブが機能しないか、あるいは十分な頻度で機能しない場合、そのデバイスは予定通りに機能していません。他の例として、システムに組み込まれた「ウォッチドッグ」または「ハートビート」パルスがあります。ハートビートがパルスを生成している限り、そのブロックが機能していることがわかります。ハートビートが停止すると、エラーが重大な状態に至ったことがわかります。

幸いにも、ロジック・アナライザにとって「動作停止状態」でのトリガ設定は簡単であり、またシステムの状態を詳細表示し解析することは容易なことです。

動作停止状態でのトリガは、タイムアウト・トリガと呼ばれています。このトリガ機能では、対象とした信号ラインやバス/グループが、信号を出力していない場合やロジックが指定された時間間隔で変化しない場合に、トリガがかかります。また、その動作を捕捉するレコード長を設定することもできます。図 7 は、ロジック・アナライザの EasyTrigger メニューのタイムアウト・トリガ設定画面を示しています。このメニューを使うことで、簡単に設定できます。



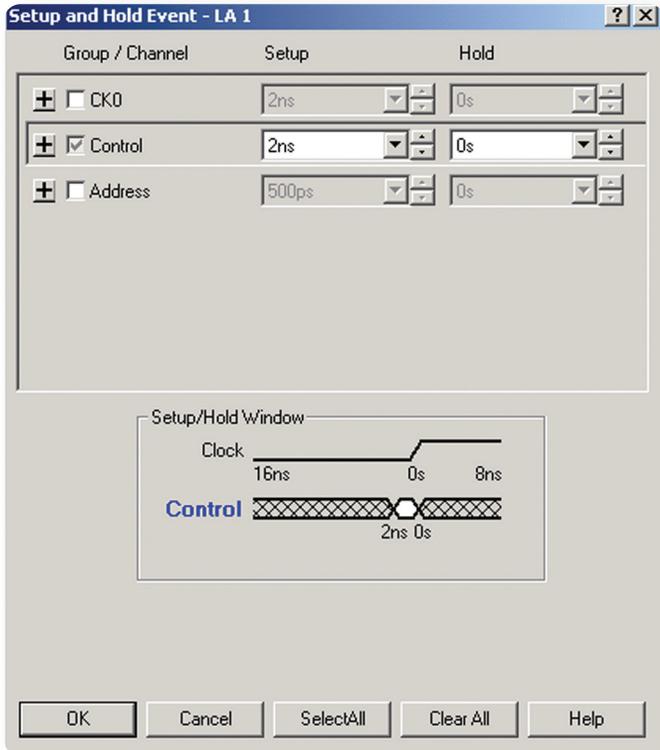
▶ 図 7. EasyTrigger のタイムアウト・トリガ定義画面。

エラーの原因は、ハートビートが実際に停止するかなり前に発生する場合があります。システムは、障害が起こる前のある期間は、機能していたと考えます。このような場合、トリガの位置を全メモリ長の最後尾に設定することで、最大 64 Mビット長までのトリガ前の情報を取込むことができます。このデータを解析して問題の発生源を探ることができます。

ヒント #3: セットアップ/ホールド時間違反の確認

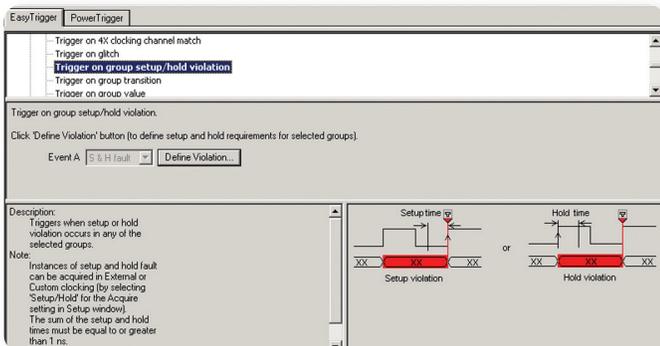
セットアップ/ホールド時間は、最も重要な同期タイミング・パラメータの一つであり、同時にエラーの一般的な原因の一つでもあります。オシロスコープのプロベイングを利用してクロックおよびデータ・ライン（複数チャンネル）を取込む従来の手法では、セットアップ/ホールド時間違反をすべて検出するには、とても時間がかかります。TLA シリーズ・ロジック・アナライザでは、一度にすべての信号に対してユーザ定義のセットアップ/ホールド時間に対する違反を自動検出する機能が用意されています。TLA シリーズのセットアップ/ホールド時間違反トリガ&キャプチャ機能を使用すると、システムすべての信号違反を同時に検証できます。TLA は問題のある信号でのトリガをかけることができ、さらにすべてのセットアップ/ホールド時間違反を識別表示してくれます。

ロジック・アナライザの Setup and Hold Violation (セットアップ/ホールド時間違反) トリガを使用して、セットアップ/ホールド時間違反を直接テストできます。図 8 は、EasyTrigger のセットアップ/ホールド時間違反トリガのセットアップ・メニューを示しています。ロジック・アナライザの MagniVu 機能が持つ 125 ps 高分解能取込み能力が、クロック・エッジ前 16 ns からクロック・エッジ後 8 ns までのセットアップ/ホールド時間ウインドウの設定を可能にします。



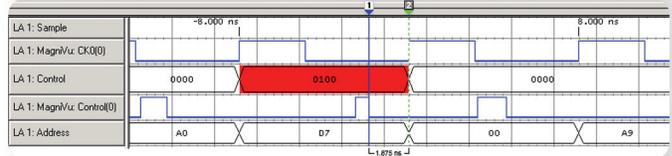
▶ 図 8. EasyTrigger のセットアップ/ホールド違反トリガ定義画面。

図 9 は、監視の対象となる信号のセットアップ/ホールド違反パラメータを指定するダイアログを示しています。TLA は、システムのすべての信号について複数のセットアップ/ホールド時間違反を同時に監視できます。



▶ 図 9. セットアップ/ホールド違反トリガ・パラメータ選択ダイアログ。

図 10 は、ロジック・アナライザがクロック・エッジ前 1.875 ns のセットアップ時間違反でトリガをかけていることを示しています。問題が特定できましたので、解決に向けての作業を行うことができます。



▶ 図 10. コントロール (0) のセットアップ/ホールド違反のトリガ表示。

すべての同期デジタル回路には、セットアップ/ホールド時間の仕様条件があります。セットアップ/ホールド時間の確認は、トラブルシューティング作業の一部として行う必要があります。EasyTrigger メニューを使うと、これら測定が簡単に設定できます。

ヒント #4: ジッタ解析を使用したタイミング問題の解決

ジッタとは?

ヒント #3 で説明したように、ロジック・アナライザを使用して、システムのセットアップ/ホールド時間違反を検出できます。ロジック・アナライザでトリガをかけることにより、システムの Go/No-Go 判定が可能で (トリガがかからなければ問題を含まないことになる)。次のステップでは、このような違反の発生源をさらに追求めます。原因の一つに、ジッタの可能性が考えられます。

定義上は、ジッタとはタイミング・エッジの「正しい」位置からのずれをいいます。時間軸上で考えると、理想的なポジションとの時間差として明白に捉えられます。しかしノイズとして考えた場合、ジッタはランダム成分を含むため、統計的に特性評価する必要があります。

ジッタ量を統計的に測定することができれば、コンポーネントとシステムの測定値を比較することにより、ジッタの範囲を確認することができます。ただし、これだけでは設計を効率的に検証、デバッグすることはできません。ジッタ成分を完全に解析することのみ、ジッタの根本原因を特定することが可能になり、試行錯誤ではなく系統的にジッタを軽減することができます。

デジタル・デバッグにおける時間節約のヒント

▶ アプリケーション・ノート

ジッタ解析

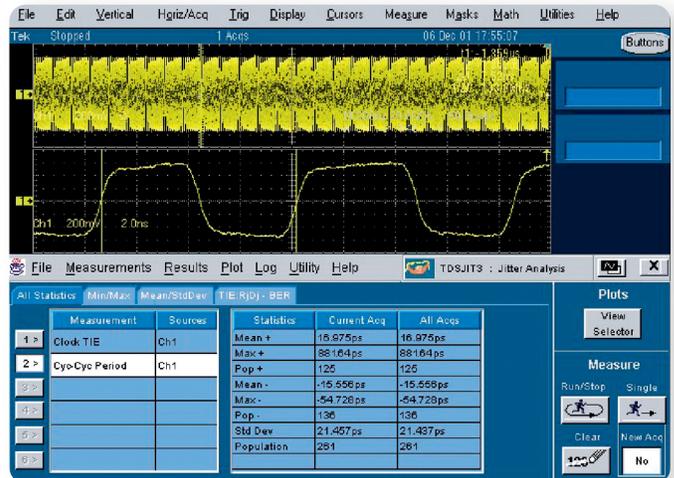
例として、メモリ・システム用の「ゼロ遅延」クロック信号源として構成された PLL (Phase Lock Loop) オシレータを取上げます。PLL は外部クロック (リファレンス) 信号を受信し、その周波数にロックして、クロック分配ネットワークを経由してクロック信号をメモリに再送出します。この際、分配経路による配線長の違いなどを考慮 (遅延を補正) して信号を送出しています。

しかし、このケースではメモリが時々誤ったデータを記憶してしまっています。この原因は、クロックのタイミング・エラーによるものと考えられ、これによって誤ったタイミングで (すべてのデータ・ラインの準備が整う前)、データがメモリに書き込まれてしまっていると推測できます。タイミング・エラーの性質とは何でしょうか? その根本原因は何でしょうか? システム全体の問題の解決は、これらの疑問に対する答えによって決まります。

ロジック・アナライザでこのデジタル・エラーを観察した場合、PLL オシレータのクロック信号の不安定性に疑いを持つかもしれません。しかし間欠的なエラーであっても、ある規則性があるかもしれませんので、ジッタの成分を正しく測定することによって問題を特定できるかもしれません。リアルタイム・ジッタ測定は最も効率的な解決策であるとされています。クロック信号をオシロスコープのプロブに接続し、高速サンプル・レート (この例では 20 GS/s) で数回波形データを取込み、アプリケーション・ソフトウェア (TDSJIT3) に渡します。

TDSJIT3 ソフトウェアのサイクル・トゥー・サイクル測定およびサイクル・トレンド機能を使用すると、PLL のクロック周波数変動が、ほとんどの期間で許容範囲内であるものの、時々急激に変動していることが確認できます。エラーの大きさは 7.5 ns サイクル内で約 1 ns です。

TDSJIT3 ソフトウェアでは、さらに PLL 動作に影響を与えている発生源を特定することができます。FFT 機能でジッタの成分を解析すると、120 kHz に予期しないエネルギー・ピークが存在することがわかります。今回の例では、この周波数がシステムのスイッチング電源周波数であることが判明しました。問題が特定できれば、フィルタをかけて PLL の電源接続から不要な周波数を除くことは容易です。



▶ 図 11. この TDSJIT3 測定スクリーンには、20 GS/s で測定された複数の連結されたジッタ測定値が含まれています。ここでは、7.5 ns サイクル内でほぼ 1 ns のエラーを持つ PLL 信号が明らかに表示されています。

ヒント #5: オーバーフローおよびアンダーフロー・エラーの確認

正しい動作が行われるために、一部のデバイス・イベントは N 回、N 回未満、または N 回以上発生する必要がある場合があります。イベントが正しい回数発生しているかどうか、どのようにすればわかるでしょうか? また、必要な回数を発生していない理由をどのようにして確認できるでしょうか? ロジック・アナライザにはさらに、カウンタを使用したトリガ機能があります。

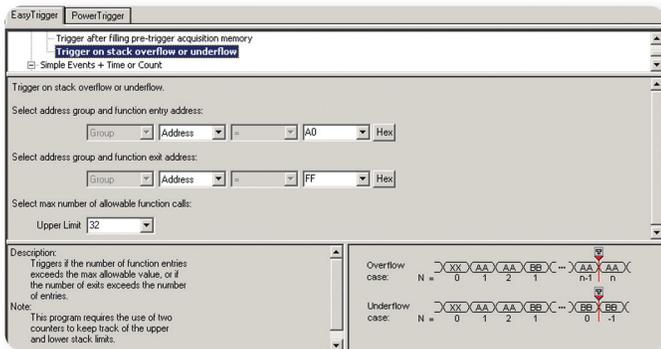
別の例として、FIFO メモリを上げることができます。システムが読み取り以上の速度でデータを速く書き込む場合、メモリはオーバーランしています。システムが空のレジスタからデータを取込もうとしてロック・アップする場合は、アンダーランになります。

オーバーランおよびアンダーラン・エラーのトリガを設定するのは、とても簡単です。EasyTrigger のメニューには、あらかじめ定義されているトリガの一つとして、「Trigger on stack overflow or underflow」が用意されています。

たとえば、マイクロプロセッサの割り込み動作を考えてみましょう。割り込みとは、プロセッサを通常の割り当てから外して、プロセッサ周辺からの何らかの処理を扱うための要求です。割り込みのリストは、プロセッサによる処理を待機しているメモリでスタックされます。割り込みがブ

ロジックの処理能力を超えて入力されると、これらの割り込み要求はスタックを「オーバーラン」して失われます。これにより、プロセッサは不明なステータスで終了するか、通常想定されている機能を発揮しなくなります。

図 12 は、オーバーフローおよびアンダーフロー・トリガの設定画面です。ここでは、ロジック・アナライザで追跡するイベントの種類を指定できます。トリガは、カウンタを使用して、スタックを増加または減少させているイベント数を追跡します。ここでも、十分に長い記録長が重要です。エラーを引き起こした条件は、症状が目に見えるほど前に存在していた可能性があります。



▶ 図 12. EasyTrigger の設定画面。

まとめ

ロジック・アナライザを使用することで、デバッグ・プロセスをより迅速に進めることができます。システム全体の動作確認から、障害に焦点を当てた詳細解析まで対応でき、優れたトリガ機能を使用することによって、一般的な問題を迅速にテストできます。さらに、ロジック・アナライザとオシロスコープを統合し、デジタル波形とアナログ波形を同時に観測することにより、障害を引き起こしている発生源の特定、検証が容易に実現できます。

すぐれたツール

ロジック・アナライザとオシロスコープは、デジタル・トラブルシューティングに使用されてきたツールですが、これらの測定器にどのような能力があるのか、すべての設計者が理解しているわけではありません。ロジック・アナライザは、リアルタイムにシステム動作を検証して回路障害でトリガをかけ、関連イベントを取込むことで、デバッグを迅速化します。オシロスコープは、実際のアナログ波形を観測することで、シグナル・インテグリティの問題が、どのようにロジック回路に影響を与えているかを明らかにします。より高性能が進むロジック・アナライザは、最大 64 Mビットの記録長、125 ps 高分解能の MagniVu タイミング解析、あらゆる障害に対応するように設計されたトリガ機能、および TDS5104B 型などの当社オシロスコープを統合する機能など、先進のソリューションを提供します。TDS5104B 型では、1 GHz 帯域および 5 GS/s のサンプル・レートを実現しています。TLA5000 シリーズおよび TLA700 シリーズを iView™ により統合すると、時間相関のとれたデジタル/アナログ信号をロジック・アナライザのディスプレイで検証できます。

TLA700 シリーズのロジック・アナライザとオシロスコープを、一つのトラブルシューティング・ツールとして使用するには、iLink™ ツール・セットを使用します。この機能により、デジタル、アナログ両面から総合的に解析を行うことができるため、障害の迅速な確認と評価がスムーズに行えます。TLA7Axx 型モジュールで利用可能な iLink ツール・セットには、次の機能が用意されています。

- iCapture™ により、1 本のロジック・アナライザ・プローブを使用してデジタル/アナログ信号の同時取込みが可能
- iView™ により、ロジック・アナライザのディスプレイにオシロスコープのアナログ信号を時間相関表示可能
- iVerify™ により、オシロスコープによって作られたアイ・ダイアグラム・データを使用した複数チャンネルの同時バス検証が可能

テクトロニクス以下の連絡先までご連絡ください。

ASEAN / オーストラレーシア/ パキスタン (65) 6356 3900

Tektronix 有限会社 (インド) (91) 80-22275577

イタリア +39 (02) 250861

英国およびアイルランド +44 (0) 1344 392400

オーストリア +41 52 675 3777

オランダ 090 02 021797

カナダ 1 (800) 661-5625

韓国 82 (2) 528-5299

スイス +41 52 675 3777

スウェーデン 020 08 80371

スペイン +34 (901) 988 054

台湾 886 (2) 2722-9622

中央東ヨーロッパ、ウクライナ、およびバルト諸国

+41 52 675 3777

中央ヨーロッパおよびギリシャ +41 52 675 3777

中国 86 (10) 6235 1230

中東、アジア、および北アフリカ +41 52 675 3777

デンマーク 80 88 1401

ドイツ +49 (221) 94 77 400

日本 81 (3) 6714-3010

ノルウェー 800 16098

バルカン、イスラエル、南アフリカ、およびその他の

東ヨーロッパ諸国 +41 52 675 3777

香港 (852) 2585-6688

フィンランド +41 52 675 3777

ブラジルおよび南米 55 (11) 3741-8360

フランスおよび北アフリカ +33 (0) 1 69 81 81

米国 1 (800) 426-2200

米国 (輸出販売) 1 (503) 627-1916

ベルギー 07 81 60166

ポーランド +41 52 675 3777

ポルトガル 80 08 12370

南アフリカ +27 11 254 8360

メキシコ、中米およびカリブ諸国 52 (55) 56666-333

ルクセンブルグ +44(0) 1344 392400

ロシア、CIS およびバルト諸国 7 095 775 1064

その他の地域からのお問い合わせ: Tektronix, Inc.

1 (503) 627-7111

2004 年 11 月 1 日更新

詳細情報

Tektronix は、総合的に継続してアプリケーション・ノート、テクニカル・ブリーフおよびその他のリソースのコレクションを保守整備し、技術者が最先端で仕事ができるように手助けをします。www.tektronix.com または www.tektronix.co.jp を参照してください。



Copyright © 2004, Tektronix, Inc. All rights reserved. Tektronix 製品は、登録済および出願中の米国その他の国の特許等により保護されています。本書の内容は、既に発行されている他の資料の内容に代わるものです。仕様および価格は予告なしに変更することがあります。"TEKTRONIX" および "TEK" は Tektronix, Inc. の登録商標です。他のすべての商品名は、各企業の標章、商標および登録商標です。

57Z-17683-2

Tektronix
Enabling Innovation