SDLA Visualizer シリアル・データ・リンク解析 印刷可能オンライン・ヘルプ





077-0214-02

SDLA Visualizer シリアル・データ・リンク解析 印刷可能オンライン・ヘルプ



www.tektronix.com 077-0214-02 Copyright © Tektronix. All rights reserved. 使用許諾ソフトウェア製品は、Tektronix またはその子会社や供給者が所有するもので、米国著作権法および国際条約の規定によって保護されています。

Tektronix 製品は、登録済および出願中の米国その他の国の特許等により保護されています。 本書の内容は、既に発行されている他の資料の内容に代わるものです。また、本製品の仕様 および価格は、予告なく変更させていただく場合がございますので、予めご了承ください。

TEKTRONIX および TEK は Tektronix, Inc. の登録商標です。

コンパイルされたオンライン・ヘルプの部品番号: 076-0173-03.

オンライン・ヘルプ・バージョン: 1.0

2012年12月6日

Tektronix 連絡先

Tektronix, Inc. 14150 SW Karl Braun Drive P.O. Box 500 Beaverton, OR 97077 USA

製品情報、代理店、サービス、およびテクニカル・サポート:

- = 北米内: 1-800-833-9200 までお電話ください。
- = 世界の他の地域では、www.tektronix.com にアクセスし、お近くの代理店をお探しください。

目次

はじめに

当社 Web サイトからのソフトウェアの更新	1
要件とインストール	1
表記規則	2
アプリケーション・ファイルの種類と場所	3
アプリケーション間の移動	4
オンライン・ヘルプ	5
さまざまな言語のヘルプ	5

製品の概要

SDLA Visualizer の製品概要	7
システムの理解	9
測定回路	9
シミュレーション回路	9
エンベッド・ブロックを使用してアイを閉じ、Rx ブロックでアイを開ける 1	0
テスト・ポイント1	0
モデリング・ブロックの見かた	1
デュアルとシングルの入力モード1	2
アルゴリズム、理論および数学的導出 1	2
テスト・ポイントの理解1	3
テスト・ポイント・フィルタの適用方法	4
クロストークと反射の取り扱い	5
全 4 ポートのモデリング 1	5
DPOJET と SDLA Visualizer の連携 1	7

コンポーネントとメニュー

19
22
26
27
29
30
32
33
34
35

Normalize タブ	35
Convert タブ	35
S パラメータを異なる基準インピーダンスに再ノーマライズする方法	37
プローブを構成する	39
None	40
SMA プローブ	40
High Z プローブ	41
プローブとチップの選択	42
プローブを SDLA で使用する際のスコープの設定	45
Block Configuration $\lambda \Box \Box -$	46
Thru タブ	46
File タブ	46
RLC タブ	49
T line タブ	51
Load Configuration $\forall = \neg -$	52
カスケード負荷ブロックのディエンベッド	52
カスケード負荷ブロックのエンベッド	53
プロット	
プロット	54
プロットを使用して S パラメータをトラブルシュートする	62
差動ペアにミスマッチのある DUT の観測	62
オーバーレイ・プロットを使用して問題のある VNA 測定をトラブルシュートする	63
位相応答の問題のトラブルシュート	64
ミックス・モード対シングルエンド・モードの確認	65
ステップ応答の問題のトラブルシュート	66
Tx ブロック(トランスミッタ・モデリング・ブロック)	
Tx ブロックの概要	67
Tx Configuration $\varkappa \Box \Box -$	67
Tx Emphasis $\lambda \Box \Box -$	69
エンベッド・ブロック	
エンベッド・ブロックの概要	74
Rx ブロック(レシーバ・モデリング・ブロック)	
Rx ブロックの概要	75
Rx Configuration $\varkappa \Box \Box -$	77
CTLE を使用して信号のリカバリを改善する	79
CTLE での PCIE3 オプションの使用	82
FFE/DFE イコライゼーションにクロック・リカバリを使用する	83
クロック・リカバリのトラブルシューティング	85
FFE/DFE の調整による信号リカバリの向上	86
FFE/DFE で PCIE3 オプションを使用する	88
Taps タブを使用する	89
Rx イコライザの実行	91

AMI モード	92
Apply ボタンと Analyze ボタンにアクションを構成する	93

テストの実行

- ノ ヘト の 天 1」 . 推 天 C 1 い の 順 庁	テストの実行	 : 推奨される順序 		97
---------------------------------	--------	-------------------------------	--	----

使用例とトラブルシューティング

使用例とトラブルシューティング	105
ケーブルのディエンベッドの例	105
シリアル・データ・リンク・チャンネルのエンベッドの例	110
高インピーダンス・プローブのディエンベッドの例	114
デュアル入力波形での大きな反射のディエンベッドの例	116
シングル入力波形で DDR 反射を除去する例	135

GPIB リモート・コントロール

GPIB リモート・コントロールの使用	143
GPIB コマンド	144
APPLICATION: ACTIVATE "Serial Data Link Analysis"	144
VARIABLE:VALUE?"sdla"	145
VARIABLE:VALUE "sdla", "p:analyze"	145
VARIABLE:VALUE "sdla", "p:apply"	146
VARIABLE:VALUE "sdla", "p:bitrate: <value>"</value>	146
VARIABLE:VALUE "sdla", "p:exit"	146
VARIABLE:VALUE "sdla", "p:recall: <path and="" filename="">"</path>	147
VARIABLE:VALUE "sdla", "p:source: <source/> "	147
VARIABLE:VALUE "sdla", "p:source2: <source2>"</source2>	148
VARIABLE:VALUE "sdla", "p:sourcetype"	148

索引

当社 Web サイトからのソフトウェアの更新

ソフトウェアは Tektronix Web サイト経由で定期的にアップグレードできます。 新しいアップグレードの有無を確認するには、次の手順に従います。

- 1. 当社 Web サイト(www.tektronix.com)にアクセスします。
- 2. Support をクリックして Downloads, Manuals & Documentation を選択します。
- 3. MODEL OR KEYWORD テキスト・ボックスに「SDLA」と入力します。
- 4. SELECT DOWNLOAD TYPE ドロップダウン・リストで Software を選択します。
- 5. Goをクリックして、入手可能なソフトウェアの更新を探します。
- 6. ソフトウェアのタイトルをクリックします。アプリケーション情報を読んで、ご使用 の機器との互換性を確認してください。
- 7. Login to access this content をクリックし、ログインしてダウンロードにアクセスします。
- 8. Download File のリンクをクリックします。

要件とインストール

SDLA Visualizer アプリケーションは、Tektronix DPO/DSA/MSO70000/C/D シリーズ・オシロス コープの工場出荷前にインストールされます。SDLA Visualizer アプリケーションは、その 全機能を 10 回まで無料で使用できます。

動作要件

SDLA Visualizer アプリケーションには、4.0 GHz 以上のシングル・ショット帯域を持つ Tektronix DPO/DSA/MSO70000/C/D シリーズのオシロスコープが必要です。

また、ジッタとタイミング解析を行うには、Tektronix DPOJET ジッタおよびアイ・ダイ アグラム解析ソフトウェアも必要です。

正確なアクイジションを行うために、信号パス補正を行ってオシロスコープを適切に校正 してください。信号パス補正をいつ行うべきかは、補正後の経過時間と機器の設置場所の 気温変化によって決まります。

ソフトウェア互換性

オシロスコープ・ソフトウェアの対応バージョンおよび DPOJET については、製品のリ リース・ノートまたはオプションのアプリケーション・ソフトウェアのインストール・マ ニュアルを参照してください。

オプション・キー要件

このアプリケーションには有効なオプション・キーが必要です。キーなしでも、10回の 無料試用が可能です。詳しくは、当社営業所または担当のアプリケーション・エンジニ アまでご連絡ください。

SDLA Visualizer ソフトウェアの再インストール

最新版の SDLA Visualizer ソフトウェアをインストールするには、当社 Web サイトの <u>Software</u> <u>Updates</u> を押してください。

表記規則

このオンライン・ヘルプでは、次の表記規則を使用しています。

- DUT は被測定装置(Device Under Test)を意味します。
- 手順で複数回の選択が必要な場合は、>により、メニューからサブメニュー、またメニュー・オプションへの移行を示します。
- サポート・ファイルのディレクトリ・パスは、C:\Users\Public\TekApplications\SDLA です。

アプリケーション・ファイルの種類と場所

このソフトウェアで使用するファイルとその場所は次のとおりです。サポート・ファイルは、 C:\Users\Public\Tektronix\TekApplications\SDLAの下記の名前のフォルダに含まれています。

- Example waveforms アプリケーションを学ぶためのサンプル波形ファイル
- Input filters FIR および IIR フィルタ・ファイル
- Input S-parameters Touchstone 1.0 $\mathcal{N} \mathcal{V} = \mathcal{V}$
- Output filters Apply ボタンを押したときに、生成される FIR フィルタが格納される場所。
 Apply ボタンを押すたびに、ファイルが上書きされます。後で使用するために、FIR フィルタが上書きされないようにするには、フィルタ・ファイルの名前を変更してください。

これらのフィルタは、C:/users/public/Tektronix/TekApplications/SDLA/output filters というディレクトリに格納されます。

デフォルトの命名規則:

シングル入力モードのファイル名は、次のとおりです。

Sdlatp1.flt、sdlatp2.flt、....Sdlatp<n>.flt、nはテスト・ポイント番号。

デュアル入力モードでは、次の名前のフォルダが作成されます。

Tp1, Tp2, ... Tp<n>

ここで、nはテスト・ポイント番号です。各フォルダ内に一連のファイルが生成されます。

■ Save recall – SDLA Visualizer のセットアップ構成ファイルが一時的に保存される場所。

カスタムの S パラメータ・ファイルとフィルタ・ファイルは、機器がアクセス可能な任意 のパスに置くことができます。

アプリケーション間の移動

ソフトウェア・アプリケーション間をすばやく移動するには、キーボードの Alt キーを押さえ ながら Tab キーを押して、アプリケーションを選択します。



また、メイン・メニューの右側の三角ボタンを使用して、SDLA Visualizer、TEKScope および DPOJET アプリケーションを切り替えることもできます。

- 左三角を押すと、オシロスコープの波形画面が前面に表示されます。
- 右三角を押すと、SDLA Visualizer アプリケーションを前面に表示したまま、オシロス コープ波形画面が見えるように表示されます。この方法は、DPOJET アプリケーション を使用する場合にも便利です。

最初に、オシロスコープ画面の右上隅の最小化ボタンを押して Windows ツールバーに入れる と、SDLA Visualizer の全ウィンドウが前面に表示されます。次に、SDLA の右三角を押すと、 スコープが全画面表示となり、SDLA が前面に配置されます。



オンライン・ヘルプ

さまざまな言語のヘルプ

日本語、簡体字中国語、韓国語のオンライン・ヘルプの .PDF ファイルをダウンロードする には、www.tektronix.com にアクセスし、上部にある "Change Country" を押します。次に、 検索語「SDLA Visualizer」を入力します。

SDLA Visualizer メイン・メニューの右上隅の Help ボタンを押すと、オンライン・ヘルプ・システムが表示されます。また、F1 キーを押すと、いつでもオンライン・ヘルプ・システムが表示されます。



SDLA Visualizer の製品概要



Tektronix SDLA Visualizer は、高速シリアル信号のディエンベッド、エンベッド、イコライゼー ションを行う、柔軟で強力な一連のモデリング・ツールを提供します。多くの構成機能を持つ シンプルなユーザ・インタフェースを使用して測定回路をモデリングし、スコープに取り込ま れた波形からスコープ、プローブ、フィクスチャ、ケーブルや機器の影響をディエンベッド して、トランスミッタ・ブロックまで戻ることができます。また、トランスミッタ・ブロッ クからのシミュレーション回路をモデリングし、エンベッドして、信号への影響をシミュ レーションすることができます。シングルとデュアルの2つの入力モードが使用できます。

SDLA Visualizer は、トランスミッション・ラインの全特性と共に、Tx および Rx インピー ダンス・モデルを考慮した、完全な4ポートSパラメータ・モデリングをサポートしま す。信号パスは、ユニークなカスケード接続のSパラメータ機能により完全に表現されま す。カスケード内でどこかのパラメータが変化すると、カスケード内の全テスト・ポイ ントに影響が及びます。

多くの規格では、測定がおこなわれる前に、信号にイコライゼーションを適用する必要が あります。SDLA Visualizer では、PCI Express 3.0、USB 3.0、SAS 6G などのシリアル規格を サポートする CTLE、FFE、および DFE のイコライゼーション・モデリング・ツールが提 供されます。また、チップ・ベンダーが提供するイコライゼーション・ファイルが使用 可能な IBIS-AMI モデルも使用できます。

検証は、S パラメータ・プロット、時間領域プロット、スミス・チャート、オーバーレイ・ ツールを含む、豊富なプロット・ツール群で簡単に行えます。これらのプロットはカス ケード・ブロックの構成ステージから使用できるので、入力モデル(S パラメータ)が正 しいかどうか確認することができます。

回路の定義後、SDLA Visualizer では 12 のユーザ定義テスト・ポイントで信号を観測でき、その内4ポイントはディエンベッド・ブロックとエンベッド・ブロック内で移動することができます。複数のテスト・ポイントを同時に見ることができ、他の方法ではプローブできなかった領域の信号を観測することができます。スコープ目盛上に、最大4つの演算波形と2つのリファレンス波形を同時に表示できます。差動、コモン・モード、または個別入力の信号を同時に表示できるので、各オプション用に複数のモデルを作成する必要はありません。また、システム・セットアップの検証が可能なテスト・ポイント・フィルタ(伝達関数)プロットを作成することもできます。振幅、位相、インパルス、およびステップのプロットが使用できます。

SDLA は、Tektronix DPOJET リアルタイム・ジッタ・タイミング解析ソフトウェアと共に使用 します。これらを一緒に使用することにより、信号処理パスの全体を可視化し、DUT からの 真の信号を正確に測定して、真相を見抜く解析能力を獲得することができます。

SDLA Visualizer で可能となるいくつかのタスクを以下に示します。

- 理想から遠いプローブ・ポイント、フィクスチャ、およびケーブルによる反射、クロス カップリング、損失を取り除く
- 実際に取り込まれた波形を使用して、物理的にプロービングできない場所のテスト・ポイントをシミュレートし、測定する
- トランスミッタにおける波形に、ユーザ定義のチャンネル・モデルをエンベッドして、 リンクの末端の信号を観測する
- エンファシス、CTLE、クロック・リカバリ、DFE および FFE イコライゼーションを使用して、閉じたアイを開く
- IBIS-AMI モデルを使用して、シリコン固有のレシーバ・イコライゼーション・アルゴリ ズムをモデリングし、レシーバ内の信号を仮想的に観測する
- 高インピーダンス・プローブまたは SMA プローブをディエンベッドする
- Sパラメータなしで、RLCおよび無損失のトランスミッション・ラインをモデリングする
- Sパラメータ・プロット、時間領域プロット、スミス・チャート・プロットを作成して、
 Sパラメータおよびテスト・ポイントの伝達関数を簡単に検証する
- 統合された DPOJET サポートを使用して、ジッタとタイミング・パラメータを簡単に 解析する
- DDR および PCI Express 3.0、USB 3.0、SAS 6G、SATA、および DisplayPort (インターポー ザ・モデルを含む)などの次世代シリアル規格の開発を行う

システムの理解(9ページ参照)

DPOJET と SDLA Visualizer の連携(17 ページ参照)

テストの実行:推奨される順序(97ページ参照)

注: F1 キーを押すといつでもオンライン・ヘルプ・システムが表示されます。

*注:*日本語、簡体字中国語、韓国語のオンライン・ヘルプの .PDF ファイルをダウンロードするには、www.tektronix.com にアクセスし、上部にある "Change Country" を押します。次に、検索語「SDLA Visualizer」を入力します。

参照項目:

- <u>メイン・メニューの詳細 (19 ページ参照)</u>
- 使用例とトラブルシューティング (105 ページ参照)

システムの理解



SDLA Visualizer では、測定回路とシミュレーション回路の2つの回路モデルを作成する必要 があります。この両方が Tx ブロックに接続されます。Tx ブロックはテブナン等価電圧源を 使用して、取り込まれた波形をシステムのシミュレーション側に渡すポイントを提供しま す。(テブナンの定理は、どんな複雑な線形回路でも、単一の電圧源とインピーダンスの等 価回路に単純化できるというものです)。

測定回路

メイン・メニューのダイアグラムの Tx ブロックから出る上側部分(プローブ、スコープ、 フィクスチャ、および Tx とフィクスチャの間のチャンネルの一部)は測定回路を表しま す。(このダイアグラムは、入力モードがシングルかデュアルかで変わることに注意して ください)。ここが、信号を取り込む実際のテスト / 測定システムを表す S パラメータ・ モデルを定義し、ディエンベッド・プロックにロードする必要がある場所です。S パラ メータがない場合は、RLC モデルまたは無損失トランスミッション・ライン・モデルを使 用することができます。

この回路内の "テスト・ポイント" は、ディエンベッド・ブロック内の 2 つの移動可能テス ト・ポイントを含め、複数のテスト位置でリンクを可視化するシミュレートされたプロービ ング位置を表します。ソフトウェアは、各テスト・ポイントに対して伝達関数を導出し FIR フィルタを作成します。スコープから取り込まれた波形にフィルタが適用されると、指定の テスト・ポイントにおける波形が SDLA により生成されます。測定回路を負荷にした波形 は、Tp1、Tp6、または Tp7 で観察することができます。

シミュレーション回路

メイン・メニューのダイアグラムの Tx ブロックから出る下側部分はシミュレーション回路を 表します。波形が Tx ブロックまで戻ってディエンベッドされているので、シミュレートされ たチャンネルを Tx ブロックにエンベッドするためにシミュレーション回路が使用されます。 シミュレートするリンクのSパラメータ・モデルを定義し、"エンベッド・ブロック" に入力 する必要があります。ここでも、Sパラメータが利用できなければ RLC モデルまたは無損失 トランスミッション・ラインを使用することができます。レシーバの負荷もエンベッド・ブ ロックにモデリングされています。"Rx ブロック"では Rx イコライゼーションを指定すること ができます。この回路の "テスト・ポイント" で、エンベッド・ブロック内の2つの移動可能 テスト・ポイントも含め、リンク・コンポーネント間を可視化することができます。Tp2 に は、シミュレートされた回路を負荷とし、測定回路の負荷なしの Tx 出力波形が示されます。

注:メイン・メニューの回路ダイアグラムの矢印は、SDLA による伝達関数の処理順序を示し ています。ダイアグラムの測定回路部分では、実際の信号の流れは矢印の方向とは逆になりま す。シミュレーション回路では、実際の信号の流れと信号処理の矢印は同じ方向になります。

エンベッド・ブロックを使用してアイを閉じ、Rx ブロックでアイを開ける

エンベッド・ブロックでシミュレートされたチャンネルを "挿入し"、閉じたアイを観測 (Tp3 で観測可能) することができます。



これで、Rx ブロックを使用してアイを開いて CTLE の適用後の信号(Tp10)または FFE/DFE(Tp4)の適用後の信号を観察することができます。"Rx ブロック"では Rx イコラ イゼーションを指定することができます。通常、シリアル・データ・レシーバには CTLE (Continuous-Time Linear Equalizer)、FFE(Feed-Forward Equalizer)、および DFE(Decision Feedback Equalizer)の3種類のイコライザが含まれています。CTLE、クロック・リカバリ、 DFE、および FFE イコライザは Rx ブロックで使用でき、一方 IBIS-AMI モデルはシリコン固 有のイコライゼーション・アルゴリズムのモデリングに使用できます。また、Rx ブロックで は、3つのテスト・ポイントを使用できます。これらで、CTLE 後や FFE/DFE 後と再生クロッ ク、または IBIS-AMI モデルが適用された波形を観測することができます。

テスト・ポイント

SDLA Visualizer では、12 個のテスト・ポイントで同時に複数のテスト・ポイントを観測で き、他の方法ではプローブできない信号の仮想 "観測ポイント" が提供されます。測定回路の 負荷を伴うトランスミッタ信号を Tp1 で、そして同時に、測定回路がディエンベッドされ、 50 Ω の理想負荷が加えられた信号を Tp2 で観測することができます。テスト・ポイントのラ ベル付けやテスト・ポイントと演算波形の対応などに、多くの柔軟なオプションが用意されて います。スコープの波形表示にラベルを付けて、どの波形か分かりやすくしたり、データを DPOJET に適用して、どの波形を測定しているのか分かりやすくできます。 遅延機能を使用し て、時間軸上で波形を相互に移動することができます。(デフォルトでは、イベントを時間軸 上でなるべく揃えるために、遅延はテスト・ポイント・フィルタから除外されています)。

SDLA Visualizer では、最大6波形(4つの演算波形と2つのリファレンス波形)を同時にス コープ上に表示でき、リンクを各所で可視化することができます。(SDLA テスト・ポイント を演算波形やリファレンス波形と対応付けるには Test Point and Bandwidth Manager を使用しま す)。スコープの演算チャンネルを有効に使うために、テスト・ポイントは動的に構成するこ とができます(つまり、ディエンベデッド後、CTLE 後など)。また、4 個のテスト・ポイン トは De-embed および Embed メニューのカスケード・ダイアグラム上で簡単に移動できます。 テスト・ポイントの使用方法の詳細 (13 ページ参照)については、ここを押してください。

シミュレーション回路と測定回路の定義が完了したら、テスト・ポイント・フィルタを保存 して、スコープの演算システムで使用することができます。詳細は、「<u>テスト・ポイントの</u> 保存 (27 ページ参照)」を参照してください。

モデリング・ブロックの見かた

もう一つのシステムの見かたは、波形取り込みハードウェア・セットアップの影響をディエ ンベッドする一連のモデリング・ブロックとして、また物理的には表されないリンク・コン ポーネントをエンベッドするモデリング・ブロックとして見る方法です。

次のダイアグラムは、Sパラメータの全処理パスを図示したものです。

シングル入力モード:

Tp2 Shows Tx output voltage with ideal 50 ohm load on each line, and with all of the test fixture and scope de-embedded.





デュアル入力モード:



O Tp Test Point waveforms are the outputs from the SDLA system.

デュアルとシングルの入力モード

場合により、両側の信号の相違点を完全に考慮するために、ネットワーク全体で信号の各1本 を個別に処理する必要があります。SDLA Visualizer では、メイン・メニューでデュアル入力 モードとシングル入力モードを選択することができます。シングル入力モードでは、差動信号 を各テスト・ポイントで観察できます。デュアル入力モードでは、個別入力、差動、または コモン・モードを観測できます。詳細は、「全4ポートのモデリング」を参照してください。

アルゴリズム、理論および数学的導出

S パラメータの再正規化およびシングル・モード S パラメータのミックスド・モードへの変換 のためのアルゴリズム、理論および数学的導出を含む最先端の SDLA トピックの詳細につ いては、メイン・メニューで右上隅の Paper を押してください。これにより .pdf ファイル が開きます。

参照項目:

- DPOJET と SDLA Visualizer の連携 (17 ページ参照)
- <u>製品の概要 (7 ページ参照)</u>

テスト・ポイントの理解

テスト・ポイントは、システムの回路ダイアグラム内の特定位置の信号を表す波形を出力 します。各テスト・ポイントの波形は、オシロスコープより取り込まれた入力波形に少な くとも1つのフィルタを適用することにより得られます。

SDLA Visualizer では、最大 12 個のテスト・ポイントを使用できます(REF 波形を使用した場合)。同時に6つまでのテスト・ポイント(4つの演算波形と2つのリファレンス波形)をスコープ上に表示することができます。SDLAの処理と解析は、有効になっていてオシロスコープ上に表示されている波形のみに行われます。



Tp1	メイン	測定回路の負荷を伴う Tx ブロックの出力
Tp2	メイン	シミュレーション回路の負荷を伴う Tx ブ ロックの出力、測定回路はディエンベッドさ れている
ТрЗ	メイン	Rx ブロックの入力。シミュレーション回路の 負荷を伴う Tx ブロックの出力、測定回路は ディエンベッドされている
Tp4	Rx Eq データ	イコライゼーション後の Rx ブロックのデー タ出力
Tp5	Rx Eq クロック	Rx ブロックの再生クロック出力のテスト・ポ イント
Tp6	ディエンベッド・ブロック	測定回路を負荷とする Tx ブロック出力の移 動可能テスト・ポイント
Tp7	ディエンベッド・ブロック	測定回路を負荷とする Tx ブロック出力の移 動可能テスト・ポイント
Tp8	エンベッド・ブロック	シミュレーション回路を負荷とする Tx ブロッ ク出力の移動可能テスト・ポイント、測定回 路はディエンベッドされている
Тр9	エンベッド・ブロック	シミュレーション回路を負荷とする Tx ブロッ ク出力の移動可能テスト・ポイント、測定回 路はディエンベッドされている

テスト・ポイントの一覧と説明については、ここを押してください。

Tp10	CTLE	CTLE 出力
Tp11	Тх	トランスミッタ・モデルのテブナン等価電圧源
Tp12	Тх	Tx エンファシス・ブロック(有効な場合)出 力のテスト・ポイント

Test Point and Bandwidth Manager

メイン・メニューでテスト・ポイントを押すと、Test Point and Bandwidth Manager が開き、 テスト・ポイントとモード(デュアル・モードのみ)の構成とテスト・ポイント・フィルタ の保存ができます。詳細は、「<u>Test Point and Bandwidth Manager (22 ページ参照)</u>」を参照し てください。

A Visualizer - Test Point and Bandwidth Configuration						
Map the desired te	est points to Math to see the processed	d waveform				
Tp On/Off	Map Tp to Math	Label	Filters	Global BW Limit:	Delay	
Math1	None	NA	Save	None	🔘 Keep Delay	
Math2	Tp1: Main 💌	Tp1	Save	Auto	Remove Delay	
Math3	Tp2: Main 💌	Tp2	Save	Custom	Adjust Delay	
Math4	Tp3: Main 💌	Tp3	Save			
Ref3	Tp5					
Ref4	Tp4					ОК
			? Export	filters for 32-bit scope	J	

テスト・ポイント・フィルタの適用方法

テスト・ポイント・フィルタは、ディエンベッド、Tx、およびエンベッドの各ブロックに含まれるSパラメータから導出されます。これらのフィルタはFIRのタイプで、オシロスコープで取り込まれたソース波形と時間領域で畳み込まれます。テスト・ポイント・フィルタを適用した場合の一般的な説明は、ここを押してください。

- 最初に、Tx ブロックおよび De-embed/Embed メニューを使用して、システムの各ブロックとターミネーションのSパラメータ、またはSパラメータを決定するモデルを入力します。
- 2. また、メイン・メニューでテスト・ポイントを押し、Test Point and Bandwidth Manager を使用して、必要なテスト・ポイントを有効にし、それを定義します。
- 最後に、SDLA Visualizer のメイン・メニューで Apply ボタンを押します。 これにより、Test Point and Bandwidth Manager を使用して有効になった各テスト・ポイントのフィルタ(伝達関数)が計算されます。これらのフィルタはC:/users/public/Tektronix/TekApplications/SDLA/output filters というディレクトリに格納されます。(Test Point and Bandwidth Manager から、フィルタを任意の名前でフォルダにファイルとして保存することもできます)。デフォルトの命名規則:

シングル入力モードのファイル名は、次のとおりです。

Sdlatp1.flt、sdlatp2.flt、....Sdlatp<n>.flt、nはテスト・ポイント番号。

デュアル入力モードでは、次の名前のフォルダが作成されます。

Tp1, Tp2, ... Tp<n>

ここで、nはテスト・ポイント番号です。各フォルダ内に一連のファイルが生成されます。

同時に、SDLAは有効にされたフィルタをオシロスコープの演算メニューにロードし、選択 されたテスト・ポイントのライブ波形をオシロスコープに表示する演算式を生成します。

クロストークと反射の取り扱い

SDLA Visualizer は S パラメータ・モデルの全要素を使って、テスト・ポイントの伝達関数を 計算します。信号フロー・グラフの図はここを押してください。



全4ポートのモデリング

このシステムは全4ポートのモデリングをサポートします。つまり、テスト・ポイントは 差動で、各テスト・ポイントには4組の表示可能な波形(テスト・ポイント・モード) が含まれています。

■ デュアル入力モード:

デュアル入力を選択すると、オシロスコープの2チャンネル、演算機能、またはリファレンス波形から2つの波形を取り出し、4ポート・システムを通じてそれらを処理して、テスト・ポイントの波形を取得します。メイン・メニューでデュアル入力モード

が選択されると、Test Point and Bandwidth Manager に Select Test Point Mode の選択肢が 表示されます。次の選択肢があります。

- = A:テスト・ポイントの上のラインの波形
- = B:下のラインの波形
- A B : 差動波形
- = (A + B)/2:コモンモード波形

デュアル入力モードでは、各テスト・ポイントは上記の4つのモードすべての波形を 出力できます。これらの各モードには、2つの入力波形に適用される2つのフィルタ が必要です。SDLA によりオシロスコープの演算メニューに設定される演算式の一 例については、ここを押してください。

SDLA によりオシロスコープの演算メニューに設定される演算式の一例:

Math1 = arbflt1(ch1) + arbflt2(ch2)

数学的には、1 つの差動テスト・ポイントに必要なフィルタは 4 つだけです。しかし、これにより A モードと B モードにそれぞれ 2 つのフィルタ、差動モードとコモンモードに 4 つのフィルタすべてが必要となります。すべてのモードで 2 つのフィルタのみで済ませるために、4 つの基本フィルタの一次結合から 4 つの追加フィルタが作成されます。こうして SDLA により、次に示すように各テスト・ポイントに 8 つのフィルタが作成されます。



シングル入力モード:

メイン・メニューでシングル入力モードを選択すると、オシロスコープの単一ソース (Src1)でA-B形式の差動入力波形を取り込むように仮定されます。次に SDLAで、こ の波形は数学的に完全に平衡したAとBの信号に分割され、その後4ポートのカスケー ド接続されたシステムを通じて処理されます。

シングル入力モードでは、システムのすべてのテスト・ポイントで、A-Bモードしか 使われません(出力は差動波形)。必要なフィルタは1つだけで、入力ソース波形に 適用して出力のテスト・ポイント波形を導きます。SDLAでオシロスコープの演算メ ニューに設定される演算式の一例:

Math1 = arbflt1(ch1)

参照項目:

- Test Point and Bandwidth Manager (22 ページ参照)
- <u>テスト・ポイントの保存 (27 ページ参照)</u>
- メイン・メニューの詳細 (19 ページ参照)
- <u>製品の概要 (7 ページ参照)</u>

DPOJETとSDLA Visualizerの連携

SDLA Visualizer と DPOJET を一緒に使用すると、高速シリアル測定と解析の完璧なソリュー ションを得ることができます。DPOJET の操作が SDLA Visualizer のメイン・メニューの Analyze ボタンおよび Config ボタンに組み込まれます。DPOJET を使用して、リンク上の 複数のポイントにおける結果を自在に解析し、比較することができます。さらに、たとえ ば規格固有とシリコン固有のクロック・リカバリの測定パラメータを簡単に比較するな ど、複数の測定構成が行えます。

下図は、SDLA のセットアップを変えずに、DPOJET を自動的に実行するように Analyze ボタ ンを構成した一例を示すものです。ここでは、PCI Express 3.0 の構成がユーザにより定義され ています。DPOJET と SDLA Visualizer を一緒に使うことで、アイ・ダイアグラムと関連する 測定項目について、必要な各テスト・ポイントでリンクを完全に可視化できることに注目し てください。左上のアイ・ダイアグラムは取り込まれた波形で、SDLA への入力です。右上 のアイ・ダイアグラムは、シミュレーション回路の負荷を伴った Tx ブロックの出力です (Tp3)。下の 2 つのアイ・ダイアグラムは、それぞれ CTLE 後の信号(Tp10)、および FFE/DFE 後の信号(Tp4)です。



SDLA Visualizer と DPOJET を切り替えるには、Alt キーと Tab キーの組み合わせか、SDLA メ イン・メニューのナビゲーション・ボタン(<および >)を使用します。TekScope アプリケー ションの最小化ボタンでスコープ・ウィンドウを最小化すると、DPOJET および SDLA ア プリケーションを見ることができます。

参照項目:

- Apply ボタンと Analyze ボタンにアクションを構成する (93 ページ参照)
- 製品の概要 (7 ページ参照)
- <u>システムの理解(9ページ参照)</u>

メイン・メニューの詳細

ブロック、モデル、およびテスト・ポイントを構成し、適用、プロット、およびデータ解析 を行うには、SDLA Visualizer の "メイン・メニュー" を使用します。

回路ダイアグラムの上側は測定回路モデルを表し、下側はシミュレーション回路モデルを表 します。矢印は SDLA が伝達関数を処理する順序を表します。ダイアグラムの測定回路部分 では、実際の信号の流れは "矢印の方向とは逆" になることに注意してください。シミュレー ション回路では、実際の信号の流れと信号処理の矢印は同じ方向になります。



入力

SDLA Visualizer では、シングル入力モードかデュアル入力モードを選択して、1 つまたは 2 つ の入力を使用することができます。これらのラジオ・ボタンを変えると、ここや随所に表示 されている構成パネルが変わります。上図は、デュアル入力モードの図です。ここを押す と、シングル入力モードが表示されます。



Global BW Limit

現在の帯域幅が表示されます。BW ボタンを押すと、<u>Test Point and Bandwidth Manager (22 ページ参照)</u>が開き、そこで<u>カスタム BW 制限フィルタを作成 (30 ページ参照)</u>したり、設定した りすることができます。

ソース

SDLA の処理や解析はオシロスコープに表示された波形に対してのみ行われます。実際に取り込まれたチャンネル信号、演算波形、リファレンス波形から選択できます。実際に取り込まれた波形の場合はチャンネル番号で選択します。リファレンス波形を呼び出すには、オシロスコープのメニューで File>Reference Waveform Controls を選択します。次に、Reference メニューの Recall を押して、Recall ブラウザを開きます。

ディエンベッド・ブロック

ディエンベッド・ブロックには、オシロスコープのアクイジション・システムで波形を取り 込むために使用される、実際のハードウェアであるプローブ、フィクスチャなどを表す回 路モデルが含まれます。ここでは、フィクスチャ、プローブ、スコープおよび他の取り込 みと測定用ハードウェアによる DUT 信号への影響の定義、S パラメータの基準インピー ダンスの再正規化、シングルエンドからミックス・モードへの変換、Block Configuration メ ニューでの Thru、File、RLC、および T-line オプションの使用、High Z、SMA プローブやイン ターポーザの追加と構成、その他の多くのタスクを行うことができます。詳細については、 「De-embed/Embed メニュー (33 ページ参照)」を参照してください。

テスト・ポイント

テスト・ポイントは、オシロスコープにライブ表示される波形を出力します。メイン・メ ニューのシステム回路ダイアグラム上でテスト・ポイントを押すと、Test Point and Bandwidth Manager が開きます。ここで、各出力波形を構成したり、テスト・ポイント・フィルタを保 存したりします。(メイン・メニューでデュアル入力モードが選択されている場合は、テ スト・ポイント・モードも選択できます)。また、Global BW Limit の設定およびカスタム BW 制限フィルタの作成もできます。詳細は、「<u>Test Point and Bandwidth Manager (22 ペー</u> ジ参照)」を参照してください。

Tx ブロック(トランスミッタ・モデリング・ブロック)

Tx ブロックは、測定回路モデルとシミュレーション回路モデルを駆動する、シリアル・デー タ・リンクのトランスミッタ・モデルを表します。メイン・メニューで Tx を押すと、Tx Configuration メニューが開き、ここでファイルを選択してプロットを表示することができま す。また、Tx Emphasis メニューにアクセスして、エンファシス、ディエンファシス、プリエ ンファシスのフィルタの選択、FIR フィルタからの読み取り、その他の選択が行えます。詳細 については、「<u>Tx ブロックの概要 (67 ページ参照)</u>」を参照してください。

エンベッド・ブロック

エンベッド・ブロックは、シミュレーション回路モデル上の種々のテスト・ポイントで波形 を観測するために、Sパラメータに基づくか、無損失トランスミッション・ラインまたは RLC モデルとして、チャンネルを "挿入" するために使用します。メイン・メニューで Embed を押すと、<u>De-embed/Embed メニュー (33 ページ参照)</u>が開きます。ここで、上記のディエン ベッド・ブロックと同じタスクを行えます。ただし、プローブの構成は含まれません。

Rx ブロック(レシーバ・モデリング・ブロック)

Rx ブロックは、回路ダイアグラムのシミュレーション側にある、シリアル・データ・リンク のレシーバ・モデルです。メイン・メニューで Rx を押すと、Rx Configuration メニューが開き ます。ここで、CTLE イコライゼーションの適用、クロック・リカバリ、FFE/DFE イコライ ゼーションの適用を行います。また、イコライゼーション・ファイルをインポートして、 AMI モデルをセットアップし、実際のシリコンをエミュレートすることができます。詳細に ついては、「<u>Rx ブロックの概要 (75 ページ参照</u>)」を参照してください。注:Rx の負荷は Rx ブロックではなく、エンベッド・ブロックに定義されます。

Apply、Config、および Analyze ボタン

Apply: デフォルトでは、テスト・ポイント・フィルタを計算し、結果をスコープに適用しま す。SDLA の構成を変えた場合は、Apply を押して結果を更新してください。下に記すよう に、構成オプションがいくつかあります。

Analyze: DPOJET アプリケーションで波形解析を実行します。SDLA アプリケーションがス リープ状態になり、DPOJET アプリケーションが起動してテスト・ポイントの信号が表示さ れ、解析対象の再生されたデータとクロックの信号が選択されます。SDLA ソフトウェア は、アイ・ダイアグラムとジッタ測定によりリンク品質を解析するよう DPOJET アプリケー ションを構成することもできます。最初に Apply ボタンを押し、フィルタ処理が完了するま で待ち、その後 Analyze ボタンを押すようにしてください。この移行を正常に行うには、 DPOJET アプリケーションがインストールされている必要があります。

Config: DPOJET での Apply ボタンと Analyze ボタンのアクションを構成し、新たに取り込む波 形かすでに取り込まれた波形を使用するか指定します。<u>Apply ボタンと Analyze ボタンの構成</u> オプションについては、ここを押してください (93 ページ参照)。

Plot ボタン

押すと、有効なテスト・ポイントの実行結果を表示します。<u>プロットの詳細については、</u> <u>ここを押してください。 (54 ページ参照)</u>

Default ボタン

押すと、SDLA Visualizer システムがデフォルトの設定にリストアされます。

Save ボタン

押すと、現在の SDLA Visualizer セットアップが SDLA\Save recall ディレクトリの .sdl という ファイル拡張子のファイルに保存されます。

*注:*オシロスコープ全体のセットアップ情報ではなく、SDLA セットアップ情報のみが保存 および呼び出されます。

Recall ボタン

押すと、保存したセットアップ・ファイルが呼び出され、ソフトウェアが以前の構成に 戻されます。

参照項目:

- 製品の概要 (7 ページ参照)
- テストの実行:推奨される順序(97ページ参照)
- SDLA Visualizer の問題を解決する (105 ページ参照)

Test Point and Bandwidth Manager

SDLA Visualizer には、回路図上で移動可能な4つを含め、12のテスト・ポイントがあります(REFの2つを含め)。スコープ上では、同時に最大6つのテスト・ポイント出力が表示可能です(演算およびリファレンス)。テスト・ポイントの一覧と説明については、ここを押してください。

注 : テスト・ポイントの動作概念については、「<u>テスト・ポイントの理解 (13 ページ参</u> <u>照)</u>」を参照してください。



Tp1	メイン	測定回路の負荷を伴う Tx ブロックの出力
Tp2	メイン	シミュレーション回路の負荷を伴う Tx ブ ロックの出力、測定回路はディエンベッドさ れている
ТрЗ	メイン	Rx ブロックの入力。シミュレーション回路の 負荷を伴う Tx ブロックの出力、測定回路は ディエンベッドされている
Tp4	Rx Eq データ	イコライゼーション後の Rx ブロックのデー タ出力
Tp5	Rx Eq クロック	Rx ブロックの再生クロック出力のテスト・ポ イント
Tp6	ディエンベッド・ブロック	測定回路を負荷とする Tx ブロック出力の移 動可能テスト・ポイント
Tp7	ディエンベッド・ブロック	測定回路を負荷とする Tx ブロック出力の移 動可能テスト・ポイント
Tp8	エンベッド・ブロック	シミュレーション回路を負荷とする Tx ブロッ ク出力の移動可能テスト・ポイント、測定回 路はディエンベッドされている
Тр9	エンベッド・ブロック	シミュレーション回路を負荷とする Tx ブロッ ク出力の移動可能テスト・ポイント、測定回 路はディエンベッドされている
Tp10	CTLE	CTLE 出力
Tp11	Tx	トランスミッタ・モデルのテブナン等価電圧源
Tp12	Tx	Tx エンファシス・ブロック(有効な場合)出 力のテスト・ポイント

Test Point and Bandwidth Manager にアクセスするには、メイン・メニューで任意のテスト・ポ イントを押します。ここで、個別出力波形の構成、テスト・ポイント・フィルタの保存、 グローバル帯域制限フィルタの設定、カスタム帯域制限フィルタの作成を行います。メイ ン・メニューでデュアル入力が選択されている場合は、テスト・ポイント・モードを選択 することもできます。(シングル入力モードが選択されている場合、Select Tp Mode 列は 表示されません)。これらの機能の説明を次に記します。

<u> S</u> DLA Visualizer - Test Po	int and Bandwidth Config	juration					
Tp1 - Map the desired to	est points to Math to see t	the processed waveform					
Tp On/Off	Map Tp to Math	Select Tp Mode	Label	Filters	Global BW Limit:	Delay	
Math1	None	A-B 🔻	NAA-B	Save	None	🔘 Keep Delay	
Math2	Tp1: Main 💌	А-В 🔻	Tp1A-B	Save	Auto	Remove Delay	
C Math3	Tp2: Main 💌	A-B 💌	Tp2A-B	Save	Custom	Adjust Delay	
C Math4	Tp3: Main 💌	A-B 💌	ТрЗА-В	Save			
◯ Ref3	Tp5						
C Ref4	Tp4						ок
				Export f	ilters for 32-bit scope		

Tp On/Off: 6つ(演算4とリファレンス2)のアクティブなテスト・ポイント波形をオン /オフします。各ラジオ・ボタンには、オシロスコープ内の演算機能またはリファレン ス・メモリ波形の名前が表示されます。ボタンがオフの場合は、オシロスコープ画面でそ の波形はオフになっています。ボタンがオンの場合は、オシロスコープ画面でその波形 がオンになっています。

Map Tp to Math: このドロップダウン・メニューで、特定のテスト・ポイントを Math1、 Math2、Math3、または Math4 の演算機能に割り当てます。同じテスト・ポイントを複数の演 算スロットに割り当てることができます。

注: SDLA では、有効なテスト・ポイントにのみテスト・ポイント・フィルタが作成されます。有効なテスト・ポイントとは、Tp が演算機能かリファレンス波形に割り当てられ、 対応する Math または Ref がオンになっているものです。

Select Tp Mode: この列は、メイン・メニューで Dual Input が選択されている場合のみ表示されます。詳細についてはここを押してください。

このシステムは全4ポートのモデリングをサポートします。つまり、テスト・ポイントは差動で、各テスト・ポイントには4組の表示可能な波形(テスト・ポイント・モード)が含まれています。次の選択肢があります。

- A:テスト・ポイントの上のラインの波形
- **B**:下のラインの波形
- A B: 差動波形
- (A+B)/2:コモンモード波形

Label: テスト・ポイント波形のラベルをこのボックスに入力することができます。ラベルは、オシロスコープ画面の波形に表示されます。

フィルタの保存: テスト・ポイント・ラベルの隣の Save ボタンを押すと、指定するフォル ダに各テスト・ポイント・フィルタを保存できます。詳細は、「<u>テスト・ポイントの保存</u> (27 ページ参照)」を参照してください。

テスト・ポイントのプロット: テスト・ポイントの伝達関数をプロットするには、メイン・メ ニューに戻って、Plot を押します。振幅、位相、インパルス、およびステップ・グラフが 使用できます。 詳細についてはここを押してください。

メイン・メニューの Apply ボタンを押した後は、結果が期待どおりであることを確認するために、これらのプロットをチェックすることを推奨します。これにより、システム全体の S パラメータ構成のセットアップに誤りがないことが確かめられます。

自動帯域制限が設定されている場合(後述)は、プロットにより自動帯域制限が十分かどう かを判断できます。不十分な場合は、Custom 帯域を選択して、より適切な帯域制限フィルタ を指定することができます。その後、もう一度 Apply を押して、プロットで再確認します。



Global Bandwidth Limit: すべてのテスト・ポイント波形にグローバル帯域制限フィルタを適用 する方法をセットアップします。Global Bandwidth Limit ラベルの下に、カスタム・フィルタ を作成する選択肢を含め、3 つの選択肢があります。詳細についてはここを押してください。

- None: テスト・ポイントに帯域制限フィルタは適用しません。
- Auto: すべてのテスト・ポイントの伝達関数がチェックされ、-14 dB ポイントとクロ スする最も低い周波数に決定されます。帯域制限フィルタのカットオフ周波数は、 その値に設定されます。
- Custom:帯域制限フィルタをユーザが作成できます。自動帯域フィルタが入力データに 不適切な場合や、テストに特定の帯域要件がある場合には、カスタム・オプションが 最も役に立ちます。詳細は、「<u>Test Point and Bandwidth Manager (30 ページ参照)</u>」を参 照してください。

Delay: テスト・ポイントにおける相対遅延および絶対遅延の取り扱い方法を制御します。デフォルトでは、絶対遅延は除かれています。

Keep Delay: すべてのテスト・ポイントの波形間の絶対遅延が維持されます。

Remove Delay: これがデフォルトの設定です。テスト・ポイント・フィルタの絶対遅延は除かれ、すべてのテスト・ポイント波形がなるべく時間的に同一イベントに揃うようにします。

Adjust Delay: このボタンは、Remove Delay ラジオ・ボタンが選択されている場合のみ表示 されます。ボタンを押すと、テスト・ポイント・フィルタ遅延スライダが開きます。

テスト・ポイント・フィルタ遅延スライダ

遅延スライダを使用して、演算に適用する各テスト・ポイント・フィルタの相対遅延を、 -1 ns ~ +1 ns の範囲で調整することができます。

4つの遅延スライダがあり、それぞれがオシロスコープ画面の各演算波形に対応します。

SDLA Visualizer - Test Point	Delay Configuration				
Specify Delay for Test Point F	Filters				
				ns	
M1 NA				0.100	
M2 Tp1				-0.137	
M3 Tp2	•			-0.4276	Reset
				· · ·	
M4 Tp3	-1ns	-0.5	0.0 0.5	0.277	ок

スライダを使用して、次のように相対遅延を調整します。

- スライダの横のテキスト編集ボックスに数字を入力する
- スライダのボタンをマウスでドラッグする
- 矢印ボタンを押すか、押し続けて位置を微調整する
- 矢印ボタンとスライダ・ボタンの間のスペースを押すか押し続けて、位置を粗調整する

同一テスト・ポイントに割り当てられたスライダは、遅延が同じ値に設定され連動します。

遅延の調整に伴って、テスト・ポイント・フィルタが再計算され、オシロスコープ画面が更 新されます。ヒント:遅延のセットアップ中はレコード長を一時的に短くすると、この応 答がよりスムースになります。

参照項目:

- <u>テスト・ポイントの理解(13 ページ参照)</u>
- カスタム帯域制限フィルタを作成する (30 ページ参照)
- <u>テスト・ポイント・フィルタ(伝達関数)の保存(27 ページ参照)</u>

テスト・ポイントの保存

Test Point and Bandwidth Manager には、有効化された 4 つまでの各テスト・ポイントに対応す る Save ボタンがあります。保存するテスト・ポイントの隣の Save ボタンを押します。

モデルの適用前に有効化されていなかったテスト・ポイントを保存するには、メイン・メ ニューに戻って Apply を押し、テスト・ポイント・フィルタを再計算しなければなりません。

注: テスト・ポイント・フィルタは、64 ビット・プロセッサのオシロスコープで使用する ようになっています。これらのフィルタを 32 ビット・プロセッサのスコープで使用する ためにエクスポートしたい場合は、ファイルを編集して互換ファイルを作成する必要があ ります。詳細については、「<u>32 ビットのオシロスコープで使用するためにフィルタをエ</u> <u>クスポートする (29 ページ参照)</u>」を参照してください。または、Test Point and Bandwidth Manager で?を押すこともできます。

ap the desired to	est points to Math to see the processed	i waveform				
Tp On/Off	Map Tp to Math	Label	Filters	Global BW Limit:	Delay	
Math1	None	NA	Save	None	🔘 Keep Delay	
Math2	Tp1: Main 💌	Tp1	Save	Auto	Remove Delay	
Math3	Tp2: Main 💌	Tp2	Save	Custom	Adjust Delay	
Math4	Tp3: Main 💌	ТрЗ	Save			
Ref3	Tp5					
Ref4	Tp4					ок

Test Point and Bandwidth Manager でいずれかの Save ボタンを押すと、フォルダ・ブラウザが開きます。そこで、フォルダを選択するか、新規フォルダを指定します。

Organica • New folder			E • (
🚖 Favorites	A Name	* Date modified	Type
Decktop	*	No items match your search.	
Macant Places			
E Desktop			
4 📴 Libraries			
Documents			
Pictures			
4 🔣 Videos			
My Videos		用.	

デュアル入力モード: メイン・メニューで **Dual Input** を選択すると、SDLA Visualizer により指定したフォルダに 10 個のファイルが作成されます。8 個のファイルに、テスト・ポイント・フィルタが 1 つずつ含まれています。8 個のフィルタがすべて含まれるファイルが 1 つあり、もう 1 つは README.txt ファイルで、オシロスコープの演算メニューで式を構築するためのフィルタの使用方法を説明するものです。

デュアル・モードのテスト・ポイント・フィルタのファイル命名規則は次のとおりです。

<フォルダ名>_Tp<X><モード><ソース>.flt ファイルの詳細:

<フォルダ名>:ユーザの入力した文字列 <x>:テスト・ポイント番号 <モード>:A、B、Diff、または Cm のいずれか <ソース>: Src1 または Src2、ここで Src1 はメイン・メニューの src1、Src2 は src2 に 対応します。

テスト・ポイントの単一ファイルには、ASCII 文字が含まれています。コメント行の最初の 文字は "#" で始まります。コメントは何行でも書くことができます。次の形式で、変数やパ ラメータをコメント行に含めることができます。

TpX differential test point filters

[DELAY] 1e-09 is the delay parameter same as current arbflt format.

[SAMPLERATE] 50e9

次のように、8個のフィルタの係数が8行にわたって続きます。

Line 1:TpXASrc1 Line 2:TpXASrc2 Line 3:TpXBSrc1 Line 4:TpXBSrc2 Line 5:TpXDiffSrc1 Line 6:TpXDiffSrc2 Line 7:TpXCMSrc1 Line 8:TpXCMSrc2

注:スコープのファームウェアの将来のリリースでは、選択されたモードとソースに従って フィルタを適用できる新規演算機能に、本ファイルを読み込めるように計画されています。
シングル入力モード:シングル入力モードでは、Test Point and Bandwidth Manager で Save ボタン を押すと、各テスト・ポイントにつきフィルタ・ファイルが1つだけ保存されます。これ は、モード A-B の差動モード用です。テスト・ポイント・フィルタは、<ファイル名>.ft の ファイル名形式で保存することができます。

ASCII ファイル・フォーマットで、コメント行は "#" で始まります。ファイルには [DELAY] < 値>の形式の行を含めることができます。フィルタ行は、サンプル・レート値に続いて ";"、 そしてカンマ区切りで係数が続きます。

参照項目:

- 32 ビットのオシロスコープで使用するためにフィルタをエクスポートする (29 ページ参照)
- Test Point and Bandwidth Manager (22 ページ参照)
- テスト・ポイントの理解 (13 ページ参照)

32 ビットのオシロスコープで使用するためにフィルタをエクス ポートする

テスト・ポイント・フィルタは、オシロスコープの演算メニューの arbfit 機能に読み込め るように、arbfit ASCII ファイル・フォーマットで保存されます。これらのフィルタは、64 ビット・プロセッサのオシロスコープでの使用を想定したものです。これらのフィルタを 32 ビット・プロセッサのオシロスコープにエクスポートしたい場合は、ファイルを編集 して互換性を持たせる必要があります。

このファイル・フォーマットには、#シンボルが前置されたコメント行が含まれています。

次に、最初にサンプル・レート値、続いて ";"、その後にカンマ区切りのフィルタ係数が続く 1 行があります。(フィルタ・ファイルのフォーマットの詳細は、「<u>テスト・ポイントの理解</u> (13 ページ参照)」を参照してください)。

注: Test Point and Bandwidth Manager で Keep Delay ラジオ・ボタンが選択されている場合は、 波形タイミングが1サンプル周期ずれることがあります。

ファイルは、次のようにして編集します。

- 1. Windows Notepad でファイルを開きます。
- ファイルの最初に、フィルタが動作するサンプル・レートを記すコメント行を追加します。「# <sample rate value>」と入力します。このサンプル・レート値は、フィルタ係数行の最初の要素となります。
- 次に、フィルタ係数行で、最初のサンプル・レート値を編集して @ シンボルにします。@ シンボルは、フィルタが同一セットの係数で、すべてのサンプル・レートで動作することを表します。

このフィルタを 32 ビットのスコープで使用する場合は、オシロスコープを上のコメント行に 指定されたサンプル・レートに設定するようにします。arbflt 演算機能は、係数行のサンプ ル・レートだけで動作し、通常はオシロスコープのサンプル・レートが他の値に変更された 場合は波形が消えるように設計されています。しかし、@ シンボルがあると、フィルタはす べてのサンプル・レートで動作するようになり、その応答はサンプル・レートに正規化され るようになります。つまり、フィルタの設計値のサンプル・レートにスコープを設定した場 合のみ、フィルタが期待どおりに動くということになります。

一例を示します。

Tp1 filter

sample rate 50GS/s

@ <coeff1>, <coeff2>, <coeff3>, ... <coeffn>

 \wedge

注意:このフィルタを 32 ビット・プロセッサのスコープで使用し、スコープが IT モード (補間サンプル・レート)で動作している場合、画面のサンプル・レートのリードアウトは 実際は補間サンプル・レートではなく、補間前のベース・サンプル・レートであることに注 意してください。フィルタは補間されたサンプル・レートで動作していることになります。

サンプル・レートが @ のフィルタが正しい応答で動作するためには、補間されたサンプル・ レートがフィルタの設計レートに設定されていることが必要です。32 ビットのプロセッ サを使用したスコープにエクスポートする場合は、ユーザが手動でこれを行わなければな りません。IT サンプル・レートは、スコープ画面上のサンプル・インターバル(ポイント 当たり秒数単位)の逆数を計算して得ることができます。

参照項目:

- Test Point and Bandwidth Manager (22 ページ参照)
- <u>テスト・ポイントの理解(13 ページ参照)</u>
- <u>テスト・ポイントの保存(27ページ参照)</u>

カスタム帯域制限フィルタを作成する

フィクスチャ、ケーブル、または他の機器をディエンベッドする場合、有用な結果を得るために、通常は帯域制限フィルタが必要です。こうした場合、帯域制限フィルタにより高周 波成分を除去して、ノイズのゲインを減少させることができます。SDLA Visualizer では、 ノイズ減衰、立上り時間、プレシュート、オーバーシュートに影響する通過帯域、移行帯 域、除去帯域の応答をユーザが制御することができます。 次の手順に従って、カスタム・フィルタを作成します。

1. メイン・メニューでテスト・ポイントを押し、Test Point and Bandwidth Manager を開きま す。(メイン・メニューで Global BW を押しても、Test Point and Bandwidth Manager が 開きます)。

📣 SD	LA Visualizer - Test Poi	int and Bandwidth Config	uration					×
Т	o1 - Map the desired te	est points to Math to see t	he processed waveform	1				
ſ	Tp On/Off	Map Tp to Math	Select Tp Mode	Label	Filters	Global BW Limit:	Delay	
	Math1	None 💌	A-B 💌	NAA-B	Save	None	Keep Delay	
	Math2	Tp1: Main 💌	А-В 🔻	Tp1A-B	Save	Auto	Remove Delay	
	Math3	Tp2: Main 💌	А-В 💌	Tp2A-B	Save	Custom	Adjust Delay	
	Math4	Tp3: Main 💌	А-В 💌	ТрЗА-В	Save			
	Ref3	Tp5						
	C Ref4	Tp4						ок
					Export filter	rs for 32-bit scope		

2. Global BW Limit の下の Custom を選択し、次に Setup BW を押します。これにより Bandwidth Limit Filter Design メニューが開きます。



- 3. BW GHz、Stopband GHz、および Stopband dB の各フィールドに値を設定します。
- 4. Applyを押して、帯域フィルタを生成し、SDLA で使用するために内部データベースに保存します。確認のためにフィルタ応答がプロットされます。必要に応じて、Export ボタンを押し、SDLA の外部で使用するためにフィルタをファイルに保存することもできます。
- 5. Close を押して、Test Point and Bandwidth Manager に戻ります。

参照項目:

Test Point and Bandwidth Manager (22 ページ参照)

ディエンベッド・ブロックの概要

"ディエンベッド・ブロック"には、波形取り込みに使われる実際のプローブやフィクスチャな ど、ハードウェアを表す測定回路のモデルが含まれています。メイン・メニューで De-embed を押し、4 ポート S パラメータのカスケードを表す <u>De-embed メニュー (33 ページ参照)</u>を開きま す。これらのメニューは、下図のようにブロックをモデリングする種々の手段を提供します。



注: DUT の減衰が大きな場合、ディエンベッドした結果は帯域が狭くなり、リンギングを伴い、立上りが遅くなります。帯域制限フィルタの移行帯域を広げると、リンギングは減らせますが、高い周波数での位相と振幅の誤差が増大し、ノイズが増加することがあります。

SDLA Visualizer は、カスケード接続を通じて両方向の<u>クロストークと反射</u>を処理します。 ディエンベッド・ブロックで、種々の構成のモデリングを行うことができます。いくつか の例をここに挙げます。

ディエンベッド・ブロック - 構成例

■ 4ポート・シングルエンドのSパラメータ・ファイル

- 4ポート差動 S パラメータ・ファイル
- 2つの2ポートSパラメータ・ファイル
- FIR フィルタ・ファイル(時間領域)
- 伝達関数ファイル(周波数領域)
- SMA プローブ・モデル
- インターポーザ / プローブ / スコープのモデル
- ミックス・モードのSパラメータ・ファイル
- 各種 RLC の直列 / 並列構成
- 無損失トランスミッション・ライン・モデル
- 3ポートのプローブ・モデル・ファイル
- 1ポート負荷 S パラメータ・ファイル
- 2ポート負荷 S パラメータ・ファイル
- 公称負荷値

注: ディエンベッドとエンベッドの操作手順例については、「<u>使用例とトラブルシューティ</u> <u>ング (105 ページ参照)</u>」を参照してください。

参照項目:

De-embed / Embed メニュー (33 ページ参照)

De-embed ∕ Embed メニュー

De-embed / Embed メニューで、取り込まれた波形をシステムの信号フロー・パスに入れる場所を定義することができます。

注: ディエンベッドとエンベッドの操作手順例については、「<u>使用例とトラブルシューティ</u> <u>ング (105 ページ参照)</u>」を参照してください。



メイン・メニューで **De-embed** を押すと、De-embed メニューが開きます。また、**Embed** を押 すと Embed メニューが開きます。これらのメニューでは、8 つのカスケード接続された 4 ポー ト S パラメータ・ブロック・モデルおよび最後に負荷モデルを持つダイアグラムが表示され、 これらを構成、プロット、保存することができます。2 つの移動可能テスト・ポイントの場所 の選択、負荷の構成、プローブの構成(De-embed メニューのみ)も行うことができます。

注: ディエンベッド・ブロックのパラメータを変更すると、ディエンベッド・ブロックと エンベッド・ブロックのすべてのテスト・ポイントに影響がおよぶことがあります。しか し、エンベッド・ブロックのパラメータの変更は、ディエンベッド・ブロックのテスト・ ポイントに影響することはありません。

De-embed メニューと Embed メニューの相違点

上記に示すディエンベッド・カスケード・モデルのダイアグラムで、処理方向の矢印が右 から左に向かっていることに注意してください。ここに示すエンベッド・カスケード・モ デルのダイアグラムでは、矢印は左から右に向かっています。また、De-embed メニュー にはプローブのオプションがありますが、Embed メニューにはありません。それぞれのメ ニューに、構成オプションを伴う専用の負荷ブロック(最後のブロック)があります。これ 以外の機能は同様です。



どちらのメニューも、画面の左側に3つのタブがあります。

Cascade タブ

カスケード・ダイアグラムは、S パラメータのモデリング・ブロックを表します。Moveの下 にある 2 つの矢印は De-embed メニューでは Tp6 および Tp7、また Embed メニューでは Tp8 お よび Tp9 を移動するために使用します。これらの矢印ボタンを押すと、移動可能テスト・ポ イントが移動します。De-embed メニューでは、SMA または High Z のプローブ・オプション が構成できます。詳細については「プローブの構成 (39 ページ参照)」を参照してください。

いずれかのカスケード・ブロック B1~ B8 を押すと、そのブロックの構成メニューが開きます。詳細については「Block Configuration メニュー (46 ページ参照)」を参照してください。

ブロックの最後のブロックは、De-embed メニューでは Scope、SMAProbe、または Load のいずれかであり、Embed メニューでは Rx Load となっています。このブロックを押すと、対応する構成メニューが表示され、そこで出力ポートの負荷を指定することができます。詳細については「Load Configuration メニュー (52 ページ参照)」を参照してください。

Normalize タブ

SDLA では、すべてのポートが 50 Ωの基準インピーダンスを持つことが必要です。Normalize タブを使用して、SDLA Visualizer のディエンベッドまたはエンベッド・ブロックに S パラ メータを読み込む前に、それらを各ポートの正しい基準インピーダンスに再ノーマライズす ることができます。詳細については、「S パラメータを異なる基準インピーダンスに再ノー マライズする方法 (37 ページ参照)」を参照してください。

SDLA S-parameter Normalization				
Renormalize S-parameter reference impeda	ice for each port		Help Paper	About
Cascade Normalize	Tx+	Port 1 V Port 2 V R 50 Browse	x+	Apply Plot
Convert	тх-	<filename></filename>	x-	Save
				JA

Convert タブ

ここで、シングル・エンドの S パラメータをミックス・モードに変換することができます。 ファイルをロードすると Save ボタンと Plot ボタンが使用できるようになります。

*注:*SDLA 内部での使用目的では、データをミックス・モードでなく、シングル・エンドの フォーマットにしておくことが推奨されます。



*注:*シングル・モード S パラメータのミックス・モードへの変換の数学的導出を含む、最先端の SDLA トピックの詳細については、メイン・メニューで右上隅の Paper を押してください。これにより .pdf ファイルが開きます。

コントロール・ボタン

画面の右側には、状況に応じて異なるボタンが表示されます。Cascade タブでは、次の ボタンが表示されます。



Apply: この Apply ボタンを押すと、システム全体の有効化されたテスト・ポイントのフィル タが計算されます。メイン・メニューで Apply を押すのとは異なり、ここではフィルタをス コープの演算機能に送ったり、DPOJET が開かれたりすることはありません。これにより、 システムすべての設定を行う際の計算時間が速くなります。

Plot: すべての有効化されたテスト・ポイントのグラフをプロットします。

注: モデルのパラメータを変更した場合は、Apply を押して、常にフィルタを更新してください。

Save: Save を押すと、2つの選択肢から選択できます。

- Cascade Setup: 現在のカスケードのパラメータを1つのセットアップ・ファイルに保存します。後で Recall を押して、カスケードのセットアップを呼び出すことができます。カスケードのセットアップ・ファイルはメインの SDLA セットアップ・ファイルとは異なることに注意してください。カスケードのセットアップ・ファイルはカスケードの構成のみを保存します。
- 4-port s4p file: カスケード内の全ブロックを組み合わせた単一の4ポートSパラメータのセットを保存します。負荷ブロック(最後のブロック)およびTxブロックは含まれません。これにより、ファイルにエクスポートされた4ポートSパラメータを他のシミュレーション・ツールで使用したり、カスケード・ブロックにロードし直して、追加のブロックと組み合わせたりすることができます。この方法は、組み合わせが8ブロックを超える場合に役に立ちます。

•	SDLA Visualizer - Save Configuration	
	Select which file to save	
	Cascade Setup	Save
	A-port s4p file	
		ОК

Recall: Save ボタンで保存したセットアップ・ファイルを呼び出します。

OK: メイン・メニューに戻ります。

参照項目:

- Block Configuration メニュー (46 ページ参照)
- Load Configuration メニュー (52 ページ参照)
- ディエンベッド・ブロックの概要 (32 ページ参照)
- エンベッド・ブロックの概要 (74 ページ参照)

S パラメータを異なる基準インピーダンスに再ノーマライズする方法

50 Ωにノーマライズされていない S パラメータ・セットを、SDLA Visualizer で必要な基準イ ンピーダンスである 50 Ωにノーマライズするには、<u>De-embed/Embed メニュー (33 ページ参照)</u> の Normalize タブを使用します。基準インピーダンスは、S パラメータを測定するときにポー トの負荷となっていた値です。(基準インピーダンスは、カスケード内の負荷インピーダン スとは異なります。負荷インピーダンスは任意の値にすることができます)。 SDLA の外部での使用や、プロットを観察して効果を解析する場合などに、このタブで任意のポートの基準インピーダンスを任意の値にノーマライズすることができます。

注: S パラメータの再ノーマライズの数学的導出を含む最先端の SDLA トピックの詳細については、メイン・メニューで右上隅の Paper を押してください。これにより .pdf ファイルが開きます。

ノーマライズ機能の使用

- 1. Normalize タブを押します。
- 2. Browse を押して、再ノーマライズする4ポートSパラメータのファイルを選択します。

SDLA Visualizer - De-embed		
Renormalize S-parameter refer	rence impedance for each port	
Cascade Normalize Convert	Tx+ Port 1 Port 2 S0 50 Browse <td< th=""><th>Rx+ Plot Save Rx- OK</th></td<>	Rx+ Plot Save Rx- OK

- Touchstone 1.0 フォーマットでは、すべてのポートについて1つのインピーダンス値のみが サポートされます。その値がポート編集ボックスに表示されます。ここで、SDLAの内部 で使用するために、各ボックスを50Ωに編集します。SDLAの外部での使用やプロットで の相違を観察するには、任意のポートを必要な値に編集します。
- 画面右側の Apply ボタンを押して、再ノーマライズされた S パラメータ・セットを計算し ます。このデータをファイルに保存して Cascade タブでブロックにロードし直さない限 り、SDLA のブロックでは使用されないことに注意してください。
- 5. 再ノーマライズされたセットの上に元のSパラメータを重ねて観察するには、Plotを押します。元のSパラメータは灰色のトレースで、新たに再ノーマライズされたプロットは各色で表示されます。個別プロットの詳細をズーム・インするには、プロット・ツール・バーのズーム・ツールを使用します。カーソル・ツールを使用すると、トレース・データを読み取ることができます。トレースのマーキング・ツールも使用できます。



6. Save を押して、再ノーマライズされたデータを含む Touchstone 1.0 ファイルを作成します。4 ポートすべての基準インピーダンスが同じであれば、オプション行にその値を持つ標準ファイルが書き込まれます。しかし、ポートによりインピーダンス設定が異なる場合は、オプション行のインピーダンスが1となり、次のコメント行が書き込まれます。

! [IMPEDANCE] <value1> <value2> <value3> <value4>

再ノーマライズされたファイルは、Cascade タブのダイアグラムの任意のブロックにロー ドすることができます。

必要な場合は、再ノーマライズされたファイルをツールに再度読み込んで、元の基準イ ンピーダンス値に戻すことができます。

参照項目:

De-embed / Embed メニュー (33 ページ参照)

プローブを構成する

De-embed メニューで、次の3つのプローブの選択肢から選ぶことができます。

None

この選択肢では、プローブは使用されません。スコープからの入力波形信号は、Cascade タブ のダイアグラムの負荷ブロック(最後のブロック)に src1 および src2 というラベルで示 されます。代表的な使用例は、オシロスコープの Ch1 と Ch2 に信号を取り込むために、 フィクスチャと 2 本のケーブルがトランスミッタに接続されている場合です。これをモデ リングするには、メイン・メニューで Dual Input を選択し、次に Ch1 および Ch2 を src1 および src2 とラベル付けされた波形として選択します。

SMA プローブ

この選択肢は、メイン・メニューで Single Input が選ばれている場合のみ選択できます。これ は、ディエンベッド・ブロックへの入力として、SMA プローブから単一の波形を取得する場 合です。SDLA は、この波形が、各ケーブルの入力端で逆極性の同一信号を入力とする 3 ポー トの SMA プローブ経由で取り込まれたものと仮定します。SMA プローブの S パラメータ・ セットには、プローブに付属するケーブル・ペアが含まれています。Cascade タブのダイアグ ラムの負荷(最後の)ブロックには、カスケードのターミネーションに SMA プローブ・モデ ルのみが許され、"SMAProbe" というラベルが付きます。

De-embed メニューの Cascade タブに表示されるダイアグラムの負荷(最後の)ブロックで SMAProbe を押すと、次のメニューが開きます。



オプション

- ポート番号:プローブ接続の極性が正しくなるようにポート番号を選択します。
- プローブ・モデル: このドロップダウン・メニューで、オシロスコープに接続されているプローブのモデルを選択します。この選択により、ファイル・ブラウザ・ウィンドウが開き、適切なSパラメータ・ファイルを選択することができます。このメニューでLoad ボタンを押しても、プローブ・モデルの選択で指定したフォルダでファイル・ブラウザ・メニューが開きます。
- Scope Browse: ボタンを押すと、スコープのSパラメータ・ファイルをロードします。 これによりブラウザが開き、使用しているスコープのモデルに従って、適切なファイ ルを選択することができます。

High Z プローブ

この選択肢は、メイン・メニューで Single Input ラジオ・ボタンが選ばれている場合のみ選択 できます。これは、ディエンベッド・ブロックの入力として High Z プローブから単一の波形 を取得することを指定する場合です。左側の High Z ラジオ・ボタンを押すと、Cascade タブ のダイアグラムに Probe ボタンが表示されます。High Z の文字の下に右矢印">"ボタンも表示 されます。右矢印ボタンを押すと、プローブがダイアグラム上の別の場所に移動します。



Cascade タブのダイアグラムで **Probe** ボタンを押すと、Probe Path Configuration メニュー が開きます。

SDLA Visualizer - Probe Configuration			
Define S-parameter files for the Probe and Scope			
Configure Probe/Scope	Probe + Port 1 v 2 P7380 v Load Port 2 Filename	Label Probe Browse Filename	Pot Probe Scope

Configure の下で適切な回路構成を選びます。上に示す Probe/Scope、または下に示す Interposer/Probe が選択できます。



オプション

- プローブ・モデル: ドロップダウン・メニューで使用しているプローブの種類を選択し ます。これにより、ファイル・ブラウザで適切なプローブ・ディレクトリが開かれます。 プローブの減衰設定と使用しているチップに従って、適切なファイルを選択します。ファ イルの正しいチップ名を選択するには、「<u>プローブとチップの選択(42 ページ参照)</u>」を参 照してください。Probe パネルで?ボタンを押すこともできます。
- Probe Load: 現在選択されているモデルに従って、プローブ・ファイルがロードされます。
- ポート番号:プローブ接続の極性が正しくなるようにポート番号を選択します。
- Scope Browse: ボタンを押すと、スコープのSパラメータ・ファイルをロードします。 これによりブラウザが開き、使用しているスコープのモデルに従って、適切なファイ ルを選択することができます。
- Interposer Browse: インターポーザの4ポートSパラメータをロードします。これは、 差動クロックまたはストローブ・ライン・ペアの簡易インターポーザ・モデルをサ ポートします。メモリ入力とコントローラ入力は1ポート / 1 ラインと仮定され、プ ローブの接続は他の2ポートとなります。
- Label: De-embed メニューでプローブ・ブロックのラベルを変更するには、このラベルを編集します。
- Filename: ロードされている S パラメータ・ファイルがメニューの下部に表示されます。

参照項目:

De-embed / Embed メニュー (33 ページ参照)

プローブとチップの選択

ここでは、使用中のプローブのチップを調べ、該当するファイル名を選択して構成する方 法について説明します。

P7313 型および 7380 型のプローブ・モデルでは、次のチップのセットが使用できますが、S パラメータ・セットでサポートされているのは、これらのうちの 4 つのみで、次のとおりです。

- HBW 右アングル・フレックス
- HBW ストレート・フレックス
- ミディアム・フレックス、小型レジスタ付
- ショート・フレックス、小型レジスタ付



次の図は、P75xx ファミリのプローブのチップです。現在 S パラメータ・セットでサポートさ れているのは、パフォーマンス・ソルダ・チップのみです。



3ポート S パラメータ・ファイルの選択

メイン・メニューで De-embed を押します。Cascade タブの Probe の下で、High Z ラジ オ・ボタンを選択します。次に、ダイアグラムの Probe ボタンを押します。これにより、 Probe Configuration メニューが開きます。

SDLA Visualizer - Probe Configuration			
Define S-parameter files for the Probe and Scope	Probe + Port 1 • ? P7380 • Load Port 2 • Filename	Label Scope Probe Browse Ch1	Plot Probe Scope

Probe ドロップダウン・メニューで、使用しているモデルを選びます。上の図では、P7380 型が選ばれています。ブラウザが開き、選択されたプローブ・モデルに該当するディレ クトリが表示されます。



プローブの現在の設定に合致するファイルを選択します。ファイル名には、プローブ・モデル、5X または 25X などのゲインの値、使用するチップ名が含まれています。上図のプローブ・チップを参照して、ファイル名に含まれるチップ名を選択してください。

プローブのゲイン設定は、オシロスコープの入力チャンネルのコネクタに差し込むプロー ブ補正ボックスの LED に表示されます。

注: 75xx シリーズなどの Tri-mode プローブは、4 つのモードで使用できます。しかし SDLA では、S パラメータは現在 "差動モード"のみでサポートされており、これはスコープに差し 込むプローブ補正ボックス上の A-B が選択されていることで分かります。

SMA プローブ

SMA プローブの S パラメータ・ファイルには、プローブに付属のマッチングの取れたペアの SMA ケーブルが含まれています。チップの選択はありません。アッテネータはファイル名か ら選択でき、プローブ補正ボックスの LED が現在の設定を示します。

プローブを SDLA で使用する際のスコープの設定

プローブを SDLA で使用する場合は、オシロスコープの DSP フィルタがオンとなっているこ とが必要です。オンであることを確かめるには、オシロスコープの垂直軸メニューを開きま す。そして、Digital Filters (DSP) Enabled ラジオ・ボタンが選択されていることを確認しま す。さらに、スコープの垂直軸メニュー左側の Chan X タブで、プローブが接続されている チャンネルを選択します。次に、スコープ・メニューで Vertical > Probe Cal を選択します。 Select ボタンを押して、プローブ・チップの選択メニューを開きます。メニューから、プロー ブで使用しているチップと一致するラジオ・ボタンを選択します。これで、プローブの DSP がオンとなっていることが確かめられました。(注:前述のように、すべてのチップが S パラメータでサポートされているわけではありません)。

これで SDLA により、現在のプローブの DSP 応答が正しくディエンベッドされ、プローブと ユーザ・データの組み合わせに置き換えられ、結果がスコープ画面の演算波形スロットに生 成されます。こうして、スコープのチャンネル X には、プローブ接続のユーザ・データを含 まない公称フィルタ応答が、SDLA が生成するテスト・ポイントの演算波形にはプローブと 実際の DUT との接続を含むシステムの応答が示されます。

P7520A 型および P7630 型プローブ

これらのプローブの S パラメータは、プローブに内蔵されています。そのため、S パラメー タは直接スコープから SDLA にロードされます。ファイル・ブラウザは開きません。S パ ラメータ・セットを SDLA にロードするために、プローブをオシロスコープのソース・ チャンネルに差し込む必要があります。

ユーザ・データ・プローブ

インターポーザのセットアップなど、特別に変更されたプローブ・チップを使用する場合、 オシロスコープに公称 DSP プローブ・データがないことがあります。この場合は、スコー プ・メニューで、>Vertical Probe Cal を選択します。Select ボタンを押して、プローブ・チッ プの選択メニューを開きます。Other Tip (no DSP) を選択します。こうすると、スコープにプ ローブ・モデルの DSP は適用されません。代わりに、User の下のドロップ・ダウン・メ ニューで選択したユーザ・プローブ・データを使用することができます。ファイル・ブラウ ザが開き、インターポーザと共に使用するカスタム・プローブ・データの S パラメータ・ セットを使用することができます。このデータは Tektronix から特注ベースで、またカスタ ム・シミュレーション・モデルなど他のソースから入手できる場合があります。

注:ロードする以前に S パラメータ・データを格納しておく必要があります。

参照項目:

- プローブを構成する (39 ページ参照)
- De-embed / Embed メニュー (33 ページ参照)

Block Configuration メニュー

Block Configuration メニューで、De-embed/Embed メニュー内のカスケード接続された S パラ メータのモデリング・ブロック B1 ~ B8 を構成します。(最後のブロックを構成するには、 Load Configuration メニュー (52 ページ参照)を使用します)。

Block Configuration メニューには、モデルの種類に従って4つのタブがあります。

Thru タブ

ブロックが、カスケードに必要な部分ではない場合には、Thru ブロック・モデルを使用します。このブロックは、システムの信号に何も影響しない理想モデルを表します。

SDLA Visualize	r - Block Configuration		
Select B1 mod	I and the applicable files if required		
Thru File RLC	Port1 v Port2 v	Label B1	
TLine	Port3 v Port4 v		ок

File タブ

J SDLA Visualizer -	Block Configuration		
Select B1 model a	nd the applicable files if required		
Thru Fie RLC T Line	Model 4-Port Single-ended	Filename Port1 Port2 Port2 Port3 Port3 Port4 Port4	Label B1 Check Passivity Port assignments OK

File タブで、ファイルから読み込まれるデータで代表される6つのモデルから選択します。

4-Port Single-ended: 上記に示すシングル4ポートSパラメータ・セットをモデリングしま す。4ポートSパラメータ・ファイルをロードして、ブロックとすることができます。テ スト・ポイントの伝達関数の計算には、Sパラメータ・データの全項が考慮されます。

4─Port Differential: ミックス・モードの S パラメータ・セットをモデリングします。 詳細についてはここを押してください。

データがミックス・モードのフォーマットで保存されている4ポートSパラメータ・ファ イルをロードできます。Browseボタンで、ミックス・モードSパラメータのファイル名 とパスにより、差動ブロックを指定することができます。ブロックには差動ポートが 2 つですが、物理的には4つのシングル・エンド・ポートがあります。SDLAは、ミッ クス・モード・データをシングル・エンドのデータ・フォーマットに変換して、カス ケード接続されたブロックに使用します。

SDLA は、行列内の S パラメータを 2 つの構成でサポートします。Typical は、ファイ ルから読み込まれたミックス・モード S パラメータ・データの代表的な配列です。 Alternate は、もう一つの配列です。

注: S パラメータ・データのミックス・モード表現は、Touchstone 1.0 ファイル・フォーマットではサポートされていません。そのため、下図に示すように 2 種類のファイル・データの配列しかサポートされていません。



2-Port: 2 つの 2 ポート S パラメータ・セットをモデリングします。詳細については ここを押してください。

これにより、2 つの 2 ポート S パラメータ・ファイルを 4 ポート・ブロックのモデルに ロードすることができます。SDLA は、これらを、理想クロスカップリング項をゼロとし た 1 つの 4 ポート S パラメータ・セットに変換します。

ー般に、フィクスチャとスコープの間を接続するシールド・ケーブルのペアを表すため に使用されます。

🛃 SDLA Visualize	r - Block Configuration			
Select B1 mode	l and the applicable files if required			
	Model	Filename	Label	
Thru File	2-Port	Port1 Browse	B1	
RLC T Line			Passivity	Plot
		Port1 V Filename	Port2 T	ок

Transfer Function: 複素データの周波数領域セットをモデリングします。詳細については ここを押してください。

これにより、ブロックを表す、周波数領域の伝達関数データを含む2つのファイルが ロードされます。ファイルはslp Touchstone 1.0 フォーマットです。このフォーマットに は、周波数列、実数または振幅の列、虚数または位相の列が含まれています。SDLAは、 これらを、理想クロスカップリング項および反射係数項をゼロとした1つの4ポートS パラメータ・セットに変換します。一般に、フィクスチャとスコープの間を接続する シールド・ケーブルのペアを表すために使用されます。

📣 SDLA Visualizer	- Block Configuration				
Select B1 model	and the applicable files if required				
	Model	Filename		Label	
File	Transfer Function	Port1 - Browse	Port2 -	61	
RLC T Line		_	1		Piot
		Port1 Filename	Port2 V		ок
l l					

FIR: 時間領域のインパルス応答をモデリングします。詳細についてはここを押してください。

これにより、ブロックを表す、時間領域の FIR フィルタ係数データを含む 2 つのファイ ルがロードされます。ファイルは、オシロスコープの arbflt() ASCII フォーマットです。 SDLA は、これらを、理想クロスカップリング項をゼロとした 1 つの 4 ポート S パラメー タ・セットに変換します。反射係数項もゼロにセットされています。

ファイルには # を最初の文字とするコメント行を含むこともできます。ファイルには複数 行のフィルタ係数を含めることができます。ここで、";" の前の最初の値はサンプル・レー トです。続く値は、スペース・カンマで区切られるフィルタ係数です。

📣 SDLA Visualize	r - Block Configuration		
Select B1 mode	I and the applicable files if required		
	Model	Filename	Label
Thru File	FIR	Port1 Port2	B1
RLC T Line			Plot
		Port3 Port4 Filename	ок

High Z プローブ: プローブの負荷をモデリングします。詳細についてはここを押してください。

これにより、3 ポート S パラメータ・セットで負荷を伴うプローブを表すことができま す。このモデルは、信号パス・ラインと並列に、プローブ・チップをライン A とライン B に付加します。使用法の1つは、オシロスコープまたはロジック・アナライザのプローブ がどのような負荷をシステムに与えるかを観測することです。

注:このモデルは、プローブの負荷効果のみを表します。このモデルからシミュレーション・システムに入る取り込み波形はありません。

📣 SDLA Visualize	er - Block Configuration		
Select B1 mod	lel and the applicable files if required		
Thru File RLC T Line	Model High-Z probe Por Note	Filename	Label B1 Plot Not Not Not Not Not Not Not Not Not N

RLC タブ

RLC(レジスタ、インダクタ、コンデンサ)素子を使用して、ブロックのモデリングが行え ます。SDLAは、カスケード内で使用される4ポートSパラメータのセットを計算します。ク ロスカップリング項はゼロにセットされます。

SDLA Visualizer - B	llock Configuration			
Select B1 model and	Select B1 model and the applicable files if required			
Thru File RLC T Line	Model Series1		Label B1	Piot
L	10			ОК

RLC タブの Model ドロップ・ダウン・メニューでは、4 種類の直列構成とシャント構成の RLC ネットワークを取り扱います。詳細についてはここを押してください。

Series 1: 各ラインに直列に挿入された直列 RLC ネットワークを表します(上図参照)。

Series 2: 各ラインに直列に挿入された並列 RLC ネットワークを表します。

SDLA Visualizer - Block Configuration Select B1 model and the applicable files if required			
Thru File RLC T Line	Model Series2	Label B1	Plot

Shunt 1: 各ラインを短絡する直列 RLC ネットワークを表します。

SDLA Visualizer -	Block Configuration			
Select B1 model ar	Select B1 model and the applicable files if required			
Thru File RLC T Line	Model Shunt1 ▼ Rohms Source LnH ↓ 1 CpF ↓ 1 Freq Space MHz 10		Label B1	Plot OK

Shunt 2: 各ラインを短絡する並列 RLC ネットワークを表します。

SDLA Visualizer	- Block Configuration			— — X	
Select B1 model	Select B1 model and the applicable files if required				
Thru File RLC T Line	Model Shunt2 V 50 LnH V 1 CpF V 1 Freq Space MHz 10		Label B1	Plot	

R、L、C 編集ボックス: これらのボックスにより、コンポーネントの値を決定します。

R、L、C チェック・ボックス: チェックすると、**R、L、** または C の値が回路に含まれます。 チェックを外すと、R、L、または C 素子は、直列素子であればショート、シャント素子 であればオープンで置き換えられます。

Freq Space MHz: この編集ボックスは、このネットワークで計算される S パラメータ・セットの周波数間隔を示します。周波数間隔により、S パラメータがカバーする継続時間が決定します。

Label: この編集ボックスにより、De-embed/Embed メニューのブロック・ダイアグラムで、このブロックに表示されるラベルが決まります。

Plot: このボタンにより、4 ポート S パラメータ・セットの表示方法をすべて指定できるプロット・メニューの新規ウィンドウが開きます。

OK: このメニュー・ボタンにより、ブロック・メニューが閉じ、ブロックを開く前に使用していた Embed メニューまたは De-embed メニューのいずれかに戻ります。

T line タブ

SDLA Visualizer - Block Configurat	tion			
Select B1 model and the applicable fi	les if required			
Thru Fie RLC T Line	Z0 ohms 50 Delay ns 1 Freq Space MHz 10.0	1 Transmission Ling 3 Transmission Ling	Label B1	Plot OK

このタブで、無損失トランスミッション・ラインを定義することができます。SDLA は、編 集ボックスに設定されたパラメータに応じて 4 ポート S パラメータを計算します。クロス カップリング項はゼロにセットされます。詳細についてはここを押してください。 Z0 ohms: トランスミッション・ライン・ペアの特性インピーダンスを指定します。

Delay ns: トランスミッション・ラインを通じた遅延をns単位で指定します。

Freq Space MHz: 作成するトランスミッション・ライン・モデルの4ポートSパラメータ・セットの周波数間隔を指定します。

Plot: 特性を観測するために使用します。

参照項目:

- De-embed / Embed メニュー (33 ページ参照)
- Load Configuration メニュー (52 ページ参照)

Load Configuration メニュー

De-embed/Embed メニューのカスケード・ダイアグラムの最後は、カスケード接続された回路 の出力ポートに与える負荷を決定するブロックです。ブロックを押すと、Load Configuration メニューが開きます(ブロック B1 ~ B8 を構成するには <u>Block Configuration メニュー (46 ペー</u> ジ参照)を使用します)。

カスケード負荷ブロックのディエンベッド

De-embed メニューのカスケード・ダイアグラムで最後のブロックには、Scope、SMAProbe、 または Load のいずれかのラベルが付いています。このブロックを押すと、モデルの構成 により異なる Load Configuration メニューが開きます。たとえば、下図はプローブのないデ フォルトのメニューです。



代わりに、ブロックに SMA プローブを構成した場合は、次のメニューが開きます。詳細については「<u>プローブの構成 (39 ページ参照)</u>」を参照してください。

📣 SDLA Visu	lizer – Load Block Configuration	
Select th	e load model and the applicable file(s) if required	
1	Probe Scope Label Load Port 1 v Port 3 Browse Ch1 v Filename Filename	Piot Probe Scope OK

カスケード負荷ブロックのエンベッド

Embed メニューのカスケード・ダイアグラムの最後のブロックには、Rx Load というラベル が付いています。ブロックを押すと、下に示す Load Configuration メニューが開き、シミュ レーション回路の出力ポートの負荷となるモデルを決定することができます。多くの場合、 これは物理的なレシーバをモデリングします。

インピーダンスは、Model ドロップダウン・リストから選択することにより、1 つの 2 ポート S パラメータ・ブロック、または 2 つの 1 ポート S パラメータブロックの公称値としてモデリ ングできます。デフォルトで、SDLA は 50 Ωのインピーダンスを仮定します。下図は、1 つの 2 ポート S パラメータ・ブロックの場合に開くメニューです。

-	SDLA Visualizer – Block Configuration			X
	Select the load model and the applicable file(s) if requ	uired		
	Model 2 Port	Filename Port 1 v Browse	Label Load	at
		Port 2 V		<

参照項目:

- De-embed / Embed メニュー (33 ページ参照)
- Block Configuration メニュー (46 ページ参照)

プロット

プロットは、システムのセットアップと検証で大切なツールとなります。SDLA Visualizer で は、有効化された処理ブロックとテスト・ポイントの実行結果を表すコンテクスト依存の プロットが数多く使用できます。これらは、DPOJET とオシロスコープのプロットと共に 使用して、S パラメータの品質解析、回路構成中の各ブロックの構成確認、ポート番号の 決定などの作業を行うことができます。

ナビゲーション・ツールにはズーム(+)およびパン、いくつかのプロットでは測定カーソ ル・ツールも含まれています。



S パラメータ・プロットを使用したトラブルシュートの例は、「<u>S パラメータのトラブル</u> シュートにプロットを使用する (62 ページ参照)」を参照してください。

次に、使用できる SDLA Visualizer プロットをいくつか示します。

- 総合的な S パラメータ・プロット:詳細な S パラメータ・プロットにより、システムの特性を全体的に捉えることができます。いくつかのプロットでは "オーバーレイ" 機能が使用できます。 S パラメータ・プロットの例をいくつか挙げます。
 - = 4ポート、3ポート、2ポート、1ポートのプロット

プロットの使用目的:

- ポート割り当てを簡単に確認する:曲線の形状から挿入損失を判別できます。
- 振幅が正しいことを確認する:通常、挿入損失は高い周波数で大きく、反射 やクロストークも高い周波数で大きくなります。
- 受動性チェックを行う:受動システムのSパラメータは周波数領域で0dB を超えることはありません。すべてのデータが0dより小さくても、合計出 力電力が入力電力を超えるという、システム受動性違反を起こすことがあり ます。プロットで確認するのは最初のステップのみです。詳細なチェックは ブロック・メニューのファイルのロード・タブで行う必要があることに注意 してください。Sパラメータ・データがファイルからロードされた場合は、 受動性チェック・ボタンが使用可能になります。
- モデルがシングルエンドかミックス・モードかをチェックする:シングルエンドのシステムでは、理想受動システムにおける s21、s12、s34、および s43 などの伝送要素は等しくなります。しかし、データがミックス・モードに変換されると、コモン・モードの伝送応答は、一般に差動伝送と顕著に異なります。言い換えると、S34 と S43 はコモン・モードと等しく、S21 および S12 でプロットされる差動モードの応答とは異なって見えるということです。



= インピーダンス対振幅 (Plot Z(f) ボタン):

これらのプロットでは、Sパラメータ・セット内の反射係数のインピーダンスが、周 波数に対してどのように変化するかを簡単に観測できます。



= スミス・チャートのインピーダンス(Plot Z ボタン)

スミス・チャートから、極座標または直交座標でのインピーダンス、マーカー・ リードアウト、開始および終了周波数、オーバーレイを含め、インピーダンス、位 相、および振幅の情報が得られます。



■ 時間領域のプロット(Plot TD ボタン)、インパルス応答対時間およびステップ応 答対時間を含む:

時間領域では、すべてのプロットがレコード時間内に収束しなければなりません。 そうでない場合、測定のタイム・インターバルが短すぎることを示している可能性 があります。典型的な t11 など、パルスがレコードの最初に近いと、原因と無関係 な前縁の応答部分がレコードの最後に折り重なることがあることに注意してくださ い。SDLA は、重なった末尾部分を内部で処理します。

この原因と無関係な部分は測定されたアナログ回路の現実ではなく、Sパラメータ・ セットを時間領域に変換する IFFT 演算の帯域制限効果による産物です。

周波数間隔が広すぎると、時間領域でエイリアシングが発生し、パルスが時間領域で エイリアスされた位置に折り重なります。



左側の Overlay を押すと、1 つの表示画面で最大 16 までのプロットを選択することができます。オーバーレイのプロットは、振幅対周波数、位相対周波数、インパルス対時間、ステップ応答対時間の4 軸に対して行われます。



Overlay メニューは左側に、Plot ボタンは下にあります。Plot を押すと、dB vs. GHz、 Phase in Degrees vs. GHz、Amplitude vs. Time、および Step Response vs. Time の 4 つの オーバーレイされた軸を持つウィンドウが開きます。



テスト・ポイント・フィルタ(伝達関数)プロット:テスト・ポイント・フィルタの 応答をプロットすると、システム・セットアップを確認することができます。問題が あると、通常はプロットに現れます。振幅、位相、インパルス、およびステップ・ グラフが使用できます。



■ Tx エンファシス・プロット:詳細については、「<u>Tx Emphasis メニュー (69 ページ</u>参照)」を参照してください。

この他のプロットも使用できます:

- DPOJET アイ・ダイアグラム・プロット:メイン・メニューの Config ボタンが Auto Configure に設定されている場合、Apply ボタンを押すと、有効になっているテスト・ポイ ント波形のアイ・ダイアグラム・プロットが DPOJET により生成されます。これらには、 ソース波形と、有効化されている1つ以上のテスト・ポイントからの波形が含まれます。 DPOJET は最大4つのプロットを生成できます。そこで、DPOJET メニューを開いてプロッ トの割り当てを変えて、見たい波形を表示しなければならない場合があります。(スコー プ・メニューからこれを行うには、Analyze>Jitter and Eye Analysis (DPOJET) を押します)。
- スコープ波形のプロット: テスト・ポイントの波形がオシロスコープ画面に表示されます。これらは、通常のオシロスコープのコントロールを使用して表示を調整できます。カーソル測定や通常の測定も行うことができます。

参照項目:

- プロットを使用して S パラメータをトラブルシュートする (62 ページ参照)
- <u>テスト・ポイントの理解(13 ページ参照)</u>

プロットを使用して S パラメータをトラブルシュートする

SDLA Visualizer の S パラメータ・プロットには、左側にオーバレイ・ツールがあり、選択 した複数のプロットを1つの画面に表示できます。このツールは、以下の多くのシナリ オで役に立ちます。

差動ペアにミスマッチのある DUT の観測



オーバーレイ・プロットを使用して問題のある VNA 測定をトラブルシュートする

オーバーレイ・プロットを使用して問題のある VNA 測定をトラブルシュートする

この例は、VNA で S パラメータを測定していますが、フィクスチャとケーブル間の接続が1本切れています。(また、S11と S22の問題にも注意してください)。フィクスチャの他の接続は良さそうです。正常なフィクスチャでは、下図で丸で囲まれた4つのプロットはすべて同じように見えるはずです。



位相応答の問題のトラブルシュート


ミックス・モード対シングルエンド・モードの確認



これらのプロットを使用して、ミックス・モードとシングルエンドの相違を確認で きます。



<u>ステップ応答の問題のトラブルシュート</u>

ステップ応答の問題のトラブルシュート

この例では、ステップ応答の立上り前に、異常な落ち込みが見られます。この原因 は、振幅応答の DC 領域をズーム・インすることで判明しました。VNA では DC を測 定できないので、S パラメータに通常は DC が含まれません。そこで、伝達関数フィ ルタの作成処理のために時間領域に変換する前に、SDLA で DC までデータを外挿し なければなりません。

下図に示すように、ノイズか VNA 測定の問題が原因で、S パラメータ・セット中の最初の データ・サンプルが前のものより低かったことにより外挿の問題が生じています。この結 果、曲線の外挿された部分で、10 分の数 dB 分わずかにオフセットされています。下図に 示すように、これは、ステップ応答に立上り前の落ち込みを生じさせるために十分です。



- プロット (54 ページ参照)
- <u>使用例とトラブルシューティング (105 ページ参照)</u>

Tx ブロックの概要

トランスミッタ・モデリング・ブロックは、二重の定義を含むという点で唯一のブロックで す。測定回路で一度定義され、シミュレーション回路モデルで再び定義されます。

簡易モデルでは、完全な 50 Ω環境が仮定されています。トランスミッタの環境が 50 Ωでな かったらどうでしょう? "Tx ブロック" を使用して、公称インピーダンスの設定など、異 なる構成をモデリングできます。トランスミッタを 1 つの 2 ポート S パラメータ・モデル で表したり、2 つの 1 ポートモデルで表したりできます。"エンファシス" オプションを構 成することもできます。

ソース・インピーダンスはユーザが指定できますが、テブナン等価電圧源は、ユーザが定義 する入力波形とシステム・モデルに基づいて、ソフトウェアにより計算されます。

テブナン等価電圧源:Tx ブロックにはテブナン等価電圧源が含まれています。これにはシス テムに対する特別な重要性があります。このポイントには、測定回路(ディエンベッド)パ スおよびシミュレーション回路(エンベッド)パスの両者で共有される共通の波形電圧が含 まれています。言い換えると、取り込まれた波形がシステムのシミュレーション側に渡され るポイントです。電圧源のインピーダンスはゼロなので、このポイントは、シミュレーショ ン回路が測定回路構成の負荷とならないように分離する場所です。

Tx ブロックを押すと、<u>Tx Configuration メニュー (67 ページ参照)</u>が開きます。ここから、 Emphasis ラジオ・ボタンを選択して、ダイアグラムに表示される Emphasis ボタンを押すこ とができます。これにより、<u>Tx Emphasis メニュー (69 ページ参照)</u>が開きます。

参照項目:

- Tx Configuration メニュー (67 ページ参照)
- Tx Emphasis メニュー (69 ページ参照)

Tx Configuration メニュー

このメニューで、トランスミッタ構成のモデリングを行います。メイン・メニューで Tx を押 すと、このメニューが開きます。

トランスミッタは、共通の差動電圧源を持つ2つのテブナン等価回路モデルに分けられま す。上側が測定回路(ディエンベッド)のパスで、下側がシミュレーション回路(エンベッ ド)のパスです。たとえば、下図は公称インピーダンスのトランスミッタ・モデルです。

SDLA Visi	ualizer - Tx Configuration				
Setup The	venin Equivalent model for de-embed a	and embed paths			
	6		50 b1 ohms 50 b2	Impedance Nominal v	
	© Emphasis	Tp11	NA 50 o1 ohms Tp12 50 o2	Impedance Nominal	Plot

次の図で、システムの下部(エンベッド)はトランスミッタを1つの2ポートSパラメー タ・モデルで表し、上部(ディエンベッド)は2つの1ポートSパラメータ・ブロックで表 しています。これらは、選択肢を例示するために違えてありますが、通常は上下のセクショ ンで同じセットアップが使用されます。



Emphasis ラジオ・ボタンを選択します。ダイアグラムに表示される Emphasis ボタンを押す と、Tx Emphasis メニュー (69 ページ参照)が表示されます。

📣 SDLA Visu	alizer - Tx Configuration						
Setup Thev	enin Equivalent model fo	r de-embed and embed pa	ths				
		e _s	\$	•	50 b1 hms 50 b2	Impedance Nominal	
	Emphasis		NA Tp11 Fire Emphasis	NA ol	50 c1	Impedance Nominal 💌	Piot

- <u>Tx ブロックの概要 (67 ページ参照)</u>
- Tx Emphasis メニュー (69 ページ参照)

Tx Emphasis メニュー

Tx Emphasis メニューにより、エンファシス、ディエンファシス、またはプリエンファシスの 各フィルタを指定、削除、または追加できます。FIR フィルタ・ファイルからデータを読み取 ることもできます。このメニューは、メイン・メニューで Tx を押して Emphasis ラジオ・ボ タンを選択し、次にダイアグラムに表示される Emphasis ボタンを押すことにより、開くこと ができます。エンファシス機能は、シミュレーション回路のパスにしか表示されません。

SDLA Visualizer - Tx Equalization Con	figuration		
Create Emphasis filter or load from	ı file		
	Emphasis	Specification	
	Thru	dB Add 3	
		Bit Rate Gb/s	Plot
	 Pre- Read From FIR File 		ок

4 種類のフィルタ応答が使用できます。各オプションには、特定の成分の効果の除去、または特定の成分のシミュレートを行う機能があります。プリエンファシス / ディエンファシスの単位は dB です。標準の 3 dB 設定を使用したり、任意の dB 設定を入力することができます。ソース信号のフィルタ結果を知るには、メイン・メニューで Apply を押し、システムのテスト・ポイント・フィルタを計算し直します。

- Thru:他の回路ブロックやデバイスにより追加されたディエンファシスの効果を取り除きます。
- De-:ディエンファシスを追加します。チャンネルを通じた高い周波数の損失を、低周波 成分を減衰することにより補正します。上の図に示されています。
- Pre-:プリエンファシスを追加します。チャンネルを通じた高い周波数の損失を、高い周 波成分を増幅することにより補正します。
- Read from FIR File:エンファシス・ブロックは、次のようにして FIR フィルタ・ファイ ルからセットアップすることができます。

Read from FIR file ラジオ・ボタンを選択します。フィルタ・ファイルの場所にブラウ ズします。オシロスコープの現在のサンプル・レート設定を使用して、FIR フィルタ がテスト・ポイントの伝達関数と結合されます。ファイル・フォーマットには、#で 始まるコメント行が含まれます。次に、少なくとも1行の <sample rate>; coef1, coef2, ... coefN という行があります。

SDLA Visualizer - Tx Equalization Configuration			
Create Emphasis filter or load from file			
	Emphasis	וך	
	◎ Thru	11	
	🗇 De-		Plot
	O Pre-		
	Read From FIR File Browse		ок
	Filename		

注:フィルタのセットアップは、エンファシス・タイプである必要はありません。システムをより適切にシミュレートするのに必要であればタイプを問いません。

Specification の設定

De-または Pre- ラジオ・ボタンを選択すると表示される Specification 設定で、エンファシスの 値の追加や削除を行います。ビット・レートは、ソース信号のビット・レートです。これに より、エンファシス・フィルタの振幅応答における周波数レンジの増加 / 減少が決まりま す。振幅周波数応答は周期的で、その周期はビット・レートにより決まります。フィルタの 振幅応答のピーク値は、ユーザが指定する dB 値により設定されます。

Plot ボタン

Plot を押すと、振幅対周波数、位相対周波数、インパルス応答対時間、ステップ応答対時間 の4つのグラフを含むウィンドウが表示されます。下図は、3 dB に設定されたディエンファ シスを追加した場合のプロットを示します。



次を押すと、さらにプロットのサンプルが表示されます。 3 dB のプリエンファシスを追加したプロット



3 dB のディエンファシスを削除したプロット



3 dB のプリエンファシスを削除したプロット



参照項目:

- Tx ブロックの概要 (67 ページ参照)
- <u>Tx Configuration ツール (67 ページ参照)</u>

エンベッド・ブロックの概要

エンベッド・ブロックは、Tx モデルに接続する最適なシステムをシミュレートするための4 ポート S パラメータ・モデルのカスケードで表されます。モデルは、S パラメータ・ファ イルから4 ポート、3 ポート、2 ポート、1 ポート、または伝達関数としてロードできま す。またモデルは、RLC の組み合わせや無損失トランスミッション・ラインから作成するこ ともできます。プローブの負荷モデルも含まれています。

代表的な使用法として、シリアル規格でのテストでは、コンプライアンス・チャンネルのエンベッドが必要となります。しかし、Rx ピンでのプロービングは不可能なことが多く、チャンネルのシミュレーションが必要になります。エンベッド・ブロックでシミュレートされたチャンネルを"挿入し"、閉じたアイを観測することができます。次に、Rx ブロックを使用してアイを開くことができます。



メイン・メニューで、Embed を押し、エンベッドするシミュレートされたチャンネルを作成 します。これにより、Embed メニューが開きます。これを使用して、いろいろなブロックを 構成することができます。ここを押すと、いくつかの構成例が表示されます。詳細について は、「De-embed/Embed メニュー (33 ページ参照)」を参照してください。

エンベッド・ブロック - いくつかの構成例

- 4 ポート・シングルエンドの S パラメータ・ファイル
- 4ポート差動 S パラメータ・ファイル
- 2つの2ポートSパラメータ・ファイル
- FIR フィルタ・ファイル(時間領域)
- 伝達関数ファイル(周波数領域)
- 各種 RLC の直列 / 並列構成
- 無損失トランスミッション・ライン・モデル
- 3ポートのプローブ負荷モデル・ファイル
- 1ポート負荷 S パラメータ・ファイル
- 2ポート負荷 S パラメータ・ファイル
- 公称負荷インピーダンス

参照項目:

De-embed / Embed メニュー (33 ページ参照)

Rx ブロックの概要

メイン・メニューで **R**x を押して、Rx ブロックを構成します。これにより、<u>Rx Configuration</u> <u>メニュー (77 ページ参照)</u>が開きます。 Rx ブロックは、シミュレーション回路のシリアル・データ・リンクのレシーバ・モデルで す。このブロックは、データ・ストリームのインテグリティを回復し、エンベデッドされた クロックを復元します。規格で定義されている、シリアル・データ・レシーバの最低許容レ ベルで動作するという点において、"リファレンス・レシーバ" として使用できます。(パッ ケージとターミネーション・モデルを含め、レシーバのアナログ部分は、S パラメータ・ ファイル、トランスミッション・ライン、および RLC 回路モデルを含む<u>エンベッド・ブ</u> ロック (74 ページ参照)を使用してモデリングできます)。

Rx ブロックには以下が含まれます。

- モード選択: User、AMI または Thru
- CTLE イコライザ(User モード)
- クロック・リカバリ(User モード)
- FFE / DFE イコライザ (User モード)
- オシロスコープ演算チャンネルへの CTLE 出力(User モード)
- イコライザの IBIS-AMI モデル(AMI モード)

Rx ブロックのイコライザは、リンク内の損失、クロストーク、反射、またはノイズを補正 します。リンクの性能をビット・エラー・レートなどの点で改善するために、最大の目的 は、アイ開口の信号対雑音比を最適化することです。オシロスコープでの測定では、この イコライザにより、レシーバ端における信号のタイミングと振幅のパラメータを正確にシ ミュレートできます。この測定ポイントは、シミュレートされた信号という意味から"仮想 Rx"と呼ばれることもあります。

レシーバには、単位インターバル内に値0または1のビットが受信されたかどうかを判断 するコンパレータ、または"スライサ"があります。スライサの正確なタイミングは、レ シーバ内のクロック・リカバリによって決まります。しかし、仮想 Rx は通常、プローブ や他の方法で直接アクセスできないので、適切な測定結果を得るために Rx イコライザの シミュレーションが必要になります。しばしば、イコライザの入力における信号のアイは "閉じ"ています。正しく設計された場合、イコライザはアイを"開き"、アイの高さ、幅、 またはその両方を拡大します。

エンベッド・ブロックの Rx Block AFTER を使用して、Rx 負荷におけるアイの閉じ具合を観 察できるように、チャンネルを作成し挿入します。これにより、Rx イコライゼーション後に コンパレータ(別名 "スライサ")が 0 / 1 を判定する場所である Rx 内部で信号がどのよ うに見えるかを Rx ブロックで観測することができます。

Rx ブロックには、User、AMI、および Thru の 3 つのイコライザ・モードがあります。 User モードでは、通常のシリアル・データ・レシーバが持つ CTLE (Continuous-Time Linear Equalizer)、FFE (Feed-Forward Equalizer)、DFE (Decision Feedback Equalizer)の各モデル が提供されており、これらを試すことができます。また、User モードでは SAS 6G からの LMS ベースの最適化条件、および PCI Express 3.0 からのピーク・ツー・ピーク・ベースの最 適化条件など、各種イコライゼーションの適用 / 最適化要件をサポートします。これらの 規格は CTLE や DFE を使用してモデリングできる "Behavioral Equalizer" を必要とします。 SDLA が、これら各種規格用の "Behavioral Equalizer" の実装を提供することに留まらず、さ らに高機能信号調整のシミュレーションを行い、それらを比較できるところまで進んで いることに注目してください。 AMI モードも使用できます。このモードは、チップ設計者や製造者、および同様のプラグイン機能を提供する EDA ツールなどから提供されるイコライザの記述である IBIS-AMI モデルをエミュレートします。この結果、シミュレートされた、より正確な測定、比較、および検証用の Rx 波形が得られることなります。



参照項目:

Rx Configuration メニュー (77 ページ参照)

Rx Configuration メニュー

メイン・メニューで Rx を押すと、Rx Configuration メニューが開きます。左側に、User、 AMI、および Thru の 3 つのラジオ・ボタンがあります。

User モード



User モードでは、挿入損失、クロストーク、反射、およびノイズの影響を修正することに より、データ・ストリームとクロックを回復するためのイコライゼーション・ツールとオ プションにアクセスできます。多くの CTLE、クロック・リカバリ、および FFE/DFE パ ラメータを指定でき、またタップの定義およびトレーニング・シーケンスの検出も指定 できます。またこのモードには、PCI Express、Gen3、SAS 6G、USB3 などの "behavioral equalizer" も実装されています。 **Config タブ**: Config タブでは、イコライゼーション処理は左から右に実行されます。CTLE および FFE/DFE のイコライザは、個別に有効にできます。両方のイコライザを有効にすると、CTLE イコライゼーションが最初に実行され、次に FFE/DFE イコライゼーションが実行されます。

次の各セクションで使用法の詳細を説明します。

CTLE を使用して信号のリカバリを改善する(79 ページ参照)

CTLE で PCIE オプションを使用する(82 ページ参照)

FFE/DFE イコライゼーションにクロック・リカバリを使用する(83 ページ参照)

FFE/DFE の調整による信号リカバリの向上(86 ページ参照)

FFE/DFE で PCIE オプションを使用する (88 ページ参照)

Taps タブを使用する(89 ページ参照)

Rx イコライザを User モードで実行する (91 ページ参照)

AMI モード

SDLA Visualizer - Rx Configuration	
Load the .ami and .dll for the AMI model. Click Results button to view the AMI output	
User Bit Rate Gb/s Config Bit Rate Gb/s Msg Log Tp3: A - B Image: Second se	Run Eq AMI Output Results OK

AMI モードは、チップ設計者や製造者、および同様のプラグイン機能を提供する EDA ツール などから提供されるイコライザの記述である IBIS-AMI モデルをエミュレートします。SDLA は、Rx ブロックの IBIS-AMI モデルのデジタル部分のみをエミュレートすることに注意して ください。Rx ブロックでモデルのアナログ部分は無視されますが、Rx パッケージとターミ ネータのモデリングに S パラメータ・ファイル、T-line モデル、および RLC 回路モデルを使 用できる "エンベッド・ブロック" を使用してモデリングできます。

詳細については、「Rx AMI モード (92 ページ参照)」を参照してください。

Thru モード

Thru モードを使用すると、EQ Tp4 の出力は EQ Tp3 への入力と同じになります。Rx Configuration メニューで Thru を選択してもパネルの表示は変わりません。

参照項目:

- Rx ブロックの概要 (75 ページ参照)
- Rx AMI モード (92 ページ参照)

CTLE を使用して信号のリカバリを改善する

CTLE イコライザを使用するには、メイン・メニューで Rx を押して、Rx Configuration メ ニューを開きます。User を選択します。"Config タブ" で、Equalizer:CTLE パネルは左側 にあります。



左側のラジオ・ボタンを使用して CTLE をオン / オフします。ドロップ・ダウン・メニュー では、4 つの CTLE タイプが使用できます。

- Standard
- FIR
- IIR
- PCIE3

CTLE の出力波形は Tp10 です。CTLE パネルで **Tp10** を押すと、Test Point and Bandwidth Manager が開き、そこで他のテスト・ポイントと同様に、Tp10 を演算チャンネルに割り 当てることができます。

データとクロック信号のリカバリには、CTLE 設定の調整が必要になる場合があります。右側 の Plot ボタンを押すと、CTLE をプロットできます。これにより、CTLE の応答を周波数領域 と時間領域の両方で見ることができます。

二次 CTLE

PCIE Gen3 および USB 3.0 などの多くの規格で二次 CTLE が定義されています。ここで説明する二次 CTLE の主なパラメータのほとんどの機能は、次の図に示されています。この図を参照しながら、図の後に示されている各パラメータの説明を確認してください。



周波数

次のパラメータのほとんどが、シリアル・データ規格で定義されています。

A_{de}: CTLE 伝達関数の DC ゲインです。これはリニア・スケールの正の数値です。デフォルト値は 0.8 です。

F_z: CTLE 伝達関数のゼロ周波数です。1 MHz ~ 20 GHz の範囲の値を指定します。デフォ ルト値は 750 MHz です。

F_{p1}: CTLE 伝達関数の 1 番目の極の周波数です。1 MHz ~ 20 GHz の範囲の値を指定します。 デフォルト値は 3.75 GHz です。

F_{p2}: 2次 CTLE 伝達関数の 2 番目の極の周波数です。1 MHz ~ 20 GHz の範囲の値を指 定します。デフォルト値は 5 GHz です。

IIR: CTLE Type ドロップ・ダウン・メニューにあるこのオプションは、CTLE パラメータ を設定するカスタム IIR フィルタ・ファイルをロードします。IIR フィルタ・ファイル は、ASCII テキスト・ファイルでファイル拡張子は .tsf です。ファイルでは、IIR フィルタ の定義に多項式伝達関数が使用されます。多項式の次数に制限はありません。ファイルに は、コメント行を表す #、多項式の分子のキーワードとして Numerator、分母のキーワー ドして Denominator が使用されます。たとえば、IIR が 4 GHz を極とする一次フィルタの 場合、分母は 1, 2*pi*4*1e6 と書きます。

次に、IIR フィルタ・ファイル定義の例を示します。

IIR CTLE Filter

defined by a polynomial transfer function

#

#

b1s^(n-1)+b2s^(n-2)+...+bn

```
#
       a1s^{(m-1)}+a2s^{(m-2)}+...+am
#
#
# using the following format
#
#[Numerator]
#b1, b2, ..., bn
#[Denominator]
#a1, a2, ..., am
#
# Note that unit is radian/second, not Hz
[Numerator]
5.026548245743669e+010, 3.158273408348595e+020
[Denominator]
```

1, 6.283185307179587e+010, 6.316546816697189e+020

注: 周波数の単位は Hz でなく、ラジアン / 秒です。

メイン・メニューで Apply ボタンを押すか、Rx Configuration メニューで Run Eq ボタンを押す と、SDLA は (IIR フィルタ定義と完全な信号パスに基づいて) FIR フィルタを生成します。 CTLE 出力 Tp10 が有効で演算波形に割り当てられていると、SDLA は Tp10 FIR フィルタ・ ファイル (sdlatp10.flt)を C:\TekApplications\SDLA\output filters に書き出し、そのフィルタを使 用するように演算セットアップを構成します。

FIR: このボタンを押すと、カスタム FIR フィルタを読み込んで CTLE パラメータを設定する ためのファイル・ブラウザが開きます。

PCIE3: PCIE Gen3 オプションが選択(CTLE Type ドロップダウン・メニューを使用)されて いると、SDLA Visualizer は PCIE Gen3 仕様に従い、最善の CTLE 設定を探す最適化プロセス を実行して、アイ領域を最大化します。詳細については、「<u>CTLE での PCIE オプション</u> (82 ページ参照)」を参照してください。

- FFE/DFE イコライゼーションにクロック・リカバリを使用する (83 ページ参照)
- FFE/DFE の調整による信号リカバリの向上 (86 ページ参照)
- Rx ブロックの概要 (75 ページ参照)

CTLE での PCIE3 オプションの使用

CTLE で PCIE3 オプションを使用するには、メイン・メニューで Rx を押して、Rx Configuration メニューを開きます。User を選択します。Config タブの Equalizer:CTLE パネルで、CTLE Type ドロップダウン・メニューから PCIE3 を選択します。

このオプションが選択されると、SDLA は最適化プロセスを実行して最良の CTLE 設定を探し、PCIE Gen3 仕様に従って、アイの開口を最大化します。PCIE Gen3 仕様は 7 CTLE プリ セットを定義しています。DC ゲインは dB 単位で、-6、-7、-8、-9、-10、-11、および -12 で す。PCIE3 がチェックされると、次の図に示すように UI が変わります。次の図を表示する には、ここを押してください。



- PCIE3 が CTLE パネルの CTLE Type ドロップダウン・メニューで選択されています。
- Adc、fz(GHz)、fp1(GHz)、fp2(GHz)が淡色表示になっていることに注意してくだ さい。それらは SDLA の最適化ルーチンで設定されます。
- fp1 = 2 GHz、fp2 = 8 GHz、および fz = fp1*Adc。Adc および fz の値は、CTLE 最適化の 実行後に更新されます。
- クロック・リカバリにより、Nominal ビット・レートが 8 Gb/s、PLL Type が 1、PLL BW MHz が 10 に設定されます。
- PCIE3 が FFE/DFE パネルの FFE/DFE Type ドロップダウン・メニューで選択されていま す。FFE/DFE はオン / オフできます。 FFE/DFE がオフの場合は CTLE のみがアクティブ です。FFE/DFE がオンの場合は、Rx イコライザでは CTLE と 1 タップの DFE が選択され ています。(PCIE Gen3 オプション: DFE (88 ページ参照)を参照してください)。
- Adapt Taps ドロップダウン・メニューで Auto が選択されています。

CTLE Type が PCIE3 に設定されている場合の処理順序

CTLE Type ドロップダウン・メニューで PCIE3 が選択されている場合は、次の順序で処理されます。

- 1. メイン・メニューで Apply ボタンが押されるか、Rx Configuration メニューで Run Eq ボタンが押されると、SDLA は最適な設定値を生成します。
- 2. SDLA により Adc、fz(GHz)、fp1(GHz)、fp2(GHz)の設定値が更新されます。
- 3. SDLA は、ファイル pcieAdaptationEQ.txt を C:\TekApplications\SDLA\taps に作成します。
- **4.** DFE がオフの場合、DFE Tap の値は 0 となります。DFE がオンの場合、DFE Tap の値は -30 mV ~ 30 mV になります。

PCIE の出力結果

右端のパネルの Results を押すと、最適化結果ファイル pcieAdaptationEQ.txt の内容が表示され ます。7 つのプリセット値がすべてリストされます。最適な CTLE 設定値にはラベル *** が付 けられ、この設定で Eye Area の値が最大になります。サンプル・ファイルをご覧ください。



参照項目:

- <u>CTLE を使用して信号のリカバリを改善する (79 ページ参照)</u>
- FFE/DFE の調整による信号リカバリの向上 (86 ページ参照)
- Rx Configuration メニュー (77 ページ参照)
- <u>Rx ブロックの概要 (75 ページ参照)</u>

FFE/DFE イコライゼーションにクロック・リカバリを使用する

クロック・リカバリ機能を使用するには、メイン・メニューで Rx を押して、Rx Configuration メニューを開きます。User を選択します。Config タブで、Clock Recovery パネルは中央 にあります。



クロック・リカバリは、Rx ブロックの FFE/DFE イコライゼーションで使用されます。ソフト ウェアは、位相ロック・ループ(PLL)回路をエミュレートして、クロック・リカバリを 実行します。テストするシリアル規格に定義されているデータ・レートを使用してくださ い。新しいシリアル・ラインをテストしている場合は、ビット・レート測定のためにアイ が開かれるようにトランスミッタ近く、または何らかのイコライゼーションの後(たとえ ば、Tx エンファシス・イコライゼーション、CTLE などの Rx イコライゼーション)でビッ ト・レートを測定する必要があるかも知れません。Clock Recovery パネルの Auto Detect オプ ションを使用してビット・レートを調べることもできます。

クロック・リカバリのトラブルシューティングに関する情報を以下に記します。

Nominal Bit Rate: 信号の公称ビット・レート。シリアル・データ規格に基づいて設計されて いるデバイスから生成される信号の場合、通常は規格により規定されています。異なる場合 は、Auto Detect オプションが役立ちます。

注:入力する公称ビット・レートは正確でなければなりません。そうでなければ、Auto Detect ラジオ・ボタンを押して、データとクロック信号を回復してください。

Auto Detect: このラジオ・ボタンが選択されると、SDLA は公称ビット・レートの近傍を探して、信号の正確なビット・レートを検出します。検出されたビット・レートを使用してアイを開いた後、そのビット・レートに基づいて公称ビット・レートをさらにチューニングして、クロック・リカバリ設定を調整することができます。

PLL Type: Type I と Type II の PLL クロック・リカバリをサポートしています。クロック・リカバリに使用する PLL の種類は、シリアル規格ごとに決まっています。

PLL BW: PLL のループ帯域幅は、PLL のエラー変換機能の -3 dB 周波数に定義されています。 この値はシリアル規格で指定されています。

PLL Damp: Type II PLL の減衰比です。この値はシリアル規格で指定されています。

Clk Delay (ps): Clk Delay は、PLL 結果の後に復元されたクロックに追加された特定の遅延で す。この値で、クロック・オフセットを調整してイコライゼーションの結果を最適化し、 最適なデータ・リカバリを実現します。

クロック・リカバリのトラブルシューティング

クロック・リカバリが失敗した場合、ビット・レートが予期しない値になる可能性がありま す。解決策の1つは、前述のように Clock Recovery パネルの Auto Detect を選択することで す。もう1つの解決策は、できるだけトランスミッタの近くでビット・レートを測定する ことです。オシロスコープ上で実行されている DPOJET アプリケーションを使用すると、 ビット・レートを正確に測定できます。

トレーニング・シーケンス機能:別の方法として、トレーニング・シーケンス機能を使用す る方法があります。この方法は、テスト信号を Rx イコライザで再実行する前に、Rx イコ ライザに正しいビット・シーケンスを識別させるのに役立ちます。詳細についてはここ を押してください。

🛃 SDLA Visualiz	er - Rx Configuration			- • ×
Training bi	sequence detection completed			
● User ◯ AMI	Bit Sequence	Training Sequence	Sequence File	
Config	2: 1 3: 1 4: 1	127 Pattern Length	Browse Save	
Taps	5: 0 6: 0 7: 0	Detect		
TrainSeq	8: 1 9: 0			
Error Log	10: 1 11: 1			

下図は、Rx Configuration メニューの TrainSeq タブです。

- 1. テストしたい信号と同じデータ・パターンを持ち、アイ・パターンがクリーンで開いてい る信号ソースを使用します。この信号としては、トランスミッタ近くで取り込まれたもの か、元の信号の低速バージョン、または Tx エンファシスで補正された元の信号、また はアイ開口を改善した Rx CTLE などが挙げられます。
- 2. Rx Configuration メニューで、TrainSeq タブを選択します。規格に従って正しい Pattern Length を設定します。たとえば、PRBS7 データ・パターンでは 127 とします。
- 3. Detect ボタンを押します。左側のフィールドにビット・シーケンスが表示されます。これ は元の信号と同じビット・シーケンスです。
- 4. 正しいビット・シーケンスを確認して、Config タブを選択し、元のテスト・ソースを 選択します。
- 5. Use TrainSeq ボックスが無効な場合は、選択(有効化)します。前のステップでビット・ レートを変更している場合、適切なビット・レートを入力します。
- 6. Run Eq ボタンを押します。
- オシロスコープ画面で結果をチェックします。再生されたデータ信号が表示されますが、 規格の仕様とは一致していないこともあります。再生されたデータに関する問題を修正す るために、その他の設計上の問題に対処しなければならない場合があります。

テスト・ポイント・フィルタのチェック:もう1つの調査領域は、テスト・ポイント・フィルタが適切かどうかということです。これらのフィルタのプロットを見直して、高周波ノイズや他の

問題により信号が劣化していなかどうか確認します。<u>グローバル帯域フィルタ (22 ページ参</u> <u>照)</u>を使用して、このようなノイズを低減します。

参照項目:

- <u>CTLE の使用 (79 ページ参照)</u>
- FFE/DFE の調整による信号リカバリの向上 (86 ページ参照)
- Rx Configuration メニュー (77 ページ参照)
- Rx ブロックの概要 (75 ページ参照)

FFE/DFE の調整による信号リカバリの向上

FFE/DFE イコライザを使用するには、メイン・メニューで Rx を押して、Rx Configuration メ ニューを開きます。User を選択します。Config タブで、Equalizer:FFE/DFE パネルは右側 にあります。

ハードウェアのレシーバを最適化するのと同じ多くの方法で、データとクロックを回復するために、Rx イコライザの設定を調整することができます。

💿 On	Equalizer: FFE / DFE					
Off (FFE/DFE Type	Adapt Taps				
	Custom 💌	Auto 💌				
	0 FFE Taps	3 DFE Taps				
	1 Sample/bit	0.181 Amplitude				
	1 Ref Tap	0.000773 Threshold				
	📃 Use TrainSeq	🔽 Autoset V				

FFE/DFE Type: ドロップ・ダウン・メニューには、以下の選択肢があります。

- Custom: FFE/DFE パネルのすべてのパラメータを構成できます。
- PCIE3: PCIE Gen3 仕様で定義されている特別な DFE オプションです。詳細について は、「FFE/DFE での PCIE オプション (88 ページ参照)」を参照してください。

Adapt Taps: ドロップ・ダウン・メニューには、以下の選択肢があります。

- Auto: 適応ルーチンが、初期タップ設定を識別して開始され、これらの値を調整して データとクロックのリカバリを最適化します。
- From Current: 適応ルーチンが、初期タップ設定として現在のタップ値を使用し、これらの値を調整してデータとクロックのリカバリを最適化します。初期タップ設定は、以前のテストで保存された値の場合があります。
- None: Rx イコライザが、現在のタップの値として、入力値または以前の適応セッションの値を使用します。入力された値を変更せずに使用します。このオプションは、Taps タブで既知のタップ・ファイルを読み込んで、以前に開始したテストを再開する場合に役立ちます。

次のパラメータのほとんどが、シリアル・データ規格で定義されています。

FFE Taps: FFE のタップ数は、通常、シリアル・データ規格で定義されている数に設定しま す。FFE Taps = 0 という値は、FFE に、タップ係数が1に固定された1つのタップがあること を意味しており、FFE がオフであることを示しています。デフォルト値は0です。

Sample/bit: 1ビット当たりの FFE タップ数を指定します。1より大きい数に設定すると、フラクショナル・スペースを持つ FFE であることを示します。デフォルト値は1です。

Ref Tap: FFE のリファレンス・タップは、プリカーサ・タップ数を示します。1 ビット当たりの FFE タップ数の倍数より1 だけ大きい数に設定する必要があります。デフォルト値は1 です。

DFE Taps: DFE のタップ数は、通常、シリアル・データ規格で定義されている数に設定します。たとえば、SAS では 3 であり、PCIE Gen3 での設定は 1 となります。

振幅: Rx イコライザのターゲット出力振幅です。Autoset Voltages(Autoset V チェックボック ス)を選択している場合、適応ルーチンによりこの値が自動的に調整され、データ信号の リカバリが最適化されます。デフォルト値は 0.15 V です。

しきい値: 信号の中間電圧レベルです。これは、ロジック・レベル間の過渡値に相当することもあります。バイアスされた信号の場合は、中間レベル値を入力します。差動信号の場合は、0Vに近い値です。デフォルト値は0Vです。正しい電圧が不明なときは、Autoset Voltages 機能を使用して最適値を決定してください。

Use TrainSeq: Rx イコライザを有効にして、TrainSeq タブで定義した長さの特定のパターン に対して適応ルーチンを最適化します。

Autoset V: このオプションを有効にすると、Rx イコライザの適応ルーチンにより Amplitude 値と Threshold 値が調整され、データとクロックのリカバリが最適化されます。

- CTLE を使用して信号のリカバリを改善する (79 ページ参照)
- FFE/DFE イコライゼーションにクロック・リカバリを使用する (83 ページ参照)

- <u>Rx Configuration メニュー (77 ページ参照)</u>
- <u>Rx ブロックの概要 (75 ページ参照)</u>

FFE/DFE で PCIE3 オプションを使用する

FFE/DFE で PCIE3 オプションを使用するには、メイン・メニューで Rx を押して、Rx Configuration メニューを開きます。User を選択します。Config タブの Equalizer:FFE/DFE パネ ルで、FFE/DFE Type ドロップダウン・メニューから PCIE3 を選択します。

PCIE Gen3 仕様には、FFE なしの 1 タップ DFE が定義されています。DFE のタップ値は -30 mV ~ 30 mV に制限されています。

💿 On	Equalizer: FFE / DFE						
Off (FFE/DFE Type		Adapt 1	Гарз			
	PCIE3	-	Auto	Ŧ			
	0 F	FE Taps	1	DFE Taps			
	1 5	Sample <i>l</i> bit	1	Amplitude			
	1 F	Ref Tap	0.000787	Threshold			
	🗌 Use TrainSeq 🛛 📝 Autoset V			toset V			

ドロップ・ダウン・メニューで PCIE3 が選択されると、次のフィールドの値は淡色表示 になり、その値は内部アルゴリズムにより設定されます。

- FFE Taps = 0
- Sample/bit = 1
- Ref Tap = 1
- Use trainSeq = 77
- DFE Taps = 1
- Amplitude (V) = 1
- Autoset V =オン
- クロック・リカバリは PCIE3 仕様に準じて設定されます:公称ビット・レート = 8 Gb/s、
 PLL Type = 1、PLL BW MHz = 10。

これらのフィールドは、FFE/DFE Type ドロップダウン・メニューで Custom が選択される と再び有効になります。

- <u>FFE/DFE の調整による信号リカバリの向上 (86 ページ参照)</u>
- Rx Configuration メニュー (77 ページ参照)
- Rx ブロックの概要 (75 ページ参照)

Taps タブを使用する

Taps タブ(Rx Configuration メニュー (77 ページ参照)で User モードを選択)の設定には、 Config タブの設定が反映されています。たとえば次の図で、FFE Taps の値は 1 であり、DFE フィールドには値の異なる 3 つのタップがあります。この状態は、FFE が 0 で DFE が 3 とい う Config タブの設定の結果です。これが Adapt Taps を Auto に設定した結果であれば、結果を タップ・ファイルに保存して、後で Rx イコライザを実行するときに使用できます。

SDLA Visualizer - Rx C	onfiguration			
View, Load, or Sav	e Tap Values for FFE/DFE			
● User	FFE Taps	DFE Taps	Taps File	
Config	1: 1.000	1: 0.068 2: 0.023 3: 0.006	Browse Save	
Taps TrainSeq Error Log				ок
	-	-		

FFE/DFE パネル(FFE/DFE Type の下のドロップダウン・メニュー)で PCIE3 が選択されており、かつ Adapt Taps の下で Auto または From Current が選択されている場合は、DFE 適応アル ゴリズムはアイ領域の最大化を試みます。結果の DFE タップ値が Taps タブに表示されます。

🛃 SDLA Visualizer - Rx Cont	figuration			
View, Load, or Save Ta	ap Values for FFE/DFE			
● Useri ○ AMI	FFE Taps	DFE Taps	Taps File	
Config	1: 1.000	1: 0.027	Browse Save	
Taps				
Error Log		Ţ		ок

PCIE3 が選択されると、Config タブの右パネルで Results ボタン(PCIE Output の下)が有効 になっています。Adapt Taps の下で Auto または From Current が選択されています。適応の 終了後、Results を押すと、適応結果ファイル *pcieAdaptationEQ.txt* が開きます。この結果ファ イルの DFE タップ(mv)の数値分解能は、Taps タブに表示されるものより良好です。PCIE Gen3 仕様によると、DFE タップ値は -30 mV ~ 30 mV の間の値です。

File Edit Format View Help # PCIE equalizer adaptation results # Time: 04-Nov-2012 19:04:35 # CTLE(dB), CTLE(lin), DFE Tap(mv), Eye Area(UI*mv), Eye Height(mv), Eye width(UI) -7 0.447 29.96 51.84 91.02 0.57 -8*** 0.398 26.87 52.73 88.26 0.60 -9 0.355 25.51 43.34 81.33 0.53 -10 0.316 22.06 35.65 75.01 0.48 -11 0.282 18.73 29.44 69.44 0.42	pcieAdaptationEQ - Notepad		
# PCIE equalizer adaptation results # Time: 04-Nov-2012 19:04:35 # CTLE(dB), CTLE(1in), DFE Tap(mv), Eye Area(UI*mv), Eye Height(mv), Eye width(UI) -6 0.501 30.00 44.20 84.13 0.53 -7 0.4447 29.96 51.84 91.02 0.57 -8*** 0.398 26.87 52.73 88.26 0.60 -9 0.355 25.51 43.34 81.33 0.53 -10 0.316 22.06 35.65 75.01 0.42 -11 0.282 18.73 29.44 69.44 0.42	File Edit Format View Help		
	<pre># PCIE equalizer adaptation result # Time: 04-Nov-2012 19:04:35 # CTLE(dB), CTLE(lin), DFE Tap(mv -6 0.501 30.00 -7 0.447 29.96 -8*** 0.398 26.87 -9 0.355 25.51 -10 0.316 22.06 -11 0.282 18.73</pre>	;), Eye Area(UI*mV), Ey 44.20 51.84 52.73 43.34 35.65 29.44	ye Height(mv), Eye width(UI) 84.13 0.53 91.02 0.57 88.26 0.60 81.33 0.53 75.01 0.48 69.44 0.42

AMI ファイルの詳細については、IBIS Open Forum (http://www.eda.org/ibis)を参照してください。特に、http://eda.org/pub/ibis/ver5.1/ver5_1.pdfの「I/O Buffer Information Specification for IBIS 5.1」、「AMI Executable Model File Programming Guide (セクション 10)」、および「AMI Parameter Definition File Structure (セクション 10A)」を参照してください。

- FFE/DFE の調整による信号リカバリの向上 (86 ページ参照)
- Rx Configuration メニュー (77 ページ参照)
- <u>Rx ブロックの概要 (75 ページ参照)</u>

Rx イコライザの実行

次の手順では、追加の調整が必要かどうかを判断するために、Rx イコライザを初期実行 する方法について説明します。

🚺 SDLA Visualiz	ter - Rx Configuration			- • 💌
Configure	CTLE, Clock Recovery, and/or FFE/DFE. Clock R	ecovery is required for FFE/DFE		
User AM Thru Config Taps TrainSeq Error Log	On Equalizer: CTLE T_{p10} Off CTLE Type Standard \checkmark A _{DC} f_z f_{p1} f_{p2} 0.8 A _{DC} 3.75 f_{p1} GHz 0.75 f_z OHz 5.0 f_{p2} GHz	Clock Recovery → Bit Rate: O Auto Detect Nominal G Gb/s PLL Type: O 1 O 2 10 PLL BW MHz 0.7 PLL Damp 0.0 Clk Delay ps	On Equalizer: FFE / DFE Off FFEDFE Type Adapt Taps Custom Auto 0 FFE Taps 3 DFE Taps 1 Sample/bit 0.15 Amplitude 1 Ref Tap 0.0 Threshold Use TrainSeq Autoset V	Run Eq PCIE Output Results CTLE Plot

- 1. 最初にメイン・メニューで入力の構成を行います。
- 次に、Rx イコライザで必要な Tp3 を有効にする必要があります。メイン・メニューで、 Tp3 を押し、<u>Test Point and Bandwidth Manager (22 ページ参照)</u>を使用して、テスト・ポイン トを有効にします(デュアル入力の場合は A-B モード)。
- メイン・メニューで Rx を押します。Rx Configuration メニューで、User ラジオ・ボタン を選択します。Config タブで、FFE と DFE Taps を入力し、テストする規格で定義され ているようにレシーバの PLL フィールドを構成します。(別の方法として、メイン・ メニューで Recall を押し、セットアップ・ファイルをロードすることによりテスト対 象の規格に従って SDLA を設定することもできます)。
- **4.** Clock Recovery パネルでビット・レートを設定(まだ規格ファイルで設定されてない場合)します。公称ビット・レートが正確でない場合は、Auto Detect を選択します。
- 5. Run Eq ボタンを押します。
- 出力波形を表示するには、オシロスコープ画面に移動します。Ref4 波形はデータ信号で Tp4 R4 というラベルが付いています。Ref3 波形は回復されたクロック波形で、Clk R3 というラベルが付いています。

- Rx Configuration メニュー (77 ページ参照)
- Rx ブロックの概要 (75 ページ参照)

AMI モード

多くのシリコン・ベンダーが、IBIS-AMI(Algorithmic Modeling Interface)モデリング・スタン ダードを使用して、マルチギガビット・シリアル・リンクをシミュレーションしています。 これらのベンダーな中には、イコライゼーション・モデルをエミュレートする2つの構成 ファイル(.DLL および.AMI)を開発者に提供しているところもあります。

AMI モードでは、User モードで使用可能な標準イコライゼーション・ツール(イコライザの 構成、タップ定義、およびトレーニング・シーケンスの検出など)を使用せずに、これら のベンダー提供ファイルをインポートして使用することができます。これは、EDA ツー ルまたは SDLA Visualizer のいずれを使用していても、同じベンダー・ファイルを使用で きることを意味します。

注: IBIS (ami) パラメータ・ファイルを SDLA Visualizer で使用するための変更方法の具体的な情報については、readme.txt ファイルをご覧ください。



Rx Configuration メニューから AMI モードを使用するには、AMI ラジオ・ボタンを選択して、.ami. の下の Browse を押します。開くメニューで、使用する .ami ファイルを選択します。.dll ファイルを選択するには、下の Browse ボタンを押します。

Tp3:A-B、Data および Clock のラベルは、メイン・メニューの Rx Block I/O ラベルと同様です。

Edit を押すと、.ami ファイルを Microsoft Notepad で表示して、編集することができます。

注:.ami ファイルを変更後に保存すると、実行時に Rx Block の出力動作が変わる可能性があ ります。.ami ファイルの AMI 構成パラメータの微調整後は、.ami ファイルや .dll ファイルを オシロスコープのディレクトリにインポートしたときに、パーミッションを "読み取り専 用" に変えることを推奨します。

Run Eq を押すと、Tp3 からデータを読み、.ami ファイルと.dll ファイルの情報と一緒に処理 した後、等化されたデータの新規波形をTp4(Ref4)に、回復されたクロック情報をTp5 (Ref3)にロードします。Rx ブロックで Run Eq を押すことにより、先立つ一連の操作を再 実行せずに、この特定のブロックを繰り返し実行することができます。

AMI Output の下の Results を押すと、.dll ファイルと同じフォルダに書き込まれた.txt ファ イル(AMI_out.txt)が開きます。このファイルには、タップの適応結果など、AMI モデル からの出力パラメータが含まれています。AMI モデルから出力された出力メッセージを チェックするには、Msg Log タブを押します。

.ami ファイルの詳細については、IBIS Open Forum (http://www.eda.org/ibis)を参照してください。特に、http://eda.org/pub/ibis/ver5.1/ver5_1.pdfの「I/O Buffer Information Specification for IBIS 5.1」、「AMI Executable Model File Programming Guide(セクション 10)」、および「AMI Parameter Definition File Structure(セクション 10A)」を参照してください。

参照項目:

- Rx Configuration メニュー (77 ページ参照)
- Rx ブロックの概要 (75 ページ参照)

Apply ボタンと Analyze ボタンにアクションを構成する

メイン・メニューの Apply ボタンと Analyze ボタンを使用してモデルを実際に実行する際 に、SDLA の DPOJET との連携方法や、新規波形を取り込むのか、前の波形を使用する のかなどについて、いくつか指定することができます。メイン・メニューで Config ボタ ンを押すと、次のメニューが開きます。



Apply ボタンの構成

Apply ボタンと Analyze ボタンのアクションを連携させるには、Automatically run Analyze when pressing Apply をオンにします。これにより、次に説明するように、Analyze ボタンの現在の構成設定が使用されます。

Apply ボタンの構成

Analyze ボタンの構成には、次の3つの選択肢があります。

Recalculate: DPOJET のセットアップや前の結果をクリアせずに、DPOJET で結果を 再計算します。これは、複数の取り込みによる測定結果を処理するために使用できま す。新規モデルを適用した場合は、結果の一貫性が損なわれることがあるので、この 選択肢は使用しません。

Clear and Recalculate: 前のデータ結果をクリアし、DPOJET のセットアップを変えずに DPOJET を自動的に実行します。

Auto Configure: 有効な全テスト・ポイントに対して DPOJET を自動構成し、TIE 測定を行い、アイ・ダイアグラムをプロットします。

注: DPOJET にカスタム設定が定義されている場合は、DPOJET が再構成されてしまうので、 Auto Configure は使用しません。

Waveform to use for Apply and Analyze

Apply ボタンまたは Analyze ボタンが押されるたびに、新規波形を取り込むかどうかを選択します。デフォルトでは、常に新規波形が取り込まれます。すでに取り込まれた波形を使用したい場合は、Use Current を選択します。

注: DPOJET の Analyze 機能を使用する際には、DPOJET でのクロック・リカバリの構成は データ・レートに基づくので、データ・レートを適切に構成することが重要です。

下図は、Clear and Recalculate に構成された Analyze ボタンの場合を示します。



- システムの理解 (9 ページ参照)
- DPOJET と SDLA Visualizer の連携 (17 ページ参照)

テストの実行:推奨される順序

Tektronix SDLA Visualizer は、高速シリアル信号のディエンベッド、エンベッド、イコライ ゼーション用の、柔軟で強力な一連のモデリング・ツールを提供します。このセクションで は、テストを実行する推奨順序について説明します。下記に一般的な手順と主なメニューを 記します。各手順でのより詳細な使用手順へのリンクも含まれています。概念的な説明につ いては、「<u>SDLA Visualizer の製品概要 (7 ページ参照)</u>」を参照してください。コンポーネント の詳細は、「メイン・メニューの詳細 (19 ページ参照)」を参照してください。

*注:*日本語、簡体字中国語、韓国語のオンライン・ヘルプの .PDF ファイルをダウンロードするには、www.tektronix.com にアクセスし、上部にある "Change Country"を押します。次に、検索語「SDLA Visualizer」を入力します。

- 最初に、プローブか直接の接続で、フィクスチャとオシロスコープをDUTに接続します。ソース信号をオシロスコープ入力チャンネルに接続します。オシロスコープのトリガ、垂直軸、および水平軸の設定を信号が適切に取り込めるように調整します。オシロスコープのオートセット機能を使用すると、この調整を簡単に行えます。サンプル・レートが、DSP校正フィルタが有効になっている値に設定されていることを確認してください(スコープの垂直軸メニューを参照)。
- 2. DPOJET がインストールされていて、正常に動作することを確認します。DPOJET は実行 したままにすることができます。
- 3. TekScope メニューで SDLA Visualizer を選択し、Analyze を押して SDLA Visualizer を開き ます(プログラムを切り替えは、Alt キーと Tab キーを使用します)。



- 4. ここで、測定回路(ダイアグラムの上側)の要素を構成します。測定回路は、フィクス チャ、ケーブル、プローブなど、取り込まれた信号からディエンベッド、つまり取り除 くべき機器を表します。最初の要素であるディエンベッド・ブロックの定義から始め ます。このブロックでは、Sパラメータ・ブロックのカスケードを1つ、RLC回路を1 つ、無損失トランスミッション・ラインを1つ使用して、モデルを表すことができま す。各要素は、プロット機能で確認することができます。回路の負荷も、多くの場合 はオシロスコープですが、ここで定義します。 手順:
 - a. メイン・メニューで De-embed を押します。De-embed / Embed メニューが開きます。

🚺 SDLA Visualize	er - De-embed		
Cascade Normalize Convert	Move Tp6 Tp7 Probe None SMA High Z	$\begin{array}{c} \begin{array}{c} 1 \\ 1 \\ 2 \\ 2 \\ 2 \\ 2 \\ 2 \\ 2 \\ 2 \\ 3 \\ 4 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1$	Apply Plot Save Recall OK

- **b.** Cascade タブで、該当する場合はプローブのオプション(SMA または High Z) を選びます。
- c. 最初のブロック B1 を押します。Block Configuration メニューが開きます。

SDLA Visualizer - Block Configuration					
Select B1 model and the applicable files if required					
Thru File RLC	Porti 💌	Label B1			
T Line	Port3 💌	Port4 V			

d. Thru、File、RLC、または T Line タブのいずれかを選択し、要素をモデリング する方法を選びます。

File タブを選択した場合は、Model ドロップダウン・リストからモデルの種類を選びます。たとえば、4 ポート・シングルエンドの S パラメータ・モデルを使用する場合は、"4-Port Single-ended"を選択します。Browse ボタンを押して、S パラメータ・モデルをロードし、必要ならばポート割り当てをやり直します。

必要に応じて、Plotを押し、選択したモデルのSパラメータをプロットします。

- e. OK を押して、Block Configuration メニューに戻ります。
- f. 測定回路モデルで必要な数の B2 ~ B8 ブロックで、この手順を繰り返します。 SDLA Visualizer は反射項とクロス・カップリング項を考慮するので、正しい順 序で各要素をロードすることが重要です。使用しないブロックは、単に "thru" として扱います。
- g. Block Configuration メニューの最後のブロックのラベルは、Scope、SMAProbe、 Load ですが、そのいずれかを押します。これにより、測定回路の出力ポートの 負荷となるものが決まります。多くの場合、これはオシロスコープ、スコープ

に接続された SMA プローブ、または High Z プローブが選ばれた場合には Rx 入 力(または他の何か)となります。

インピーダンスは、Impedance ドロップダウン・リストから選択することにより、 1 つの 2 ポート S パラメータ・ブロック、または 2 つの 1 ポート S パラメータブ ロックの公称値としてモデリングできます。デフォルトで、SDLA は 50 Ωのイ ンピーダンスを仮定します。

h. 右側で Plot オプションが使用できれば、必要な場合はモデルを表す S パラメー タをプロットすることができます。

詳細については、「De-embed/Embed メニュー (33 ページ参照)」を参照してください。

- 5. 次に、測定回路の2番目の要素 Tx ブロックを定義します。このブロックで、ディエンベッド・パスのテブナン等価モデルをセットアップし、トランスミッタの出力インピーダンスをモデリングします。これは公称値か、2つの1ポートSパラメータ・モデル、または1つの2ポートSパラメータ・モデルを使用して、実際のトランスミッタを表すようにモデリングします。手順:
 - a. 最初に、メイン・メニューで Tx を押して、トランスミッタのインピーダンスを構成します。(デフォルトで、SDLA は 50 Ωのインピーダンスを仮定します)。Tx Configuration メニューが開きます。上側のコントロールは測定回路用です。



- b. 次に、上の Impedance ドロップダウン・リストでオプションを選びます。OK を押します。
- c. 必要なら右の Plot を押して、この時点におけるモデルを表す S パラメータをプ ロットすることができます。
- d. テブナン等価電圧が SDLA により計算されます。

詳細については、「Tx Configuration メニュー (67 ページ参照)」を参照してください。

- 6. ここで、該当する場合は、シミュレーション回路モデルの要素を定義して、物理的に は存在しない要素をシミュレーションします。再び、Tx ブロックを使用して始めま す。 手順:
 - a. 最初に、メイン・メニューで Tx を押して、トランスミッタのインピーダンス を構成します。(デフォルトで、SDLA は 50 Ωのインピーダンスを仮定しま

す)。Tx Configuration メニューが開きます(上図)。下側のコントロールはシ ミュレーション回路用です。

- b. 次に、下の Impedance ドロップダウン・リストでオプションを選びます。イン ピーダンスは公称値か、1 つの2 ポート S パラメータ・モデル、または 2 つの 1 ポート S パラメータ・モデルとしてモデリングできます。OK を押します。
- c. 必要に応じて、Tx Configuration メニューの Emphasis ラジオ・ボタンを押して、 エンファシスを追加 / 削除することができます。Emphasis ボタンが回路ダイア グラムに表示されています。ボタンを押すと、Emphasis メニューが開きます。 OK を押します。

詳細については、「Tx Configuration メニュー (67 ページ参照)」を参照してください。

- 7. 次に、シミュレーション回路モデルの2番目の要素 Embed ブロックを定義します。これを使用して、シミュレーション・パスの構成要素を定義します。エンベッド・ブロックは、前述のディエンベッド・ブロックと同じような機能を持ちます。 手順:
 - a. メイン・メニューで Embed を押します。De-embed / Embed メニューが開きます。 Cascade タブを選択します。



- b. 最初のブロック B1 を押します。Block Configuration メニューが開きます。
- c. Thru、File、RLC、または T Line タブのいずれかを選択し、要素をモデリング する方法を選びます。

File タブを選択した場合は、Model ドロップダウン・リストからモデルの種類を選 びます。たとえば、4 ポート・シングルエンドの S パラメータ・モデルを使用する 場合は、"4-Port Single-ended"を選択します。Browse ボタンを押して、S パラメー タ・モデルをロードし、必要ならばポート割り当てをやり直します。

必要に応じて、Plotを押し、選択したモデルのSパラメータをプロットします。

- d. OK を押して、Block Configuration メニューに戻ります。
- e. シミュレーション回路モデルで必要な数の B2 ~ B8 ブロックで、この手順を繰り返します。SDLA Visualizer は反射項とクロス・カップリング項を考慮するの
で、正しい順序で各要素をロードすることが重要です。使用しないブロックは、 単に "thru" として扱います。

f. Block Configuration メニューの最後のブロック、Rx Load を押します。これにより、シミュレーション回路の出力ポートの負荷となるものが決まります。多くの場合、これは物理的なレシーバをモデリングします。

インピーダンスは、Impedance ドロップダウン・リストから選択することにより、 1 つの 2 ポート S パラメータ・ブロック、または 2 つの 1 ポート S パラメータブ ロックの公称値としてモデリングできます。デフォルトで、SDLA は 50 Ωのイ ンピーダンスを仮定します。

g. 右側で Plot オプションが使用できる場合は、この時点におけるモデルを表す S パ ラメータをプロットすることもできます。

詳細については、「De-embed/Embed メニュー (33 ページ参照)」を参照してください。

 次に、シミュレーション回路モデルの3番目の要素、Rxブロックを定義します。これを 使用して、Rxブロック内のイコライゼーションをシミュレートします。これで、仮想 的にレシーバ・ピンの波形を観測できます。CTLE、FFE/DFE および IBIS AMI の各モ デルが使用できます。 手順:

a. メイン・メニューで Rx を押します。Rx Configuration メニューが開きます。

📣 🛛 SDLA Visualiz	er - Rx Configuration			- • •
Configure	CTLE, Clock Recovery, and/or FFE/DFE. Clock R	ecovery is required for FFE/DFE		
 User AMI Thru Config Taps TrainSeq Error Log 	On Equalizer: CTLE r_{p10} Off CTLE Type Standard \checkmark ADC f_z f_{p1} f_{p2} 0.8 ADC 3.75 f_{p1} GHz 0.75 f_z GHz 5.0 f_{p2} GHz	Clock Recovery — Bit Rate: Auto Detect Nominal 6 Gb/s PLL Type: I 2 10 PLL BW MHz 0.7 PLL Damp 0.0 Clk Delay ps	On Equalizer: FFE / DFE Image: Off of the state of the	Run Eq PCIE Output Results OK

- b. モデリングするイコライザの種類をUser、IBIS AMI、または Thru(EQ なし) から選択します。
- c. User を選択すると、CTLE/FFE および DFE のイコライザを使用できます。CTLE では、CTLE Type の下で、CTLE を定義する方法(Standard、IIR、FIR、または PCIe 3.0)を選びます。CTLE の出力を見るには、Tp10 ラジオ・ボタンを選択し、 Tp10 を使用可能な演算チャンネルに割り当てます。
- d. DFE および FFE を使用するには、Clock Recovery の構成が必要です。Clock Recovery の構成後、On ラジオ・ボタンを選択して FFE/DFE ブロックを有効にし ます。FFE/DFE Type の下で、Custom または PCIE3 を選択し、FFE/DFE 設定を 構成します。
- e. 前にメイン・メニューの Apply を押しており、モデルの変更が Rx ブロックだけの 場合は、Run Eq ボタンを押すだけでイコライザが適用されます。他の変更も行っ た場合は、Rx ブロックの OK を押し、次にメイン・メニューの Apply を押します。

詳細については、「<u>Rx Configuration メニュー (77 ページ参照</u>)」を参照してください。

 Cれで、モデルの定義が完了したので、テスト・ポイントの構成を行います。メイン・メニューの任意のテスト・ポイントを押すと、Test Point and Bandwidth Manager が開き、テスト・ポイントの演算チャンネルへの割り当てや、他のオプションの指定ができます。SDLA には 12 のテスト・ポイントがあり、スコープで最大 4 つの演算波形と 2 つのリファレンス波形を同時に表示できます。詳細は、「<u>Test Point and Bandwidth Manager</u> (22 ページ参照)」を参照してください。

A Visualizer - Test Poi	int and Bandwidth Configuration					
- Map the desired te	est points to Math to see the processed	d waveform				
Tp On/Off	Map Tp to Math	Label	Filters	Global BW Limit:	Delay	
Math1	None	NA	Save	None	C Keep Delay	
Math2	Tp1: Main 💌	Tp1	Save	Auto	Remove Delay	
Math3	Tp2: Main 💌	Tp2	Save	Custom	Adjust Delay	
Math4	Tp3: Main 💌	ТрЗ	Save			
C Ref3	Tp5					
C Ref4	Tp4					ок
			Export f	ilters for 32-bit scope		

- 10. モデルの構成後は次の作業を行います。
 - a. メイン・メニューの Config ボタンを押します。表示されたメニューで、Apply ボタ ンと Analyze ボタンが押されたときのアクションを構成します。詳細については、 「<u>Apply ボタンと Analyze ボタンにアクションを構成する」を参照してください。</u> (93 ページ参照)



- b. メイン・メニューの Apply ボタンを押します。下のステータス・バーに処理の完了が 表示されるまで待ちます。Apply を押すと、上記で定義した測定回路モデルとシミュ レーション回路モデルに基づいて、有効な各テスト・ポイントの伝達関数が作成され ます。有効なテスト・ポイントに割り当てられた演算波形およびリファレンス波形 は、オシロスコープ上で自動的に更新されます。上記で Rx ブロックが有効になってい ると、ブロックのクロック出力とデータ出力が Ref3 および Ref4 に保存されます。前の 手順で DPOJET を実行するように構成した場合は、DPOJET が自動で実行されます。
- 11. モデルが適用されると、メイン・メニューの Plot を押してテスト・ポイントをプロット することができます。振幅、インパルス応答、ステップ応答、および位相のプロット を表示して、期待した応答になっているかを確認できます。詳細については「<u>プロッ</u> ト」を参照してください。 (54 ページ参照)
- 12. プロットされた応答が期待どおりでない場合は、メイン・メニューの Global BW limit ボ タンを押して、帯域を微調整してみます。詳細は、「<u>Test Point and Bandwidth Manager</u> (22 ページ参照)」を参照してください。
- 13. 必要に応じて、有効な各テスト・ポイントの伝達関数を表すテスト・ポイント・フィ ルタを保存することができます。モデルの適用後、任意のテスト・ポイントを押して Test Point and Bandwidth Manager を開きます。Save ボタンを押すと、有効な任意のテス ト・ポイントを保存できます(メイン・メニューの Save ボタンはセットアップを保存 するもので、これとは異なります)。詳細は、「<u>テスト・ポイントの保存」を参照</u> してください。(27 ページ参照)

これで、SDLA Visualizer ソフトウェアを実行する一般的な手順は終わりです。各ブロックに は、この手順で説明されていない多くの構成パラメータがあります。SDLA Visualizer ソフト ウェアを最大限活用するために、各処理ブロックの詳細を学んでおいてください。

参照項目:

- 使用例とトラブルシューティング (105 ページ参照)
- メイン・メニューの詳細(19ページ参照)
- SDLA Visualizer の製品概要 (7 ページ参照)

使用例とトラブルシューティング

タスク

SDLA Visualizer で実行できる多くのタスクのいくつかの例を示します。

ケーブルのディエンベッド (105 ページ参照)

シリアル・データ・リンク・チャンネルのエンベッド (110 ページ参照)

高インピーダンス・プローブのディエンベッド (114 ページ参照)

デュアル入力波形での重大な反射のディエンベッド (116ページ参照)

シングル入力波形での DDR 反射の除去 (135 ページ参照)

S パラメータ・プロットによるトラブルシュート

SDLAのSパラメータ・プロットは、次を含む多くのシナリオで役に立ちます。

- 差動ペアにミスマッチのある DUT の観測

- オーバーレイ・プロットを使用して問題のある VNA 測定をトラブルシュートする

- 位相応答の問題のトラブルシュート
- ミックス・モード対シングルエンド・モードの確認

- ステップ応答の問題のトラブルシュート

詳細については、「<u>プロットを使用して S パラメータをトラブルシュートする (62 ペー</u> <u>ジ参照)</u>」を参照してください。

参照項目:

■ <u>テストの実行:推奨される順序(97 ページ参照)</u>

ケーブルのディエンベッドの例

この例で、一対のケーブルをディエンベッドする方法について、手順を追って説明します。 この例では、トランスミッタのインピーダンスは 50 Ωを仮定しています。スコープの Rx 負 荷インピーダンスも 50 Ωと仮定します。各ケーブルを2 ポート S パラメータ・モデルで表 します(1 本につき 1 モデル)。目標は、ケーブルをディエンベッドして、50 Ωの負荷を 駆動するトランスミッタからの信号を観測することです。

この例ではシングル入力モードを使用します。

1. 最初に、メイン・メニューで Single Input ラジオ・ボタンを選択します。



- 2. 次の手順は、測定回路モデルを定義することです。モデルは、トランスミッタのソース・ インピーダンス、ケーブル、およびスコープで構成されます。
 - a. メイン・メニューで Tx を押して、<u>Tx Configuration メニュー (67 ページ参照)</u>を開きま す。上側で、Impedance ドロップダウン・リストから Nominal を選択し、b1 および b2 テキスト・ボックスに「50」Ωと入力します。OK を押します。



注:インピーダンス値は、トランスミッタの実際のインピーダンスをモデリングする ようにします。これは、Sパラメータか公称値を使用して行うことができます。正確 なディエンベッドを行うためには、この値がトランスミッタのインピーダンスと一 致することが重要です。

b. メイン・メニューで De-embed を押して、<u>De-embed メニュー (33 ページ参照)</u>を開 きます。Cascade タブを選択します。

🚺 SDLA Visualizer	embed	
Cascade Normalize Convert	ove Tp6 b1 1 2 NA 1 Thru 1 Thru	Apply Piot Save Recall OK

c. スコープの入力インピーダンスをモデリングするために、Scope というラベルのカス ケードの最後のブロックを押します。これにより、下図に示す <u>Load Configuration メ</u> <u>ニュー (52 ページ参照)</u>が開きます。"Model"の下で Nominal を選択します。両方の ポートのインピーダンスとして「50」Ωと入力します。 OK を押します。

SDLA Visua	lizer – Load Block Configuration		
Select the	e load model and the applicable file(s) if requ	lired	
	Model Nominal	ohm Port 1 v 50 ohm Port 2 v 50	Label

d. ブロック B8 を押します。これにより、下図に示す <u>Block Configuration メニュー</u> (46 ページ参照)が開きます。File タブの "Model" の下で、2-Port を選択します。上側 の Browse を押して、ドロップダウン・メニューから "twoPortActive.s2p" を選択しま す。下側の Browse ボタンでも同じことを行います。Label の下の "B8"を "Cable" に変 えます。Plot を押して、両方のケーブルの S パラメータ・プロットを確認します。 ポート割り当てと、S パラメータの受動性をチェックするために、Check を押しま す。OK を押します。

注: ケーブル・モデルが 4 ポート S パラメータのブロックで表される場合は、モデルの種類として 4-Port を選び、.s4p ファイルをロードします。

SDLA Visualizer	- Block Configuration and the applicable files if required		
Thru File RLC T Line	Model 2-Port	twoPortActive.s2p Port1 • Browse Port1 • Browse Port1 • twoPortActive.s2p	Label Cable Check Passivity Plot OK

- **3.** 次の手順は、シミュレーション回路モデルを定義することです。この例では、トランス ミッタ信号は理想的な 50 Ω負荷を駆動します。
 - a. 再度、メイン・メニューで Tx を押し、Tx Configuration メニューを開きます(上記の 手順1を参照)。下側で、Impedance ドロップダウン・リストから Nominal を選択し、 c1 および c2 テキスト・ボックスに「50」Ωと入力します。OK を押します。

*注:*インピーダンス値は、ディエンベッド・パスの値と一致させます。

b. メイン・メニューの Embed を押すと、Embed メニューの Cascade タブが表示されま す。カスケードの最後のタブ RX Load を押します。



c. これにより、下図に示す Load Configuration メニュー (52 ページ参照)が開きます。
 "Model"の下で Nominal を選択します。両方のポートのインピーダンスとして「50」
 Ωと入力します。OK を押します。

SDLA Visualizer – Load Block Configuration			x
Select the load model and the applicable file(s) if rec	quired		
Model Nominal	ohm Port 1 ¥ 50 ohm Port 2 ¥ 50	Label Load	

- d. この例では理想負荷ブロックのみを使用するので、Embed カスケード・ダイアグラム の他のブロックはすべて Thru のままにします。OK を押します。
- 4. 測定回路モデルとシミュレーション回路モデルを定義したら、希望のテスト・ポイントを 有効にすることができます。(テスト・ポイントの詳細については、「<u>テスト・ポイント</u> <u>の理解(13ページ参照)</u>」を参照してください)。目的は、理想 50 Ω負荷を駆動するトラ ンスミッタの出力端の信号を観測することなので、Tp2 を有効にする必要があります。

注: Tp1 でディエンベッドされた信号が得られるように見えるかも知れませんが、Tp1 は測定 回路の負荷を伴った Tx 出力端の信号を示します。測定回路の影響は完全に取り除きたいの で、Tp2 が正しいテスト・ポイントとなります。

- a. メイン・メニューで Tp2 を押して、Test Point and Bandwidth Manager を開きます。
- b. Map Tp to Math の下の最初のドロップダウン・リストで Tp2:Main を選択します。
- c. Tp On/Off の下で、Math1 の隣のラジオ・ボタンを選択します。Math1 を Tp2 に対応させることになるので、最後にモデルを適用したとき、フィルタが自動で Math1 に構成されます。
- d. OK を押します。

- Map the desired to	est points to main to see the processed	waveloffit				
Tp On/Off	Map Tp to Math	Label	Filters	Global BW Limit:	Delay	
Math1	Tp2: Main 💌	Tp2	Save	None	🔘 Keep Delay	
Math2	Tp1: Main 💌	Tp1	Save	Auto	Remove Delay	
Math3	Tp2: Main 💌	Tp2	Save	Custom	Adjust Delay	
C Math4	Tp3: Main 💌	ТрЗ	Save			
C Ref3	Tp5					
C Ref4	Tp4					0

5. メイン・メニューで Apply を押したときに DPOJET も実行するように、ここでシステム を構成します。メイン・メニューで Config を押します。表示されるメニュー(下図) で、Automatically run Analyze when pressing Apply というボックスをチェックします。 Configure Analyze ボタンの下の Auto Configure を選択します。OK を押します。

Configure Apply Button	
Automatically run Analyze w	hen pressing Apply
Configure Analyze Button	
Recalculate Use current filters and recalculate	ate without changing DPOJET setup
Clear and Recalculate Use current filters and clear da	ata and recalculate, without changing DPOJET setup
Auto Configure Use current filters and automat	tically setup DPOJET parameters
Waveform to use for Apply and A	Analyze
New	O Use Current
Acquire new wfms and apply filt	ters Apply filters to current wfms

- Cこで、メイン・メニューの Apply を押して、モデルを処理します。これで Tp2 の伝達関数が計算されます。結果の波形は、オシロスコープの Math 1 に表示されます。DPOJET を自動で実行するように構成しているので、DPOJET により TIE 測定がセットアップされ、Tp2 におけるアイ・ダイアグラムがプロットされます。
- 7. SDLA Visualizer の処理が終わった後、メイン・メニューの Plot を選択して、Tp2 の位相、振幅、インパルス応答、ステップ応答を観測します。
- 8. メイン・メニューの右上の帯域設定を確認します。ディエンベッドにより、ノイズが 増幅されることがあるので、結果を元に、この微調整を行う必要があるかも知れませ ん。帯域の微調整については、「<u>Test Point and Bandwidth Manager (22 ページ参照)</u>」を参 照してください。

通常、ケーブルによる減衰は小さいので、自動帯域では帯域が広すぎる結果となることが あります。この場合は、メイン・メニューのテスト・ポイント・ボタンを押して、Test Point and Bandwidth Manager を開きます。 Global Bandwidth Limit の下の Custom を選択 し、適切な応答をセットアップします。

シリアル・データ・リンク・チャンネルのエンベッドの例

この例では、シリアル・データ・リンク・チャンネルのモデルを作成してエンベッドし、DUT から取り込まれた信号への効果をシミュレートする方法を示します。 ここで、モデリングす るチャンネルはツイスト・ペア・ケーブル、コネクタとプリント基板で構成されています。

この例ではシングル入力モードを使用します。



- 最初の手順は、測定回路モデルを定義することです。波形取り込み方法のガイドとして、前記の「ケーブルのディエンベッドの例 (105 ページ参照)」の手順1と手順2を 使用します。
- 2. 次に、シミュレーション回路モデルを定義します。
 - a. 再度、メイン・メニューで Tx を押し、Tx Configuration メニューを開きます(下記を 参照)。下側で、Impedance ドロップダウン・リストから Nominal を選択し、c1 およ び c2 テキスト・ボックスに「50」Ωと入力します。エンベッド・パスの Tx ソース・ インピーダンスは、ディエンベッド・パスと同じに設定します。OK を押します。

注: インピーダンス値は、シミュレートする値と一致させます。これは、トランスミッタの実際のインピーダンスか、他のインピーダンス値でもかまいません。



b. メイン・メニューで Embed を押すと、Embed メニューが開きます。Cascade タブを選 択します。B1 ~ B8 を使用して、PCB のトレース、コネクタおよびツイスト・ペア・ ケーブルを表すブロックを構成します。

SDLA Visualiz Cascade Normalize Convert	er - Embed Move > Tp8 > Tp9	$\begin{array}{cccccccccccccccccccccccccccccccccccc$	Apply Piot Save Recall OK
		L2 B5 B6 B7 B7 B8 T1P9 C2	ОК

c. カスケードの最後のタブ RX Load を押します。これにより、下図に示す Load Configuration メニュー (52 ページ参照)</u>が開きます。"Model"の下で Nominal を選択しま す。両方のポートのインピーダンスとして「50」Ωと入力します。 OK を押します。

SDLA Visualizer – Load Block Configuration Select the load model and the applicable file(s) if required		~ ~ ~	
Model Nominal	Port 1 v 50 ohm Port 2 v 50	Label Load	

- d. 必要に応じて、メイン・メニューでRxを押し、Rxブロックを構成します。
- 測定回路モデルとシミュレーション回路モデルを定義したら、希望のテスト・ポイント を有効にすることができます。(テスト・ポイントの詳細については、「<u>テスト・ポ</u> イントの理解(13ページ参照)」を参照してください)。
 - a. メイン・メニューで任意のテスト・ポイントを押して、Test Point and Bandwidth Manager を開きます。
 - b. テスト・ポイントの有効化、対応、およびラベル付けを適切に行います。シミュレー ション・パスのテスト・ポイントは、Tp2、Tp3、Tp8、Tp9、Tp11 および Tp12 で す。(Rx ブロックを構成した場合、これらのテスト・ポイントは Tp4、Tp5 およ び Tp10 となります)。

Visualizer - Test Po Map the desired te	int and Bandwidth Configuration est points to Math to see the processed	waveform	_		-		
Tp On/Off	Map Tp to Math	Label	Filters	Global BW Limit:	Delay	٢	
Math1	Tp2: Main 💌	Tp2	Save	None	🔘 Keep Delay		
Math2	Tp3: Main 💌	Tp3	Save	Auto	Remove Delay		
Math3	Tp8: Embed 💌	Tp8	Save	Custom	Adjust Delay		
Math4	Tp11: Tx 💌	Tp11	Save				
C Ref3	Tp5						
Ref4	Tp4		? Export	filters for 32-bit scope			ОК

- c. OK を押します。
- 4. メイン・メニューで Apply を押したときに DPOJET も実行するように、ここでシステムを構成します。
 - a. メイン・メニューで Config を押します。
 - b. 表示されるメニュー(下図)で、Automatically run Analyze when pressing Apply と いうボックスをチェックします。Configure Analyze ボタンの下の Auto Configure を 選択します。

Configure Actions for the Apply and Analyze Buttons	
Configure Apply Button	
Automatically run Analyze when pressing Apply	
Configure Analyze Button	
Recalculate Use current filters and recalculate without changing DPOJET setup	
Clear and Recalculate Use current filters and clear data and recalculate, without changing DPOJET s	etup
Auto Configure Use current filters and automatically setup DPOJET parameters	
Waveform to use for Apply and Analyze	
New Acquire new wfms and apply filters Acquire new wfms and apply filters	IS
	ок

- c. OK を押します。
- 5. ここで、メイン・メニューの Apply を押して、モデルを処理します。これにより、構成されたテスト・ポイントの伝達関数が計算されます。結果の波形はオシロスコープで表示できます。DPOJET が自動で実行されるように構成されているので、DPOJET がセットアップされ開かれます。DPOJET のプロット・ウィンドウでテスト・ポイントのアイ・ダイアグラムを観測します。
- 6. SDLA Visualizer の処理が終わった後、メイン・メニューの Plot を選択して、位相、振幅、 インパルス応答、ステップ応答のグラフを確認します。

高インピーダンス・プローブのディエンベッドの例

この例での目的は次のとおりです。

- ユーザは、高インピーダンス・プローブを使用して、トランスミッタ・チャンネルと レシーバの付いたアクティブなシステムのテスト・ポイントを、プローブ負荷のか かった状態で観測したいと思っています。
- またユーザは、プローブをディエンベッドして、システムに負荷のない状態でもシステムの同じポイントを観測したいと考えています。

この例ではシングル入力モードを使用します。

まず、回路ダイアグラムに高インピーダンス・プローブを含む測定回路(ディエンベッド)パスをセットアップします。

1. メイン・メニューで Single Input ラジオ・ボタンを選択します。次に、De-embed を押します。



これにより、De-embed メニューが開きます。High Z ラジオ・ボタンを選択します。これにより、回路ダイアグラムに Probe ボタンと、ダイアグラム上でプローブの位置を移動可能にする矢印が表示されます。

SDLA Visuali Cascade Normalize Convert	Move Tp6 Tp7 Probe None	Probe Probe b1 1 B1 Tp6 3 4 b2 3 L1 1 Thru 2 1 1 Thru 2 B2 3 4 3 4 3 4 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	Apply Plot Recall
	SMA High Z	$\begin{array}{c} 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 $	OK

3. Probe ボタンを押します。これにより、Probe Configuration メニューが開きます。

SDLA Visualizer - Probe Configuration			
Define S-parameter files for the Probe and Scope			Help Paper About
Configure Probe/Scope	Probe + Port 1 • ? P7380 • Load Port 2 •	Label Probe A Browse Ch1 •	Piot Probe Scope
	Filename	Filename	

- 4. Probe パネルで、適切なプローブ・モデルを選択します。Load を押して、プローブのブラ ウズ・メニューを開き、3 ポートの S パラメータ・ファイルをロードします。
- 5. プローブの S パラメータをプロットする場合は、右側の Plot の下の Probe を押します。 OK を押します。
- 6. De-embed メニューで、回路ダイアグラムの回路内にプローブがあり、回路内のテスト・ポ イントにはプローブ負荷が加わっています。これには、Tp1、Tp6、およびTp7が含まれま す。言い換えると、SDLA内のすべてのテスト・ポイントの波形は、回路ダイアグラムが 示すとおりに生成されるということです。プローブが回路内にあれば、プローブは回路の 負荷になっています。(プローブの負荷が "ない" 回路とテスト・ポイントを調べるには、 メイン・メニューの Embed Block を押して、プローブなしの同じ回路を作成します)。
- 7. プローブ接続ポイントの両側のブロックには、Sパラメータ・ファイルのロード、RLC モデルの作成やトランスミッション・ラインの作成を行って、プローブが接続されて いるシステムを表現するようにします。
- 8. メイン・メニューで Tx を押します。Tx Configuration メニューが開きます。

SDLA Visualizer - Tx Configuration				
Setup Thevenin Equivalent model for	de-embed and embed paths			
		50 b1 ohms 50 b2	Impedance Nominal 💌	
C Emphasis	NA Tp11	NA 50 of ohms Tp12 50 c2	Impedance Nominal	Plot

9. システムが接続されている DUT トランスミッタのソース・インピーダンスが、最も良く 表現されるように Tx ブロックをセットアップします。OK を押します。

次に、下のダイアグラムの手順に従って、測定回路をセットアップするとき使用したのと 同じ回路ブロックとパラメータを持ち、プローブなしのシミュレーション回路をセット アップします。

- 1. メイン・メニューで Tx を押します。Tx Configuration メニューが再び開きます(上記参照)。
- 2. 上記のように、Tx ブロックをセットアップします。OK を押します。
- 3. メイン・メニューで Embed を押します。これにより、Embed メニューが開きます。



4. プローブを除いて、測定回路側と同様のカスケードを構成します(Embed メニューにプローブのオプションがないことに注意してください)。OK を押します。

これで、シミュレーション回路側のテスト・ポイントは、"プローブ負荷のない" システムを 表しています。 これらには、Tp2、Tp3、Tp8、Tp9、Tp11 および Tp12 が含まれます。測定 回路のテスト・ポイントには、回路にプローブの負荷が残っています。

ここで、メイン・メニューに戻ります。任意のテスト・ポイントを押して、Test Point and Bandwidth Manager を開きます。必要なテスト・ポイントを有効にし、演算波形に対応させます。

メイン・メニューに戻ります。Applyを押します。これにより、有効なテスト・ポイント の伝達関数が計算されます。結果の波形が、対応させたとおりにオシロスコープの画面に 演算波形として表示されます。

デュアル入力波形での大きな反射のディエンベッドの例

SDLA Visualizer を使用すると、コンポーネントにひどいゲイン変動がある場合でも、リアル タイム・オシロスコープ上に正確なディエンベッド結果が得られることがあります。

この使用例の目的は次のとおりです。

- 長さ 96 cm のペア・ケーブルの末端にある不整合ターミネーションから来る大きな反射を SDLA Visualizer でディエンベッドするためのセットアップ方法。
- SDLAのテスト・ポイントを使用して、測定回路の負荷を伴うゼネレータのリファレンス・プレーンを表現する方法。この場合、Tp1が、測定システムを負荷とするゼネレータ出力を示します。
- どのように、テスト・ポイントで理想負荷を伴うゼネレータのリファレンス・プレーンを 表現できるか、また反射の見えないクリーンな波形を生成するか。この場合、Tp2 で 50 Ωの理想終端されたゼネレータ出力が観測できます。

ノイズの増加を抑えるために、取り込みは平均し、繰り返しステップ信号が使用されます。

機器の設定

下図で、ステップ・ゼネレータがバランを駆動し、差動ステップ信号を生成します。2 個の 5X アッテネータが、緑色のケーブルに接続されているバランの2つの出力に接続されていま す。これらにより、ディエンベッドのリファレンス・プレーンにおけるゼネレータからの反 射が最小に抑えられます。この使用例の目的である大きな反射を得るために、緑色ケーブル の反対側は、それぞれ T 型とカップラの組み合わせに接続されています。



下図で、TカップラがオシロスコープのCH1入力とCH2入力に接続されています。





SDLA Visualizer のモデリング・ブロックが S パラメータ・セットを使用してリアルタイム波 形を生成できるように、各ケーブルと各 T カップラの組み合わせについて、VNA を用いて 2 ポート S パラメータが測定されました。

開回路を持つ T カップラは、ポート 1 に緑色ケーブル、ポート 2 にオシロスコープを接続 したシングル 2 ポート要素として扱います。開回路のポートは、単にデバイス特性の一部 です。この例では、オシロスコープとゼネレータのリファレンス・プレーンのインピーダ ンスは理想的な 50 Ωと仮定しています。 SDLA Visualizer のセットアップ

まず、テスト・ポイントを構成します。

- 1. SDLA のメイン・メニューで、Dual Input モードを選択します。Tp ボタンを押して Test Point and Bandwidth Manager を開きます。
- 2. 有効にする 4 つのテスト・ポイント Math1、Math2、Math3、および Math4 をすべて 選択します。
- 3. Tp1 を Math1 と Math2 に割り当てます。Tp1 はゼネレータの出力で、ケーブルと T および スコープの負荷が加わっています。Math1 を差動テスト・ポイントの A ラインに選択しま す。Math2 を差動テスト・ポイントの B ラインに選択します。
- 4. Tp2 を Math3 と Math4 に割り当てます。Tp2 はゼネレータの出力で、理想 50 Ωの負荷が加 わっています。Math3 を差動テスト・ポイントの A ラインに選択します。Math4 を差動テ スト・ポイントの B ラインに選択します。

🤌 S	DLA Visualizer - Test Poi	nt and Bandwidth Config	uration						
	Tp1 - Map the desired te	st points to Math to see t	he processed waveform						
ſ	Tp On/Off	Map Tp to Math	Select Tp Mode	Label	Filters	Global BW Limit:	Delay		
I.	Math1	Tp1: Main 💌	A 💌	Tp1A	Save	None	Keep Delay		
I.	Math2	Tp1: Main 💌	B	Tp1B	Save	Auto	Remove Delay		
I.	Math3	Tp2: Main 💌	A 💌	Tp2A	Save	Custon	Adjust Delay		
I.	Math4	Tp2: Main 🔻	в	Tp2B	Save	Setup BW			
II.	Ref3	Tp5							
н.	Ref4	Tp4							ок
l					? Export fil	ters for 32-bit scope		ΓL	

次に、帯域制限を構成します。

- 1. Test Point and Bandwidth Manager の Global Bandwidth Limit の下で、Custom を選択しま す(上図参照)。
- 2. Bandwidth Limit Filter Design メニュー(下図参照)が開き、そこで BW GHz を 10 に 設定します。



- 3. Stopband GHz の減衰を 12 に設定します。
- 4. Stopband -dB を -80 に設定します。
- 5. Applyを押します。これにより、シミュレーションの BW 制限フィルタが保存されます。
- 6. Close を押して、Test Point and Bandwidth Manager に戻ります。Delay の下で Keep Delay を 選択します。

ここで、"ディエンファシス・ブロックを構成"します。

1. SDLA のメイン・メニューで、**De-embed** を押します。下図に示す De-embed メニュー が開きます。

SDLA Visualizer - De-embed		
Cascade Normalze Convert	$\begin{array}{c} b1 & 1 & 2 \\ cables \\ b2 & 1 & 2 \\ 1 & 2 \\ cables $	Plot Save Recall OK

- 2. Probeの下で、Noneを選択します。
- 3. カスケード・ダイアグラムで、最初のカスケード・ブロック(B1)を押し、B1 の Block Configuration メニューを開きます(下図参照)。左側の File タブを選択します。

🚺 SDLA Visualizer -	Block Configuration			
Select B1 model a	nd the applicable files if required			
Thru File RLC T Line	Model 2-Port •	TEKCable_PN174142700_20inch_DUT1_061212.s2p Port1 Browse Port2 TEKCable_PN174142700_20inch_DUT2_061212.s2p	Label cables Check Passivity	Plot OK

- 4. Modelの下で、2-portを選択します。
- 5. 上の Browse ボタンを押し、ケーブルの1本に2ポートSパラメータ・ファイルをロードします。
- 6. 下の Browse ボタンを押し、ケーブルの他の1本に2ポートSパラメータ・ファイル をロードします。
- 7. ブロックのラベルを "cables" にします。

次に、ケーブルの S パラメータ・プロットを表示します。

1. Plot ボタンを押し、2 つのウィンドウからなるケーブルの S パラメータ・プロットを開き ます。1 本のケーブルを下に示します。



2. S パラメータ・プロット・メニューで Plot TD ボタンを押し、各 S パラメータの時間領域 プロットが含まれる、もう一つのウィンドウを開きます(下図参照)。



 メインのSパラメータ・プロット・ウィンドウに戻ります(下図参照)。Overlay Show ラジオ・ボタンを選択します。オーバーレイとしてプロットする任意のSパラメータ を選択できる一連のチェックボックスが表示されます。



4. Overlay パネルの下部の Plot を選択します。これにより、オーバーレイされたプロット を含む別のウィンドウが開きます(下図参照)。各種 S パラメータの振幅、位相、イ ンパルス応答、およびステップ応答が示されています。



5. スミス・チャートを表示するには、再びメインSパラメータ・プロット・ウィンドウに戻り、右側の Plot Zを押します。緑色のケーブルの1本のインピーダンスを示す各反射係数を表すスミス・チャートを含む別のウィンドウが開きます(下図参照)。



 6. 各ポートへのインピーダンスの振幅チャートを表示するには、メイン S パラメータ・ プロット・ウィンドウに戻り、右側の Plot Z(f) ボタンを押します。これにより、もう 一つのウィンドウが開きます。



ここで、T およびカップラ回路のブロック・モデルをセットアップします。

1. De-embed メニューに戻り、カスケード・ダイアグラムの2つ目のブロック、Tおよびカッ プラ回路を表す B2 をセットアップします。

M SDLA Visualizer	r - Block Configuration		
Select B2 model	l and the applicable files if required		
Thru	Model 2-Port 🔹	p12_JP_wTermination_100512.s2p	Label Tcouplers
RLC		Portz •	Check Passivity Plot
		Port1 v Browse Port2 v p34_JP_wTermination_100512.s2p	ОК

- 2. 左側の File タブを選択します。
- 3. Modelの下で、2-portを選択します。

- **4.** 上の Browse ボタンを押し、T とカップラ・コンポーネントの組み合わせの一方の2 ポート S パラメータ・ファイルをロードします。
- 5. 下の Browse ボタンを押し、T とカップラの組み合わせの他方の 2 ポート S パラメー タ・ファイルをロードします。
- 6. ブロックのラベルを "T coupler" にします。

Tとカップラの組み合わせのプロットを表示します。

 Plot ボタンを押します。メインのSパラメータ・プロット・ウィンドウが開きます(下図 参照)。TカップラのS21には-30~-40dBの深い落ち込みがあることに注意してください。これらをエンベッドするとなると、伝達関数に大きなゲインが必要です。ゲインは、これらの周波数でのノイズ増大の原因となります。この例では、過剰なノイズを削減するために、オシロスコープを平均モードで使用します。



2. Tとカップラの組み合わせの時間領域でのステップ応答(下図参照)は、反射特性応答を 示すもので、これはオシロスコープに取り込まれた波形で観測できます。



3. Tとカップラの組み合わせの Overlay プロットを下に示します。S21 のステップ応答は 右下隅に表示されています。この応答波形は、取り込み波形のステップ応答エッジで 一般に見られるものです。このインピーダンスの不連続性は、オシロスコープの入 カポートに非常に近いものだからです。



4. 反射係数 s11 と s22、および T カップラの結果のインピーダンスが下のスミス・チャート に示されています。レンジがチャートの大きなパーセントにわたっています。スコープの 8 ビットの分解能とスコープ内のノイズを考えると、これはディエンベッド操作が難しい ことを示しています。平均を取ることで、これらの問題が緩和します。



5. 下図は、Tとカップラの組み合わせのインピーダンス振幅対周波数プロットを示します。



ここで、モデルを適用します。

SDLA のメイン・メニューに進み Apply を押します。これにより、SDLA はシステムの S パラ メータ・モデルに基づいて伝達関数を生成します。SDLA は、システム全体の S パラメータ を考慮してこれを行います。言い換えれば、クロスカップリング項、反射項、伝送項などす べてが伝達関数を構成します。これらの伝達関数は、オシロスコープから取り込まれた波形 に適用してテスト・ポイント波形を得るために、SDLA に定義されたフィルタを表します。



次に、オシロスコープ画面にライブ波形を表示します。

各テスト・ポイントの伝達関数のフィルタが計算されると、オシロスコープの演算メニュー に自動的にロードされ、スコープ画面にライブ波形が表示されます。

1. 下図は、ケーブルとTカップラの組み合わせがステップ・ゼネレータの負荷となっている Tx モデルの出力、Tp1の波形です。スコープで取り込まれた波形は黄色とシアン色で表 示されています。リファレンス・プレーンまでディエンベッドされ、まだケーブルがその ポイントの負荷となっている波形は、紫色とオレンジ色で表示されています。

結果としての反射および時間遅延が、ディエンベッドされた波形に正確に示されてい ます。これらは、T カップラからの出力でオシロスコープに直接取り込まれた A 信 号と B 信号です。

取り込まれた波形を見ると、ステップがオシロスコープに入る位置の立上りと立下りエッ ジで、カップラの開回路による反射が観察できます(黄色とシアン色)。ディエンベッド された波形(紫色とオレンジ色)を見ると、立上りと立下りの反射は取り除かれており、 パルス波形はリファレンス・プレーンのケーブルへの入り口で期待されるとおりのもので す。ケーブルを通じて約4.1 ns の遅延があります。8.2 ns(往復時間の8.2 ns)で、反射が 緑色のケーブルへの入り口のリファレンス・プレーンに到達します。また、パルス(紫色 とオレンジ色)がゼロに戻ったときも、スコープの入力側からの別の往復した反射が8.2 ns 遅れてリファレンス・プレーンに戻ってきています。



 下図は Tp2 です。SDLA で、これは Tx モデルの出力であり、システムのエンベッド側が Tx モデルの負荷となっています。この例で、Tp2 は測定されたケーブルとコンポーネ ントが取り除かれ、ステップ・ゼネレータのリファレンス・プレーンが理想 50 Ω終端 されている波形です。すべてのブロックがデフォルトの Thru モデルのままであり、負 荷はデフォルトの 50 となっています。

下の Tx リファレンス・プレーンで見られるディエンベッドされた波形に大きな反射はな く、波形はステップ・ゼネレータで期待される波形です。取り込まれた波形にあった大き な反射は、シミュレートされた回路の Tp2 における波形に変換するときに、取り除かれ ました。スコープの Ch1 と Ch2 から取り込まれた波形は、黄色とシアン色で示されて います。これらは、ケーブルと T / カップラの組み合わせを通じて取り込まれた波形 です。ディエンベッドされ、測定回路が理想 50 Ωで置き換えられた波形は、緑色と赤 色で示されています。SDLA Visualizer は同時に最大4つのテスト・ポイント波形を表示でき、最大で48の波形を表示することができます。



最後に、テスト・ポイント・フィルタのプロットを表示します。

SDLA のメイン・メニューで Apply ボタンを押し、伝達関数フィルタが計算されると、結果 のテスト・ポイント・フィルタのプロットを表示することができます。メイン・メニュー で Plot ボタンを押します(下図参照)。

振幅対周波数プロットに、T カップラ S21 が大きく落ち込む周波数で高いゲインが見られ ます。これは、大きな反射の原因である T カップラの影響をディエンベッドして除くため に必要です。これが、左下のインパルス応答が長い間、リンギングを起こす結果となりま す。さらに、右下のステップ応答も長い間リンギングしています。これが原因で、高サンプ ル・レートでのフィルタ係数が数において長くなります。



シングル入力波形で DDR 反射を除去する例

この例では、SDLA Visualizer で簡略化したブロック・モデル使用して、低速 DDR のケースで 反射を取り除く方法について説明します。

ここでは、プローブ・ポイントとRx 負荷抵抗の間に、T ライン・モデルでモデリングできる 遅延ライン、S パラメータ・ブロックでモデリングされるパッケージ、理想的でない負荷抵抗 など、いくつかの要素があります。プローブ・ポイントが負荷抵抗に近くなく、負荷抵抗が理 想的でないので、プローブ・ポイントで取り込まれる波形には大きな反射が観測されます。



実際のプローブ・ポイントでの波形は、大きな反射により、ジッタ測定にまったくふさわし くありませんが、負荷抵抗での波形は通常のパルス波形です。この例では SDLA をセット アップして、負荷抵抗における反射をディエンベッドする方法を示します。

この例では、遅延ライン、パッケージ、および負荷抵抗をモデリングする 3 つのブロックが ディエンベッドのカスケード・ダイアグラムで使用されます。

- 遅延ラインは、ブロック B2 の T ライン・モデル、
- パッケージは、ブロック B3 の 4 ポート S パラメータ・ファイル、
- そして、理想的でない負荷抵抗は、"負荷ブロック"(カスケード内の最後のブロック)の 公称インピーダンスでモデリングされます。

まず、セットアップします。

1. メイン・メニューで Single Input ラジオ・ボタンを選択します。

ディエンベッド・ブロックで、 Hi Z プローブ・オプションを選択します。理想的 Hi Z プローブを仮定します。
🛃 🛛 SDLA Visualiz	er - De-embed		
Cascade Normalize Convert	Move ► Tp6 ► Tp7 Probe ○ SMA ④ High Z ►	Probe 1 Thru 1 Thru 1 1 2 1 3 4 2 4 1	Apply Plot Save Recall OK

次に、Tラインをモデリングします。

1. 水平カーソル測定ツールを使用して、トランスミッション・ラインの遅延を見積もり、往 復の反射遅延を取得します。これを2で割ります。

Td = 660 ps/2

= 330ps



2. 遅延が 330ps の無損失トランスミッション・ライン・モデルを使用して、ブロックをセットアップします。De-embed メニューのブロック B2 を選択し、T-line タブを選択します。 Delay ns フィールドに「0.33」を入力します。OK を押します。

🛃 SDLA Visualizer - Block Configura	tion	
T_line Configuration		
Thru File RLC T Line	Z0 ohms 50 Delay ns 0.33 Freq Space MHz 10.0	1 Transmission Line 2 3 Transmission Line 4

次に、パッケージをモデリングします。

1. パッケージは、4 ポート・シングルエンド S パラメータ・ファイルを使用してモデリング します。ディエンベッド・カスケード・ダイアグラムの B3 を押して、Browse を押し、適 切なファイルを選択します。ポート割り当てが、デフォルトの割り当てと異なり、[123 4] の代わりに [1324] となることに注意してください。

🕼 SDLA Visalizer - Block Configuration							
Select Package model and the applicable files if required							
Model	pkg.s4p	Label Package					
File	Port1	Check					
T Line	Browse	Passivity Port assignments Plot					
	Port2 V Port4 V	ОК					

 ポート割り当てが正しいことを確認するには、File タブの Check を押します。また、 S パラメータ・プロットで挿入損失項をチェックして、ポート割り当てが適切である ことを確認できます。OK を押します。

ここで、負荷ブロックを構成します。

- 1. 最初に、負荷ブロックに入力する負荷抵抗値を見積もります。垂直カーソルでの測定値か ら、反射電圧と入射電圧の比を得ます。
- 2. 次に抵抗値を計算します。
 - $T(\Gamma) = (V2-V1)/V1$
 - = (1.25-0.75)/0.75
 - R = Zo(1+T)/(1-T)

= 200 Ω



3. 200 Ωの抵抗を使用して、負荷ブロックをセットアップします。ディエンベッド・ブ ロックで、負荷ブロック(最後のブロック)を押します。これにより、下に示す Load Configuration メニューが開きます。この値を Load Configuration メニューの Port 1 に入力し ます。OK を押します。

-	SDLA Visualizer – Load Block Configuration			
	Select the load model and the applicable file(s) if required			
	Model Nominal 💌	ohm Port 1 v 50 ohm Port 2 v 50	Label Load	ОК

De-embed メニューのすべてのブロックをセットアップしたら、メイン・メニューに戻って、 Apply を押します。SDLA により Tp7 のフィルタが作成され、下図のようなディエンベッド された波形がスコープに表示されます。

- 白色の波形は反射を伴う、取り込まれた元の波形です。
- 紫色は、ディエンベッドされた結果で、反射が除かれています。これが、Rx 負荷抵抗において Rx ブロックが "見る" 波形です。ディエンベッドされた波形は通常のパルス波形で、ジッタなどの測定はこの波形に対して行うことができます。



GPIB リモート・コントロールの使用

GPIB コマンドを使用して SDLA Visualizer をリモートでコントロールしたり、SDLA GPIB ア クティビティをアプリケーションのメイン・メニューで監視したりすることができます。 列挙されている GPIB コマンドは、DPO70000 シリーズ・オシロスコープの GPIB コマンド とは別個のものであり、その使用方法も異なります。(SDLA Visualizer アプリケーション を開始するには、TekScope コマンド <u>APPLICATION:ACTIVATE SDLA (144 ページ参照)</u>を使 用します)。<u>使用可能な一連の SDLA Visualizer コマンド (144 ページ参照)</u>を表示するには ここを押してください。

解析結果は、GPIB コマンド・セットまたはオシロスコープのフロント・パネルを使用し、 DPOJET アプリケーションに照会して取得します。測定結果を取得するには、DPOJET ア プリケーションの GPIB コマンド・インタフェースを使用します。(DPOJET GPIB のコン トロール情報については、DPOJET のオンライン・ヘルプまたはマニュアル(PDF)を参 照してください)。

GPIB コントロール・メニュー

GPIB 機能を有効にするには、SDLA Visualizer メイン・メニューの右上隅の GPIB を選択しま す。SDLA Visualizer とのコマンドのやり取りを監視するには、View を押します。次の図 では、GPIB が有効で、SDLA Visualizer のコマンド・トラフィックを表示するように View が選択されています。その他の GPIB コマンド・トラフィックは表示されません。TekVisa OpenChoice Call Monitor などのアプリケーションを使用すると、すべての GPIB トラフィッ クが表示されます。



GPIB ステータスには次のような値があります。

- Sent 最後のコマンドが実行された後に送信されたステータスを示します。OK または ERROR が表示されます。
- Received SDLA Visualizer ハンドシェイク変数から読み取られた最後の値を示します。コマンドがないことを示す OK か、または処理中の受信コマンドのいずれかが表示されます。
- Last 最後に実行された命令を示します。

- Cmds GPIB 機能を有効にしてから受信したコマンド数を示します。
- Idle 最後のコマンドが完了した後の SDLA Visualizer アプリケーションによるハンドシェ イク変数のポーリング数を示します。デフォルトでは、GPIB 通信は有効です。

SDLA Visualizer アプリケーションの GPIB 機能を有効にすると、処理により多くのリソースを必要とするようになります。

ハンドシェイク・プロトコル

SDLA Visualizer アプリケーションでは、独自のプロトコル・ハンドシェイクを使用して GPIB 通信を処理します。

コントローラによる SDLA Visualizer GPIB 通信の要件は、次のとおりです。

- 1. SDLA Visualizer アプリケーションが起動すると、"OK" ステータスを SDLA Visualizer ハンドシェイク変数に書き込みます。これにより、コントローラ・アプリケーションは、現在、"sdla" 変数に有効な SDLA Visualizer コマンドを書き込めることを認識します。
- 2. GPIB コントローラは OK ステータスを検出するまで、ハンドシェイク変数をポーリン グします(variable:value? "sdla")。
- 3. GPIB コントローラは、コマンド文字列を SDLA Visualizer ハンドシェイク変数に書き込み ます。たとえば、コマンド 'variable:value "sdla", "p:apply"' を送信すると、文字列 "p:apply" が変数 "sdla" に書き込まれます。
- SDLA Visualizer の GPIB 機能は、ハンドシェイク変数をポーリングして、コマンド文字列 を読み取り、コマンドとして解釈します。コマンドが適切でない場合、変数に ERROR ハ ンドシェイク値が書き込まれます。
- 5. コマンドが適切な場合は、解析されて実行されます。実行が成功すると、ハンドシェイ ク変数に OK が書き込まれます。GPIB コントローラが OK ステータスを読み取ると、 新しいコマンド文字列を送信できます。

GPIB コマンド

このセクションでは、SDLA Visualizer アプリケーションのリモート・コントロールに使 用できるコマンドを示します。

注: "sdla"は小文字にする必要があります。

APPLICATION: ACTIVATE "Serial Data Link Analysis"

このコマンドは、オシロスコープに対し SDLA Visualizer アプリケーションを起動するよう 命令します。これは、設定専用のパラメータです。(注:これは TekScope コマンドで、 SDLA Visualizer コマンドではありません)。

*注:*このコマンドは、正確に下記の構文で使用します。

構文

APPLICATION: ACTIVATE "Serial Data Link Analysis"

引数

"Serial Data Link Analysis"これは、構文で定義されたとおりに指定し、二重引用符 ("")で囲む必要があります。

戻り値

なし

VARIABLE:VALUE?"sdla"

SDLA Visualizer ハンドシェイク変数の値を読み取ります。戻されたステータスが "OK" でない 場合、他のコマンドは送信できません。

構文

VARIABLE:VALUE?"sdla"

引数

なし

戻り値

OK:SDLA Visualizer アプリケーションが実行中であり、コマンドの準備ができていることを 意味します。

ERROR:SDLA Visualizer アプリケーションが解析できないか、または前のコマンドが実行されていることを示します。

VARIABLE:VALUE "sdla", "p:analyze"

DPOJET アプリケーションを起動して、Apply 操作により生成される SDLA parse アプリケー ションの波形に対するアイ・ダイアグラムを表示するように構成します。

構文

VARIABLE: VALUE "sdla", "p:analyze"

引数

"p:analyze" を指定すると、DPOJET アプリケーションが起動して SDLA parse アプリケー ションの波形が表示されます。

VARIABLE:VALUE "sdla", "p:apply"

有効化されたフィルタ・ブロックおよびテスト・ポイントを計算し、イコライゼーションを 実行します(有効な場合)。結果は、フロント・パネルの Apply ボタンを選択した場合と同 じです。Apply による計算は、入力データおよびサンプル・レートによっては、60 秒以上か かる場合があります。ポーリングのタイムアウト時間は、十分長く確保してください。

構文

VARIABLE:VALUE "sdla", "p:apply"

引数

"p:app1y" を指定すると、有効化されたフィルタおよびイコライゼーションの計算を開始 します。

VARIABLE:VALUE "sdla", "p:bitrate:<value>"

ソース波形のビット・レートを設定します。ソース波形のネイティブのビット・レートを決 定して、その値を使用します。

構文

VARIABLE:VALUE "sdla", "p:bitrate:<value>"

引数

"p:bitrate:<value>"で、入力ソース波形のビット・レートを指定します。<value>は整数値 です。これは工学表記(6.25e6)または通常の数字(6250000)で指定します。

例

variable:value "sdla", "p:bitrate:6e9"と指定すると、ソース・ビット・レートが 6 Gb/s に設定されます。

VARIABLE:VALUE "sdla", "p:exit"

SDLA Visualizer アプリケーションを終了します。アプリケーションの現在の状態は保存 されません。

構文

VARIABLE:VALUE "sdla", "p:exit"

引数

"p:exit"を指定すると、アプリケーションが強制的に終了します。

VARIABLE:VALUE "sdla", "p:recall:<path and filename>"

指定されたパスとファイル名に従ってセットアップ・ファイルを読み込みます。セットアッ プ・ファイルとして、付属の規格セットアップ・ファイルまたは SDLA Visualizer アプリケー ション・インタフェースで作成したセットアップ・ファイルを指定できます。セットアッ プ・ファイルには、Rx/Tx の構成、有効化されたフィルタ・ブロックとテスト・ポイント、 および独自に指定した FIR フィルタの定義が含まれます。

構文

VARIABLE:VALUE "sdla", "p:recall:<path and file name >"

引数

"p:recall:<path and file name>" ここで <path and file name> には、マップされたドライブ のパスとセットアップ・ファイル(拡張子は .sdl)を指定します。パスとファイル名に空白文 字は使用できませんが、大文字と小文字は使用できます。

例

variable:value "sdla", "p:recall:C:\TekApplications\MyDirectory\mysetup.sdl" と指定すると、mysetup.sdl という名前の SDLA Visualizer アプリケーション・セットアッ プ・ファイルが呼び出されます。

VARIABLE:VALUE "sdla", "p:source:<source>"

処理する SDLA Visualizer アプリケーションの入力ソース波形を設定します。

構文

VARIABLE:VALUE "sdla", "p:source:<source>"

引数

"p:source<source>"で、最初の入力ソース波形を指定します。ch1 | ch2 | ch3 | ch4 | math1 | ref1 | ref2 のいずれかを指定します。

例

variable:value "sdla", "p:source:ch1"と指定すると、ソース波形がオシロスコープ CH1 入力に設定されます。

VARIABLE:VALUE "sdla", "p:source2:<source2>"

デュアル入力モードを使用する場合に、SDLA Visualizer アプリケーションで処理する 2 番 目のソース波形を指定します。

構文

VARIABLE:VALUE "sdla", "p:source2:<source2>"

引数

"p:source2<source2>" で、2 番目の入力ソース波形を指定します。ch1 | ch2 | ch3 | ch4 | math1|math2 | ref1 | ref2 のいずれかを指定します。

VARIABLE:VALUE "sdla", "p:sourcetype"

シングル入力モード(差動信号ソース1つ)、またはデュアル入力モード(2つのソースを使用、通常は各入力が差動信号の1本)のいずれを使用するかを指定します。

構文

VARIABLE:VALUE "sdla" "p:sourcetype" <1|2>

引数

1は、ソースの種類をシングル入力モードに設定します。

2は、ソースの種類をデュアル入力モードに設定します。

索引

記号と番号

2 ポート・モデル ブロックの構成,47 32 ビットのスコープ用フィルタの エクスポート,29 4 ポート差動モデル ブロックの構成,47 4 ポート・シングルエンド・モデル ブロックの構成,46 4 ポート・モデリング,15

ENGLISH TERMS

AMI モード, 92 Analyze ボタン,21 アクションの構成,93 Apply ボタン, 21 アクションの構成,93 Apply ボタンと Analyze ボタンに アクションを構成する,93 Block Configuration メニュー, 46 File タブ 2ポート・モデル,46 4ポート差動モデル,46 4ポート・シングルエン ド・モデル,46 FIR フィルタ・モデル, 46 High Z プローブ・モデ ル,46 伝達関数モデル,46 RLC タブ, 50 RLC ネットワーク・モデル, 50 T line タブ, 51 Thru タブ, 46 ファイルから読み込まれた データで代表されるモデ ル,46 Cascade タブ を参照 De-embed /Embed メニュー Config タブ を参照 Rx Configuration メニュー Config $x \neq y$, 21 Convert タブ を参照 De-embed /Embed メニュー

CTLE CTLE を使用して信号のリカ バリを改善する,79 FIR フィルタのロード,81 PCIE3 オプションの使用,82 概要,75 二次,79 パラメータ,80 DDR 反射を取り除く,135 DDR 反射の除去, 135 De-embed/Embedメニュー, 33 Block Configuration \checkmark ニュー,46 Cascade タブ,34 Convert タブ,35 De-embed メニューと Embed メニューの相違点,34 Load Configuration \checkmark ニュー, 52 Normalize タブ,37 S パラメータを異なる基準イ ンピーダンスに再ノーマ ライズする,37 コントロール・ボタン,36 Decision Feedback Equalizer \dot{E} 参照 Rx ブロック、FFE/DFE DPOIET DPOJET と SDLA Visualizer の連携,17 DPOJET との連携方法を SDLA に構成する, 93 プロット,54 Embed メニュー De-embed メニューと Embed メニューの相違点,53 Feed Forward Equalizer を参照 Rx ブロック、FFE/DFE FFE/DFE FFE/DFE イコライゼーション にクロック・リカバリを使 用する,83 FFE/DFE の調整,86 概要,75

トレーニング・シーケンス機 能とクロック・リカバリ、85 FIR フィルタ CTLE パラメータの設定にカ スタム・フィルタをロード する,81 Tx Emphasis メニューによる ファイルからの読み取 り、69 ブロックの構成,48 保存,3 GPIB View セレクタ, 143 GPIB コマンド, 143 APPLICATION: ACTIVATE "Serial Data Link Analysis", 144 SOURCETYPE, 148 VARIABLE: VALUE "sdla", "p:analyze", 145 VARIABLE: VALUE "sdla", "p:apply", 146 VARIABLE: VALUE "sdla", "p:bitrate:<value>", 146 VARIABLE: VALUE "sdla", "p:exit", 146 VARIABLE: VALUE "sdla", ["]p:recall:<path and filename>", 147 VARIABLE:VALUE "sdla", " p:source:<source>", 147 VARIABLE:VALUE "sdla", "p:source2:<source2>" , 148 VARIABLE:VALUE?"sdla" , 145 GPIB コントロール・メニュー, 143 GPIB の有効化, 143 GPIB ハンドシェイク・プロトコ ル, 144 High Z プローブ ブロックの構成,49 プローブの構成.39 IBIS-AMI, 92

Input filters 場所,3 Load Configuration メニュー, 52 カスケード負荷ブロックのエ ンベッド、52 カスケード負荷ブロックの ディエンベッド、52 Normalize タブ を参照 De-embed∕Embed ≯ ニュー S パラメータを異なる基準イ ンピーダンスに再ノーマ ライズする,37 Output filters 場所.3 保存,3 PCIE3 CTLE での PCIE3 オプショ ンの使用,82 FFE/DFE で PCIE3 オプショ ンを使用する,88 RLC を参照 Block Configuration メニュー、RLC タブ AMI モード, 78 Config タブ CTLE での PCIE3 オプ ションの使用,82 CTLE パネル, 79 FFE/DFE イコライゼー ションにクロック・リカ バリを使用する,83 FFE/DFE で PCIE3 オプ ションを使用する,88 FFE/DFE の調整, 86 Taps タブ, 89 Thru モード, 79 TrainSeq タブ, 85 User モード, 77 RX イコライザ・ブロック を参照 Rx ブロック Rx ブロック AMI モード, 92 CTLE での PCIE3 オプショ ンの使用,82 CTLE を使用して信号のリカ バリを改善する,79

FFE/DFE イコライゼーション にクロック・リカバリを使 用する,83 FFE/DFE で PCIE3 オプショ ンを使用する,88 FFE/DFE の調整,86 Rx イコライザの実行, 91 Taps タブを使用する, 89 アイを開けるために使用,10 概要,75 クロック・リカバリのトラブル シューティング,83 二次 CTLE,79 S パラメータ Block Configuration \checkmark ニュー,46 Load Configuration \checkmark ニュー, 52 S パラメータの再ノーマライ ズ、37 使用可能なプロット,54 プロットを使用して S パラ メータをトラブルシュート する,62 保存,37 S パラメータのトラブルシューティ ング 位相応答の問題,62 差動ペアにミスマッチのある DUT の観測, 62 ステップ応答の問題,62 ミックス・モード対シングルエ ンド・モードの確認, 62 問題のある VNA 測定, 62 SDLA Visualizer ソフトウェアの 再インストール、2 SMA プローブ, 39 T line T line タブ, 51 ブロックの構成,51 Taps タブ, 89 も参照 Rx ブロック Taps タブを使用する, 89 TekScope 画面への切り替え,4 Test Point and Bandwidth Manager, 22 グローバル帯域制限,25

Tx Configuration メニュー, 67
Tx Emphasis メニュー
FIR フィルタ・ファイルからの 読み取り, 69
ディエンファシスの追加, 69
プリエンファシスの追加, 69
プロット, 69
Tx ブロック
Tx Configuration メニュー, 67
Tx Emphasis メニュー, 69
概要, 67
デブナン等価電圧源, 67
View セレクタ, 143
Web サイトからのソフトウェアの 更新, 1

あ

アプリケーション間の移動, 4 アプリケーションの要件, 1

こ

イコライザ Rx イコライザの実行, 91 概要, 75 インストール, 1 インストール・パス, 2 インターポーザ回路の構成, 41

え

エンファシス *を参照* Tx Emphasis メニュー エンベッド・ブロック アイを閉じるために使用, 10 概要, 74 構成例, 75

お

オプション・キー要件,2 オンライン・ヘルプ 韓国語,5 中国語,5 日本語,5 オーバーレイ *を参照プロッ*ト、S パラメータ

か

カスケードのエンベッド 負荷ブロック,53 カスケードのディエンベッド 負荷ブロック,52

<

クロック・リカバリ FFE/DFE イコライゼーション にクロック・リカバリを使 用する,83 概要,75 トラブルシューティング,83 トレーニング・シーケンス機 能と FFE/DFE,85 グローバル帯域制限,25 カスタム帯域制限フィルタを 作成する,30

け

ケーブルのディエンベッド,105

こ 高インピーダンス・プローブの ディエンベッド, 114 更新 ソフトウェア, 1

L

シミュレーション回路モデル,9 *も参照*測定回路モデル 使用例とトラブルシューティング DDR 反射の除去,105 ケーブルのディエンベッ ド,105 高インピーダンス・プローブ のディエンベッド,105 シリアル・データ・リンク・チャ ンネルのエンベッド,105 シリアル・データ・リンク・チャンネ ルのエンベッド,110 シングル・エンドSパラメータの ミックス・モードへの変換,35

す

スミス・チャート *を参照* プロット、 S パラメータ

せ

製品の概要,7

そ

測定回路モデル,9
 も参照シミュレーション回路モデル
 ソフトウェア互換性,1
 ソフトウェアの更新,1
 ソフトウェアの再インストール,2

た

帯域要件,1

て

ディエンファシス を参照 Tx Emphasis メニュー ディエンベッド・ブロック De-embed∕Embed ≯ ニュー、33 概要,32 構成例,32 ディレクトリ・パス,2 テキストの表記について、2 テストの実行 推奨される順序,97 テスト・ポイント 32 ビットのスコープ用フィル タのエクスポート,29 Test Point and Bandwidth Manager, 22 クロストークと反射の取り扱 い.15 テスト・ポイントの一覧, 13 テスト・ポイントのプロット, 24 テスト・ポイントの保存, 27 テスト・ポイントの理解, 13 テスト・ポイント・フィルタ遅延 スライダ、26 テスト・ポイント・フィルタの適 用方法,14 テスト・ポイント・モード, 24

テスト・ポイントの保存,27 テスト・ポイント・フィルタ遅延ス ライダ,26 デブナン等価電圧源 を参照Tx ブロック デュアルとシングルの入力モー ド,12 演算式の一例,16 全4ポートのモデリング,15 テスト・ポイントの保存,27 テスト・ポイント・モード,24 メイン・メニューのダイアグラ ムの相違点,19 伝達関数モデル ブロックの構成,48

と

トランスミッション・ライン T line タブ,51 ブロックの構成,51 トランスミッタ *を参照* Tx ブロック トレーニング・シーケンス機能 FFE/DFE イコライゼーション とクロック・リカバリ,85

に

入力ソース ライブ波形, 20 リファレンス波形, 20

は

波形 サンプル・ファイルの場所,3 新規波形と取り込まれた波 形の選択,94 はじめに,1 ハンドシェイク・プロトコル,144

ひ

表記規則,2

ふ

ファイルからのセットアップの呼 出し, 22 ファイルの種類と場所, 3 ファイルへのセットアップの保 存,22 負荷ブロック を参照 Load Configuration メニュー プリエンファシス を参照 Tx Emphasis メニュー プロット、54 S パラメータ 4ポート、3ポート、2ポー ト、1 ポート, 54 インピーダンス対振 幅,54 オーバーレイ,54 時間領域,54 スミス・チャート,54 S パラメータのトラブルシュー ティング,62 エンファシス、54 も参照 Tx エンファシス テスト・ポイント・フィルタ(伝 達関数プロット),54 も参照テスト・ポイント

プローブとチップの選択,42 3ポートSパラメータ・ファイ ルの選択,44 P7520A型およびP7630型 プローブ,45 SMAプローブ,45 プローブの構成,39 プローブを構成する,39 High Zプローブ,39 SMAプローブ,39 回路の構成,41 プローブとチップの選択,42

ほ

保存/呼出し ファイルの場所,3

め

メイン・メニュー Analyze ボタン, 93 Apply ボタン, 93 Apply ボタンと Analyze ボタ ンにアクションを構成す る、93 コンポーネント、19

ゆ

有効な GPIB, 143

よ

要件,1

り

リファレンス波形 リファレンス波形の呼出 し、20 リファレンス波形の呼出し、20 リファレンス・レシーバ を参照 Rx ブロック リモート・コントロール、143